

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-66852

(P2016-66852A)

(43) 公開日 平成28年4月28日(2016.4.28)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/04 (2006.01)	H03K 17/04	E 5H740
H03K 17/687 (2006.01)	H03K 17/687	A 5J055
H02M 1/08 (2006.01)	H02M 1/08	A
H03K 17/06 (2006.01)	H03K 17/06	C

審査請求 未請求 請求項の数 17 O L (全 16 頁)

(21) 出願番号 特願2014-193487 (P2014-193487)
 (22) 出願日 平成26年9月24日 (2014.9.24)

(71) 出願人 504132272
 国立大学法人京都大学
 京都府京都市左京区吉田本町36番地1
 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町21番地
 110001933
 特許業務法人 佐野特許事務所
 (72) 発明者 引原 ▲隆▼士
 京都府京都市左京区吉田本町36番地1
 国立大学法人京都大学内
 (72) 発明者 長岡 晃平
 京都府京都市左京区吉田本町36番地1
 国立大学法人京都大学内

最終頁に続く

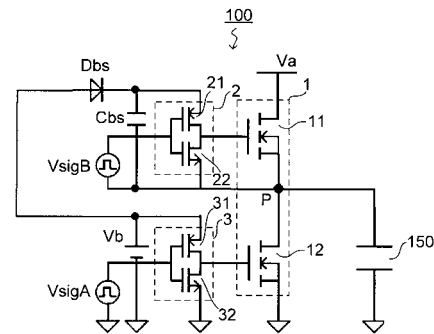
(54) 【発明の名称】 ゲートドライバ

(57) 【要約】

【課題】 駆動対象であるトランジスタを高速に駆動することを実現するゲートドライバを提供する。

【解決手段】 第一のトランジスタ(150)を駆動するためのゲートドライバであって、第一、第二、及び第三のプッシュプル回路(1、2、3)を含み、各々の前記プッシュプル回路は二つのトランジスタを直列接続した構成を有し、前記第一のプッシュプル回路(1)の出力端は前記第一のトランジスタ(150)のゲートに接続され、前記第二のプッシュプル回路(2)の出力端は前記第一のプッシュプル回路(1)に含まれる第二のトランジスタ(11)のゲートに接続され、前記第三のプッシュプル回路(3)の出力端は前記第一のプッシュプル回路(1)に含まれる第三のトランジスタ(12)のゲートに接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第一のトランジスタを駆動するためのゲートドライバであって、

第一、第二、及び第三のプッシュプル回路を含み、各々の前記プッシュプル回路は二つのトランジスタを直列接続した構成を有し、

前記第一のプッシュプル回路の出力端は前記第一のトランジスタのゲートに接続され、

前記第二のプッシュプル回路の出力端は前記第一のプッシュプル回路に含まれる第二のトランジスタのゲートに接続され、

前記第三のプッシュプル回路の出力端は前記第一のプッシュプル回路に含まれる第三のトランジスタのゲートに接続されていることを特徴とするゲートドライバ。

10

【請求項 2】

前記第一のプッシュプル回路は、同一極性である前記第二と第三のトランジスタが直列に接続されたハーフブリッジ構造を有していることを特徴とする請求項 1 に記載のゲートドライバ。

【請求項 3】

前記第二と第三のプッシュプル回路は同一構成であることを特徴とする請求項 1 又は請求項 2 に記載のゲートドライバ。

【請求項 4】

前記第二と第三のプッシュプル回路は、極性の異なるトランジスタが直列に接続された構成を有していることを特徴とする請求項 1 ~ 請求項 3 のいずれか 1 項に記載のゲートドライバ。

20

【請求項 5】

前記第二と第三のトランジスタの遮断周波数は、前記第一のトランジスタの遮断周波数よりも高いことを特徴とする請求項 1 ~ 請求項 4 のいずれか 1 項に記載のゲートドライバ。

【請求項 6】

前記第二と第三のトランジスタの入力容量は、前記第一のトランジスタの入力容量よりも小さいことを特徴とする請求項 1 ~ 請求項 5 のいずれか 1 項に記載のゲートドライバ。

【請求項 7】

前記第三のトランジスタの出力容量は、前記第一のトランジスタの入力容量よりも小さいことを特徴とする請求項 1 ~ 請求項 6 のいずれか 1 項に記載のゲートドライバ。

30

【請求項 8】

前記第二と第三のトランジスタの閾値電圧は 5 V 以下であることを特徴とする請求項 1 ~ 請求項 7 のいずれか 1 項に記載のゲートドライバ。

【請求項 9】

前記第一のプッシュプル回路における前記第二と第三のトランジスタの接続点と前記第一のトランジスタのゲートが接続され、

前記第二のプッシュプル回路の、前記第二のトランジスタに接続されていない第一の電気端子は前記接続点に接続され、

前記第二のプッシュプル回路の、前記第一の電気端子とは異なる第二の電気端子と、前記第一の電気端子の間にはコンデンサが接続され、

40

前記第二の電気端子と、前記第三のトランジスタに接続された前記第三のプッシュプル回路との間には、前記第三のプッシュプル回路から前記第二のプッシュプル回路に向かう向きが順方向となるようにダイオードが接続されていることを特徴とする請求項 1 ~ 請求項 8 のいずれか 1 項に記載のゲートドライバ。

【請求項 10】

前記コンデンサの容量 C_{bs} は、下記式を満たすように設定されることを特徴とする請求項 9 に記載のゲートドライバ。

$$C_{bs} \times V_b > C_{iss} \times 5 [V]$$

但し、 V_b : 前記第二のプッシュプル回路に印加される電圧、 C_{iss} : 第二のトラン

50

ジスタの入力容量

【請求項 1 1】

前記ダイオードは、前記第二のトランジスタに印加される電圧以上の逆方向耐圧を有すると共に、前記第一のトランジスタのスイッチング周期の 1 % 以下の逆回復時間を有していることを特徴とする請求項 9 又は請求項 1 0 に記載のゲートドライバ。

【請求項 1 2】

前記第二と第三のトランジスタはいずれも下記式を満たす ON 抵抗 R_{on} を有していることを特徴とする請求項 1 ~ 請求項 1 1 のいずれか 1 項に記載のゲートドライバ。

$$R_{on} \leq V_{a} \times T_{on} / Q_g$$

但し、 V_a : 前記第一のプッシュプル回路に印加される電圧、 Q_g : 前記第一のトランジスタのゲート電荷、 T_{on} : 前記第一のトランジスタを ON する時間

10

【請求項 1 3】

前記第二のプッシュプル回路と前記第二のトランジスタの配線距離と、前記第三のプッシュプル回路と前記第三のトランジスタの配線距離が略等しくなるような配線を備えていることを特徴とする請求項 1 ~ 請求項 1 2 のいずれか 1 項に記載のゲートドライバ。

【請求項 1 4】

前記第二、第三のトランジスタは、n 型 FET であることを特徴とする請求項 1 ~ 請求項 1 3 のいずれか 1 項に記載のゲートドライバ。

【請求項 1 5】

前記第一のトランジスタは、SiC (炭化珪素) の電圧駆動型トランジスタであることを特徴とする請求項 1 ~ 請求項 1 4 のいずれか 1 項に記載のゲートドライバ。

20

【請求項 1 6】

前記第二、第三のトランジスタは、チャンネル材料として GaN (窒化ガリウム) もしくは SiC (炭化珪素) を用いていることを特徴とする請求項 1 ~ 請求項 1 5 のいずれか 1 項に記載のゲートドライバ。

【請求項 1 7】

前記第一、第二、及び第三のプッシュプル回路が同一の基板上に配置され、その全体が絶縁体で覆われてモジュール化されていることを特徴とする請求項 1 ~ 請求項 1 6 のいずれか 1 項に記載のゲートドライバ。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、ゲートドライバに関する。

【背景技術】

【0002】

コンバータやインバータといった電力変換器に用いられる半導体デバイスであるパワーデバイスとして、現在、SiC (炭化珪素) パワーデバイスの開発が進められている。SiC パワーデバイスは、その物理的優位性から次世代パワーエレクトロニクスのキーデバイスとして考えられており、商用化が進められている。

【0003】

40

SiC パワーデバイスは、Si パワーデバイスに比較して高耐圧、低オン抵抗、高速スイッチング特性、耐高温特性といった優位な物理的特性を有している。特に、高速スイッチングを実現することは、電力変換器の中で大きな体積を占める、キャパシタ、インダクタ、トランス等の構成部品を小型化できることに繋がるため、電力変換器自体の小型化のために非常に重要となる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2014 - 147237 号公報

【特許文献 2】特開 2013 - 243877 号公報

50

【特許文献3】特開2014-57491号公報

【特許文献4】特許第5400968号公報

【特許文献5】特許第2886495号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、現状、SiCパワーデバイスを高速スイッチング駆動するゲートドライバ（ゲートドライブ回路）の開発は実現されていない（なお、ゲートドライバに関する従来技術の一例としては特許文献1～5が挙げられる）。従来のSi（シリコン）パワーデバイスでは数百kHz程度までの周波数が主として扱われ、当該周波数までのSiパワーデバイスの駆動に適したゲートドライバは存在するが、SiCパワーデバイスに適したゲートドライバは開発されていない。

10

【0006】

また、高周波でのFET（電界効果トランジスタ）の駆動としては、SiベースのCMOS回路が良く知られている。しかしながら、このCMOS回路は信号用途に限られ、電力変換器に設けるSiCパワーデバイスを高速に駆動するには、大きな入力容量に対する大きな電荷移動が瞬時に必要となることから、CMOS回路によってそのまま駆動することはできない。また、CMOS回路によって駆動しようとするれば損失が大きくなり、SiCパワーデバイスの優位性を生かすことができない。

【0007】

20

また、SiCパワーデバイスのようなワイドバンドギャップ半導体の物理特性を生かすためには、その駆動においてもその特性を生かせるだけの特性を有する素子を用いる必要があるため、GaN（窒化ガリウム）やSiCからなる素子を用いてCMOS回路を実現することが考えられているが、GaN、SiCいずれにおいても現在n型MOSFETしか開発されておらず、p型MOSFETが実現されなければ達成できないブリッジ構造であるCMOS回路は検討されるに至っていない。また、p型MOSFETが実現されたとしても、SiCやGaNの正孔の移動度は電子に比べて非常に小さいため、高速駆動できるCMOS回路が実現できる可能性は小さい。

【0008】

また、パワーエレクトロニクスでよく使われる数100kHzまでや高速通信で使われるGHz帯の周波数での駆動によるノイズを抑制する回路実装技術については現在開発されているが、パワーエレクトロニクスで用いることができるMHz～数100MHz帯での駆動に対する回路技術については、数W程度の極小さい電力を扱う回路以外では、開発されていないか、技術レベルが非常に未熟な状況である。よって、現実にはそのような高周波駆動は忌避されることが普通である。しかしながら、MHz～数100MHz帯での駆動を行うドライブ回路が開発されれば、ノイズを抑制する技術の開発も進むと予想される。

30

【0009】

以上のように、現在、MHzから数100MHzまでの周波数でのパワーデバイスの駆動が実現されていない状況に本願発明者は独自に着目したところである。

40

【0010】

上記状況に鑑み、本発明は、駆動対象であるトランジスタを高速に駆動することを実現するゲートドライバを提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するために本発明は、第一のトランジスタを駆動するためのゲートドライバであって、

第一、第二、及び第三のプッシュプル回路を含み、各々の前記プッシュプル回路は二つのトランジスタを直列接続した構成を有し、

前記第一のプッシュプル回路の出力端は前記第一のトランジスタのゲートに接続され、

50

前記第二のプッシュプル回路の出力端は前記第一のプッシュプル回路に含まれる第二のトランジスタのゲートに接続され、

前記第三のプッシュプル回路の出力端は前記第一のプッシュプル回路に含まれる第三のトランジスタのゲートに接続されている構成としている（第1の構成）。

【0012】

また、上記第1の構成において、前記第一のプッシュプル回路は、同一極性である前記第二と第三のトランジスタが直列に接続されたハーフブリッジ構造を有していることとしてもよい（第2の構成）。

【0013】

また、上記第1又は第2の構成において、前記第二と第三のプッシュプル回路は同一構成であることとしてもよい（第3の構成）。

10

【0014】

また、上記第1～第3のいずれかの構成において、前記第二と第三のプッシュプル回路は、極性の異なるトランジスタが直列に接続された構成を有していることとしてもよい（第4の構成）。

【0015】

また、上記第1～第4のいずれかの構成において、前記第二と第三のトランジスタの遮断周波数は、前記第一のトランジスタの遮断周波数よりも高いこととしてもよい（第5の構成）。

【0016】

20

また、上記第1～第5のいずれかの構成において、前記第二と第三のトランジスタの入力容量は、前記第一のトランジスタの入力容量よりも小さいこととしてもよい（第6の構成）。

【0017】

また、上記第1～第6のいずれかの構成において、前記第三のトランジスタの出力容量は、前記第一のトランジスタの入力容量よりも小さいこととしてもよい（第7の構成）。

【0018】

また、上記第1～第7のいずれかの構成において、前記第二と第三のトランジスタの閾値電圧は5V以下であることとしてもよい（第8の構成）。

【0019】

30

また、上記第1～第8のいずれかの構成において、前記第一のプッシュプル回路における前記第二と第三のトランジスタの接続点と前記第一のトランジスタのゲートが接続され、

前記第二のプッシュプル回路の、前記第二のトランジスタに接続されていない第一の電気端子は前記接続点に接続され、

前記第二のプッシュプル回路の、前記第一の電気端子とは異なる第二の電気端子と、前記第一の電気端子の間にはコンデンサが接続され、

前記第二の電気端子と、前記第三のトランジスタに接続された前記第三のプッシュプル回路との間には、前記第三のプッシュプル回路から前記第二のプッシュプル回路に向かう向きが順方向となるようにダイオードが接続されていることとしてもよい（第9の構成）

40

【0020】

また、上記第9の構成において、前記コンデンサの容量 C_{bs} は、下記式を満たすように設定されることとしてもよい（第10の構成）。

$$C_{bs} \times V_b > C_{iss} \times 5 [V]$$

但し、 V_b ：前記第二のプッシュプル回路に印加される電圧、 C_{iss} ：第二のトランジスタの入力容量

【0021】

また、上記第9又は第10の構成において、前記ダイオードは、前記第二のトランジスタに印加される電圧以上の逆方向耐圧を有すると共に、前記第一のトランジスタのスィ

50

ツチング周期の1%以下の逆回復時間を有していることとしてもよい(第11の構成)。

【0022】

また、上記第1~第11のいずれかの構成において、前記第二と第三のトランジスタはいずれも下記式を満たすON抵抗 R_{on} を有していることとしてもよい(第12の構成)。

$$R_{on} = V_a \times T_{on} / Q_g$$

但し、 V_a ：前記第一のプッシュプル回路に印加される電圧、 Q_g ：前記第一のトランジスタのゲート電荷、 T_{on} ：前記第一のトランジスタをONする時間

【0023】

また、上記第1~第12のいずれかの構成において、前記第二のプッシュプル回路と前記第二のトランジスタの配線距離と、前記第三のプッシュプル回路と前記第三のトランジスタの配線距離が略等しくなるような配線を備えていることとしてもよい(第13の構成)。

10

【0024】

また、上記第1~第13のいずれかの構成において、前記第二、第三のトランジスタは、n型FETであることとしてもよい(第14の構成)。

【0025】

また、上記第1~第14のいずれかの構成において、前記第一のトランジスタは、SiC(炭化珪素)の電圧駆動型トランジスタであることとしてもよい(第15の構成)。

【0026】

20

また、上記第1~第15のいずれかの構成において、前記第二、第三のトランジスタは、チャンネル材料としてGaN(窒化ガリウム)もしくはSiC(炭化珪素)を用いていることとしてもよい(第16の構成)。

【0027】

また、上記第1~第16のいずれかの構成において、前記第一、第二、及び第三のプッシュプル回路が同一の基板上に配置され、その全体が絶縁体で覆われてモジュール化されていることとしてもよい(第17の構成)。

【発明の効果】

【0028】

本発明のゲートドライバによると、駆動対象であるトランジスタを高速に駆動することを実現できる。

30

【図面の簡単な説明】

【0029】

【図1】本発明の一実施形態に係るゲートドライバの回路構成を示す図である。

【図2】本発明の一実施形態に係る駆動制御信号の生成構成を示す図である。

【図3】本発明の一実施形態に係る駆動実験に用いた抵抗負荷回路の構成を示す図である。

。

【図4】本発明の一実施形態に係る駆動実験におけるゲートドライバ側の各種測定結果を示すグラフである(スイッチング周波数1MHzの場合)。

【図5】本発明の一実施形態に係る駆動実験におけるSiCMOSFETのスイッチング特性に関する各種測定結果を示すグラフである(スイッチング周波数1MHzの場合)。

40

。

【図6】本発明の一実施形態に係る駆動実験におけるゲートドライバ側の各種測定結果を示すグラフである(スイッチング周波数10MHzの場合)。

【図7】本発明の一実施形態に係る駆動実験におけるSiCMOSFETのスイッチング特性に関する各種測定結果を示すグラフである(スイッチング周波数10MHzの場合)。

【図8】本発明の一実施形態に係るゲートドライバモジュールを示す図である。

【発明を実施するための形態】

【0030】

50

以下に本発明の一実施形態について図面を参照して説明する。

【0031】

<ゲートドライバの全体構成>

本発明の一実施形態に係るゲートドライバの回路構成を図1に示す。図1に示すゲートドライバ100は、駆動対象となるSiC MOSFET150（第一のトランジスタの一例）を駆動する回路である。電力変換器に用いられるSiC MOSFET150は、電圧駆動型のSiCパワーデバイスである。なお、図1では、SiC MOSFET150を入力容量の形式で表記している。

【0032】

ゲートドライバ100は、第1プッシュプル回路1、第2プッシュプル回路2、第3プッシュプル回路3、ブートストラップコンデンサCbs、及びダイオードDbsを備えている。

10

【0033】

第1プッシュプル回路1は、GaN HEMT11（High Electron Mobility Transistor、高電子移動度トランジスタ）（第二のトランジスタの一例）とGaN HEMT12（第三のトランジスタの一例）が直列接続されたハーフブリッジ構造を有する。接続関係をより具体的に説明すれば、GaN HEMT11のドレインは、入力電圧Vaの印加端に接続される。GaN HEMT12のソースは、接地端に接続される。そして、GaN HEMT11のソースとGaN HEMT12のドレインが接続点Pにて接続され、接続点P（第1プッシュプル回路1の出力端）はSiC MOSFET150のゲートに接続される。

20

【0034】

現在、GaNパワーデバイスはpチャネルタイプの開発がnチャネルタイプに比して進んでおらず、上段のGaN HEMT11、下段のGaN HEMT12ともにnチャネルタイプのものを採用している。そのため、上段、下段の各GaN HEMTについて、ゲートドライブ回路、及び駆動用電源が必要となる。

【0035】

第2プッシュプル回路2は、上段のGaN HEMT11のゲート駆動を行う回路であり、ともにSiにより構成されたp型MOSFET21とn型MOSFET22が直列接続されて構成される。p型MOSFET21のドレインとn型MOSFET22のドレインとの接続点（第2プッシュプル回路2の出力端）は、GaN HEMT11のゲートに接続される。

30

【0036】

第3プッシュプル回路3は、下段のGaN HEMT12のゲート駆動を行う回路であり、ともにSiにより構成されたp型MOSFET31とn型MOSFET32が直列接続されて構成される。p型MOSFET31のドレインとn型MOSFET32のドレインとの接続点（第3プッシュプル回路3の出力端）は、GaN HEMT12のゲートに接続される。

【0037】

なお、将来、GaNやSiCによるp型MOSFETが開発された場合は、第2プッシュプル回路2及び第3プッシュプル回路3におけるデバイスを、GaNやSiCによるn型MOSFETとp型MOSFETに置き換えることも可能である。

40

【0038】

なお、第2プッシュプル回路2から上段のGaN HEMT11のゲートまでの配線距離と、第3プッシュプル回路3から下段のGaN HEMT12のゲートまでの配線距離は、ほぼ等しくなるように設計されていることが望ましい。高周波信号が純粹の正弦波でない限り、配線を通ることによって信号波形というのは崩れるため、駆動する周波数が高くなればなるほど、長い配線距離や長さの違う配線では、駆動信号として問題が生じるほどの波形崩れや駆動信号のタイミングずれ等が起こってしまうからである。

【0039】

50

また、下段の GaN HEMT 12 の駆動用電源電圧 V_b の印加端が、第 3 プッシュプル回路 3 の p 型 MOSFET 31 のソースに接続される。

【0040】

上段の GaN HEMT 11 の駆動用電源としては、ブートストラップコンデンサ C_{bs} と逆阻止ダイオード D_{bs} を用いたブートストラップ方式を採用している。これにより、上段用に電源電圧 V_b 以外の電源を新たに設ける必要がなくなる。

【0041】

接続関係をより具体的に説明すれば、ブートストラップコンデンサ C_{bs} の一端は、接続点 P と共に第 2 プッシュプル回路 2 の n 型 MOSFET 22 のソースに共通接続される。ブートストラップコンデンサ C_{bs} の他端は、逆阻止ダイオード D_{bs} のカソードと共に第 2 プッシュプル回路 2 の p 型 MOSFET 21 のソースに共通接続される。逆阻止ダイオード D_{bs} のアノードは、電源電圧 V_b の印加端と共に第 3 プッシュプル回路 3 の p 型 MOSFET 31 のソースに共通接続される。

【0042】

更に、上段の GaN HEMT 11 と下段の GaN HEMT 12 が交互に導通するように、下段の駆動制御信号 V_{sigA} 及び上段の駆動制御信号 V_{sigB} は位相を反転させて入力させる。

【0043】

ここで、駆動制御信号 V_{sigA} 、 V_{sigB} を生成するための構成についての一例を図 2 に示す。図 2 に示すように、駆動制御信号 V_{sigA} 、 V_{sigB} は、ファンクションジェネレータ (駆動制御信号生成回路) 101 によって生成された信号を、アイソレータ 102、103 によって絶縁部分を介して伝達したものである。また、アイソレータ 102、103 によって上段と下段で基準電位を分離している。ファンクションジェネレータはこれと同じ機能を持つ IC で置き換えることもできるし、実際の電源回路としてはその方が望ましい。

【0044】

< ゲートドライバの動作について >

次に、ゲートドライバ 100 の動作について説明する。駆動制御信号 V_{sigA} が Low レベルの場合、第 3 プッシュプル回路 3 において p 型 MOSFET 31 が導通し、電源電圧 V_b によって下段の GaN HEMT 12 が導通する。このとき、駆動制御信号 V_{sigB} は High レベルであるので、第 2 プッシュプル回路 2 の n 型 MOSFET 22 が導通し、上段の GaN HEMT 11 は非導通となる。またこのとき、接続点 P はグランド電位となるため、逆阻止ダイオード D_{bs} は順バイアスとなって導通し、電源電圧 V_b によってブートストラップコンデンサ C_{bs} が充電される。

【0045】

駆動制御信号 V_{sigA} が High レベルの場合、第 3 プッシュプル回路 3 の n 型 MOSFET 32 がオンとなり、下段の GaN HEMT 12 は非導通となる。このとき、駆動制御信号 V_{sigB} は Low レベルであるので、第 2 プッシュプル回路 2 の p 型 MOSFET 21 が導通し、ブートストラップコンデンサ C_{bs} を電源として上段の GaN HEMT 11 が導通する。

【0046】

< ゲートドライバの回路設定について >

次に、ゲートドライバ 100 における回路設定について述べる。まず、上段の GaN HEMT 11 と下段の GaN HEMT 12 の各遮断周波数は、駆動対象である SiC MOSFET 150 の遮断周波数よりも高くしている。これは、駆動対象となるデバイスよりも速く動くことができるデバイスを駆動用としなければならないためである。GaN HEMT は電子移動度が高いため、SiC MOSFET 150 の遮断周波数よりも高い遮断周波数を設定することが可能であり、SiC MOSFET 150 を MHz オーダー以上で高速にスイッチングするために最適なデバイスの一候補となる。

【0047】

10

20

30

40

50

また、GaN HEMT 11とGaN HEMT 12の各入力容量は、パワーデバイスであるSiC MOSFET 150の大きな入力容量よりも小さく設定している。入力容量が小さければ、瞬時に移動が必要となる電荷量が少なくてよいので、第2プッシュプル回路2及び第3プッシュプル回路3による信号レベルでの駆動が可能となる。この条件はGaN HEMTに限った話ではなく、第1プッシュプル回路1を構成するデバイスとして他のものを選んだ場合でも適用される。

【0048】

また、GaN HEMT 11とGaN HEMT 12の各ゲート閾値電圧は5V以下としている。これは、信号系のIC・デバイス類は大きい電圧で動くようには設計されていないのが一般的であり、使用できる回路素子の範囲を広げるためには、高い閾値電圧をもたない駆動デバイスの方が設計の柔軟性を確保しやすく、ひいては産業として重要なコストダウンにも繋がる。これにより、第2プッシュプル回路2及び第3プッシュプル回路3による信号レベルでの駆動を可能としている。

10

【0049】

また、GaN HEMT 11とGaN HEMT 12の各ON抵抗 R_{on} は下記(1)式を満たすように設定されている。

$$R_{on} = V_a \times T_{on} / Q_g \quad (1)$$

但し、 V_a : GaN HEMT 11のソースに印加される電圧、 Q_g : SiC MOSFET 150のゲート電荷、 T_{on} : SiC MOSFET 150をONする時間である。

20

【0050】

Q_g とはゲートが開くために必要な電荷の目安になる量である。所望する速い駆動周波数でON/OFFの繰り返し動作をするためには、 Q_g に相当する電荷をその所望時間の間に移動させなければならない。これが電流の次元を持つ Q_g / T_{on} の意味である。この Q_g / T_{on} に相当する電流は、実際には第1プッシュプル回路1にかかる電圧 V_a と、第1プッシュプル回路1を構成するトランジスタの R_{on} で作るため、 V_a / R_{on} で定まる、第1プッシュプル回路1が流し得る電流で、 Q_g / T_{on} を達成する必要がある。この条件は、 $V_a / R_{on} = Q_g / T_{on}$ で表現でき、これを変形すると上記(1)式が得られる。

【0051】

電力変換器に用いられるSiC MOSFET 150の大きな入力容量に対して瞬時に大きな電荷移動が必要であっても、低ON抵抗でかつ高い相互コンダクタンスを一般的な特徴とするGaN HEMTであれば上記(1)式を満たすことが可能となる。

30

【0052】

また、上段のGaN HEMT 11が導通したときには、下段のGaN HEMT 12の出力容量とSiC MOSFET 150の入力容量とが並列接続されているように、上段のGaN HEMT 11からは見える。つまり、上段のGaN HEMT 11から見ると、下段のGaN HEMT 12の出力容量は充電しなければならない余分な容量である。よって、この余分な容量はできるだけ小さい方が速い駆動の実現のためには必要であるため、GaN HEMT 12の出力容量はSiC MOSFET 150の入力容量よりも小さくしている。

40

【0053】

次に、ブートストラップにおける回路設定について述べる。

【0054】

まず、ブートストラップコンデンサ C_{bs} の容量値については、下記(2)式を満たすように設定される。

$$C_{bs} \times V_b > C_{iss} \times 5 [V] \quad (2)$$

但し、 V_b : 第2プッシュプル回路2に印加される電源電圧、 C_{iss} : GaN HEMT 11の入力容量である。

【0055】

50

即ち、上述したように GaN HEMT 11 のゲート閾値電圧を 5 V 以下に設定した場合に、GaN HEMT 11 の入力容量への充電に必要な電荷量よりも大きな電荷量をブートストラップコンデンサ Cbs に充電可能としている。

【0056】

また、GaN HEMT 11 の入力容量は小さいため、ブートストラップコンデンサ Cbs の容量値を小さくすることができる。従って、ブートストラップコンデンサ Cbs として小容量のセラミックチップコンデンサを使用することが可能となる。

【0057】

次に、逆阻止ダイオード Dbs の設定について述べる。逆阻止ダイオード Dbs は、下段の GaN HEMT 12 が非導通状態にある場合、入力電圧 Va をブロックする必要があるため、逆阻止ダイオード Dbs の逆方向耐圧は入力電圧 Va 以上としている。

10

【0058】

また、逆阻止ダイオード Ds の逆回復時間が SiC MOSFET 150 をスイッチング周期に対して短くする必要があり、上記スイッチング周期の 1 % 以下の逆回復時間としている。

【0059】

< SiC パワーデバイスの駆動実験 >

以上説明した構成のゲートドライバ 100 による SiC MOSFET 150 の駆動実験を行った。駆動実験に際して、図 3 に示すような抵抗負荷回路 200 を構成した。図 3 に示されるゲートドライバ 100 は、図 1 に示した構成を有している。なお、本実験で使用した SiC MOSFET 150 は、トレンチ型構造を有するものを使用した。以下、実験回路の設定、実験における測定対象及び測定系、及び実験結果について述べる。

20

【0060】

<< 実験回路の設定について >>

まず、実験で構成したゲートドライバ 100 の回路設定について述べる。SiC MOSFET 150 のゲート駆動電圧は High レベルで 18 V、Low レベルで 0 V とした。従って、図 1 における入力電圧 Va = 18 V とした。

【0061】

下段の GaN HEMT 12 の駆動用電源電圧 Vb は 4 V とした。上段の GaN HEMT 11 の駆動用電源となるブートストラップコンデンサ Cbs は、GaN HEMT 11 の入力容量を 4 V まで充電できる容量値が必要となる。従って、入力容量を 500 pF とし上記 (2) 式を十分に満たすように、ブートストラップコンデンサ Cbs の容量値は 330 nF に設定した。

30

【0062】

次に、逆阻止ダイオード Dbs については、先述したように下段の GaN HEMT 12 が非導通状態にあるときに入力電圧 Va = 18 V をブロックする必要があるため、逆阻止ダイオード Dbs の逆方向耐圧は 18 V 以上が必要となるため、ここでは 30 V に設定した。また、逆回復時間については、SiC MOSFET 150 のスイッチング周期を 10 MHz に対応した 100 ns とし、100 ns の 1 % 以下である 0.8 ns に設定した。このような逆方向耐圧及び逆回復時間を備える逆阻止ダイオード Dbs とし、パナソニック製、DB2J316 を使用した。

40

【0063】

また、第 2 プッシュプル回路 2 及び第 3 プッシュプル回路 3 における n 型 MOSFET、p 型 MOSFET には、n チャネル / p チャネル MOSFET (ROHM 製、US6M1) を使用した。

【0064】

更に、駆動制御信号 Vsig A、Vsig B は、ファンクションジェネレータ 101 (Tektronix 製、AFG3102C) で生成した発振信号をアイソレータ 102、103 であるデジタルアイソレータ IC (Silicon Laboratories 製、Si8660) を介して伝達することで生成した。このアイソレータは、ゲート駆動が可能な MHz から数 100 MHz の信号レベルの

50

駆動信号を伝達するものでなければならない。なお、図2に示すように、駆動制御信号 V_{sigB} 、 V_{sigA} に対応する信号をファンクションジェネレータ101のチャンネル1、2 (CH1、CH2) からそれぞれ入力した。

【0065】

また、図3に示した抵抗負荷回路200について述べると、抵抗 R は $47\ \Omega$ 、電圧 V_{in} については 50V とした。従って、SiC MOSFET150が導通状態のときにドレイン電流 I_d は約 1A となるようにした。

【0066】

<<測定対象と測定系>>

測定はSiC MOSFET150のスイッチング特性とゲートドライバ100側の動作について行った。

【0067】

SiC MOSFET150のスイッチング特性については、図3に示したSiC MOSFET150のゲート-ソース間電圧 V_{gs} 、ドレイン-ソース間電圧 V_{ds} 、ドレイン電流 I_d を測定した。測定にはオシロスコープ(Tektronix 製, MDO4104-3) を使用した。ここで電圧測定には電圧プローブ(Tektronix 製, TPP1000) を、電流測定には電流プローブ(Tektronix 製, TCP0030) を使用した。

【0068】

図1に示したゲートドライバ100側については、上段のGaN HEMT11のゲート-ソース間電圧 V_{gHgan} 、下段のGaN HEMT12のゲート-ソース間電圧 V_{gLgan} 、 V_{sigA} の元となるファンクションジェネレータ101 (図2) のチャンネル1からの信号 V_{os1} 、 V_{sigB} の元となるファンクションジェネレータ101のチャンネル2からの信号 V_{os2} を測定した。測定には絶縁オシロスコープ(Tektronix 製, TPS2024) を使用した。また電圧プローブ(Tektronix 製, P2220) を使用した。

【0069】

ここで測定結果に関する注意点を述べる。ゲートドライバ100側のデータとスイッチング特性のデータは上記のように異なるオシロスコープで測定した。そのため二つの測定結果の時間軸は異なる基準をもっており、二つのグラフの間で時間的なタイミングは異なる。

【0070】

<<スイッチング周波数 1MHz の場合の実験結果>>

スイッチング周波数 1MHz の場合における、 V_{os1} 、 V_{os2} 、 V_{gLgan} 、 V_{gHgan} の測定結果を図4に示す。また、SiC MOSFET150のスイッチング特性を図5に示す。

【0071】

図4における各電圧波形の位相関係について説明する。図1に示したGaN HEMT11、12を駆動する第2プッシュプル回路2、第3プッシュプル回路3により、 V_{gHgan} 、 V_{gLgan} は生成される。そのため、図4において、 V_{os1} に対して位相が反転した V_{gLgan} が生成されている。 V_{os2} と V_{gHgan} についても同様である。

【0072】

そして、SiC MOSFET150を駆動するためには、上段、下段のGaN HEMT11、12を交互に導通させる必要がある。従って、 V_{gLgan} 、 V_{gHgan} の位相を反転させるために、ファンクションジェネレータ101 (図2) の機能によって V_{os1} 、 V_{os2} を生成した。また、二つのGaN HEMT11、12が両方同時に導通することを避ける必要がある。従って、 V_{gLgan} 、 V_{gHgan} が両方Highレベルにある時間が小さくなるよう、ファンクションジェネレータ101の機能により、 V_{os1} 、 V_{os2} のデューティ比、位相関係を調整した。

【0073】

その結果、図5に示したように、周波数 1MHz 、電圧値 $0 - 18\text{V}$ での V_{gs} が生成

10

20

30

40

50

できている。そして、図5に示す V_{ds} 、 I_d の波形から V_{ds} と I_d がクロスしている部分が少ないため損失がほとんどなく、スイッチング周波数1MHzでのスイッチングが達成されている。

【0074】

以上の結果から、図1に示した構成のゲートドライバ100により、SiC MOSFET150の駆動ができることが確認された。

【0075】

<<スイッチング周波数10MHzの場合の実験結果>>

スイッチング周波数10MHzの場合における、 V_{os1} 、 V_{os2} 、 V_{gLgan} 、 V_{gHgan} の測定結果を図6に示す。また、SiC MOSFET150のスイッチング特性を図7に示す。

10

【0076】

図7からわかるように、10MHzの高周波においても V_{gs} が生成されており、SiC MOSFET150のスイッチングが達成されている。また、図6に示した実験結果において、 V_{gLgan} がHighレベルにある時間的割合を大きく設定していることがわかる。このことについて理由を説明する。

【0077】

図7からわかるように、実験に使用したSiC MOSFET150のスイッチング特性は、ターンオンに比べターンオフが遅い。このため、スイッチングを達成するためには、 V_{gs} がLowレベルである時間が充分、即ち下段のGaN HEMT12の導通時間を充分なものに必要がある。従って、図6に示したように、 V_{gLgan} がHighレベルである時間的割合がスイッチング達成に充分となるように調節した。

20

【0078】

以上のように、スイッチング周波数が10MHzという高周波の場合には、SiC MOSFET150の過渡的な特性を含めた駆動タイミングの調整が必要となるものの、図7に示したように、SiC MOSFET150の10MHzの駆動及びスイッチングを達成した。

【0079】

<達成される優れた効果>

以上のような本発明の実施形態は、次の点で特に優れている。まず、Siパワーデバイスの経験に引きずられず、信号絶縁にはSiパワーデバイスの信号絶縁の技術(信号用RF絶縁回路素子)を適用し、高周波スイッチングのための駆動には、信号レベルでの駆動でパワーレベルでのスイッチングが可能なGaNパワーデバイスを用いたブリッジを適用し、その駆動により目的のSiCパワーデバイスの駆動を実現した点である。

30

【0080】

次に、GaN、SiCいずれも現時点ではn型MOS構造の素子しか開発されておらず、今後もGaNデバイスにおいてはp型MOSの開発が困難であるとの予測から、高周波で駆動可能なn型MOSブリッジをその出力対象となるSiCパワーデバイスの特性に合わせて実現している点である。p型MOSの駆動が遅いのはSiでも共通しているため、本発明のようにn型素子だけで構成するのは、Siデバイスでも有用である。

40

【0081】

これらの結果、SiCパワーデバイスのMHz~数100MHzの周波数における駆動が達成される。

【0082】

<ゲートドライバのモジュール化>

ゲートドライバ100は、上段のGaN HEMT11、下段のGaN HEMT12、第2プッシュプル回路2、第3プッシュプル回路3、小容量セラミックチップコンデンサであるブートストラップコンデンサ C_{bs} 、及び逆阻止ダイオード D_{bs} といったいずれもモジュール化に適した回路要素から構成される。従って、これらの回路要素を同一の基板上に実装し、ボンディングワイヤなどを介して接続した後、樹脂(絶縁体の一例)に

50

よって封止された構造を有したマルチチップモジュール250(図8)を構成してもよい。

【0083】

<その他の変形例について>

本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【0084】

例えば上記実施形態では、ブリッジ構造を構成する上段、下段の各トランジスタにGaN HEMTを使用した。GaNと同様な特性を有するSiCをチャンネル材料として適用することも、本発明の主旨の範囲内となる。またこの場合、SiCを適用した上段、下段の各トランジスタと駆動対象であるSiC MOSFET150を集積化して一つのチップを構成し、当該チップと第2プッシュプル回路2、第3プッシュプル回路、ブートストラップコンデンサCb s、及び逆阻止ダイオードDb sを同一の基板上に配したマルチチップモジュールを構成することも可能となる。

【産業上の利用可能性】

【0085】

本発明は、世界のどの機関でも未だ実現されていない技術であり、ワイドバンドギャップ半導体を用いた次世代パワーエレクトロニクスの展開において、我が国の産業が優位性を維持するためのキーテクノロジーの一つとなる。また、その結果、ワイドバンドギャップ半導体の高周波応用の産業分野の展開が大きく進む可能性がある。その市場規模は非常に大きく、単に省エネ技術としてのパワーエレクトロニクスの技術をパワープロセッシングの技術に高めることが可能になる。その例としては、パワーエレクトロニクス回路の小型化に資することは当然ながら、本願発明者が提案している電力パケット伝送技術、電力ルーティング技術などの基本回路の集積化、あるいはパワーデバイスの集積回路化において不可欠な技術となると考えられる。また、本発明の結果、ドライブ回路も組み込んだ全SiC高周波パワー集積モジュールの開発への気運が高まり、応用への期待が進むことも大きな効果である。

【符号の説明】

【0086】

- 100 ゲートドライバ
- 150 SiC MOSFET
- 1 第1プッシュプル回路
- 11、12 GaN HEMT
- 2 第2プッシュプル回路
- 21 p型MOSFET
- 22 n型MOSFET
- 3 第3プッシュプル回路
- 31 p型MOSFET
- 32 n型MOSFET
- Cb s ブートストラップコンデンサ
- Db s 逆阻止ダイオード
- V a 入力電圧
- V b 電源電圧
- V s i g A、V s i g B 駆動制御信号
- 101 ファンクションジェネレータ
- 102、103 アイソレータ

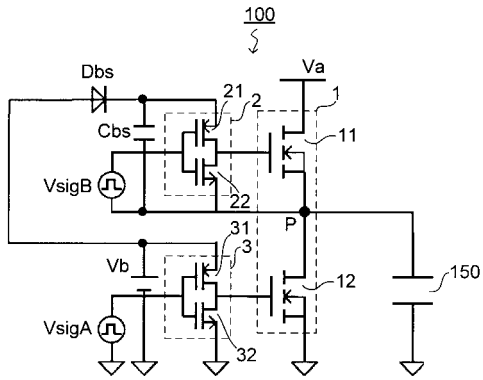
10

20

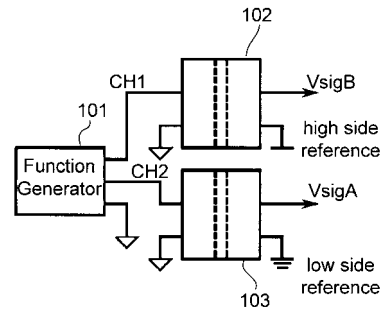
30

40

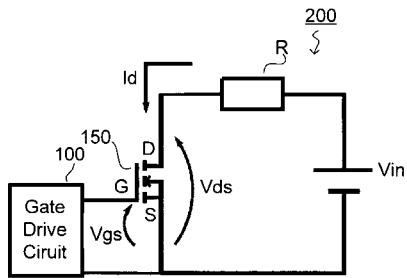
【 図 1 】



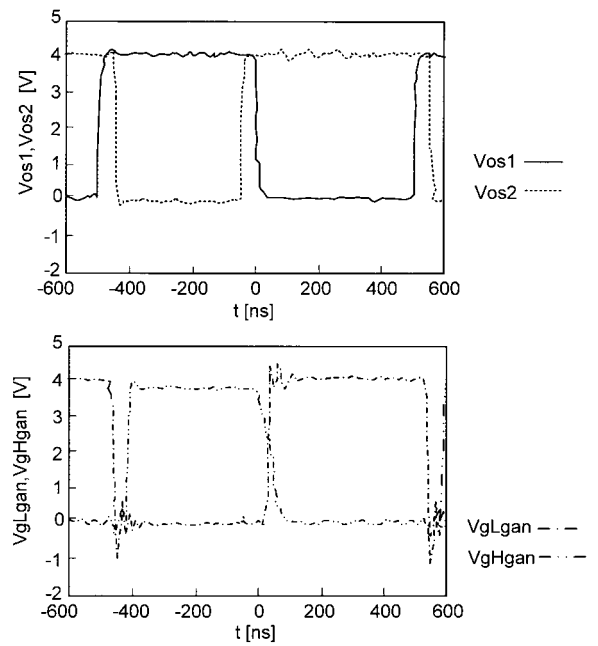
【 図 2 】



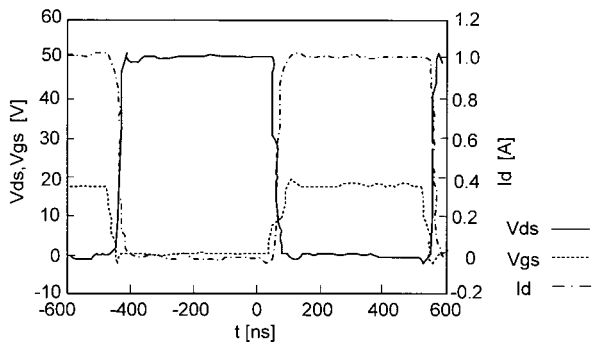
【 図 3 】



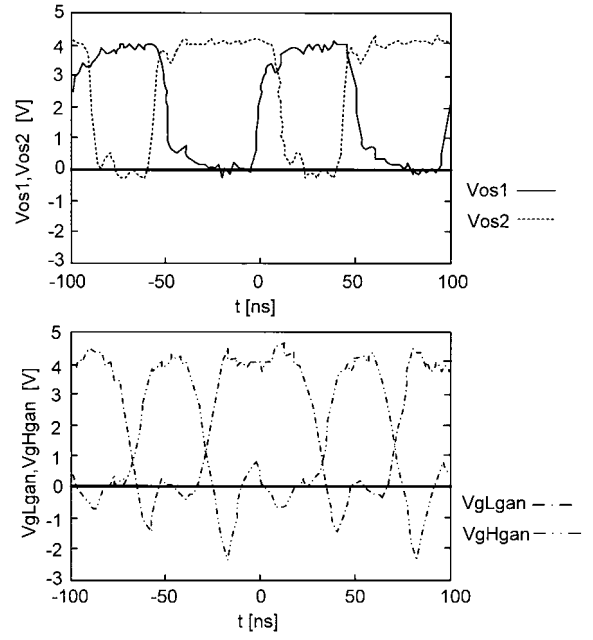
【 図 4 】



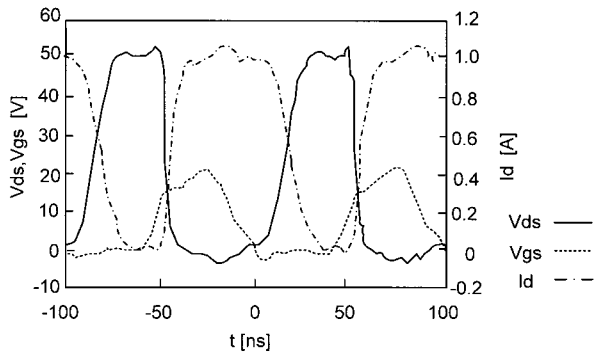
【 図 5 】



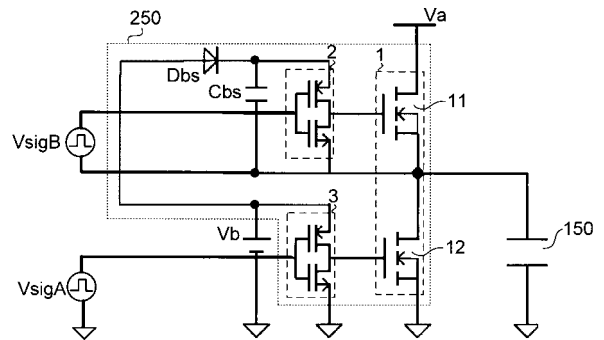
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(72)発明者 山口 敦司

京都市右京区西院溝崎町2-1番地 ローム株式会社内

(72)発明者 近松 健太郎

京都市右京区西院溝崎町2-1番地 ローム株式会社内

Fターム(参考) 5H740 AA05 BA12 BC01 BC02 HH05 JA01 JB01 KK01

5J055 AX02 BX16 DX22 EY10 EY21 EZ18 GX01 GX02 GX06