

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-207614

(P2015-207614A)

(43) 公開日 平成27年11月19日(2015.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 F 19/04 (2006.01)	HO 1 F 19/04	5E043
HO 1 F 17/00 (2006.01)	HO 1 F 17/00 C	5E062
HO 1 F 41/04 (2006.01)	HO 1 F 17/00 D	5E070
HO 1 F 27/28 (2006.01)	HO 1 F 41/04 C	5F038
HO 1 L 21/822 (2006.01)	HO 1 F 27/28 K	

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2014-86117(P2014-86117)
 (22) 出願日 平成26年4月18日(2014.4.18)

特許法第30条第2項適用申請有り ▲1▼開催日：2014年2月7日 ▲2▼集会名：京都大学 平成25年度情報学研究科 通信情報システム専攻 修士論文公聴会 ▲3▼開催場所：京都大学吉田キャンパス工学部3号館北館N1（京都府京都市左京区吉田本町36番地1） ▲4▼公開者：雨貝 太郎

(71) 出願人 000004226
 日本電信電話株式会社
 東京都千代田区大手町一丁目5番1号
 (71) 出願人 504132272
 国立大学法人京都大学
 京都府京都市左京区吉田本町36番地1
 (74) 代理人 100064621
 弁理士 山川 政樹
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (74) 代理人 100153006
 弁理士 小池 勇三
 (72) 発明者 中野 慎介
 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

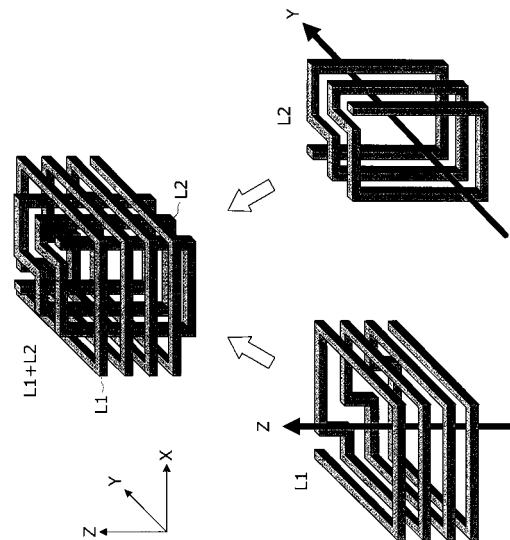
(54) 【発明の名称】 直交型ソレノイドインダクタ

(57) 【要約】

【課題】 インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値や高いQ値を得る。

【解決手段】 2つのインダクタL1、L2のうち、インダクタL1については第1の方向を巻軸として巻線を形成し、インダクタL2については第1の方向とは直交する第2の方向を巻軸として巻線を形成する。また、インダクタL2の一部または全部をインダクタL1の形成されている領域内に配置する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板のうち絶縁層を介して積層された複数の金属配線層を用いて、3次元で螺旋状に形成された巻線からなる第1および第2のインダクタを備え、

前記第1のインダクタは、第1の方向を巻軸として形成されており、

前記第2のインダクタは、前記第1の方向と直交する第2の方向を巻軸として形成されている

ことを特徴とする直交型ソレノイドインダクタ。

【請求項 2】

請求項1に記載の直交型ソレノイドインダクタにおいて、

前記第2のインダクタは、自己の一部または全部が前記第1のインダクタの形成されている領域内に配置されていることを特徴とする直交型ソレノイドインダクタ。

10

【請求項 3】

請求項1に記載の直交型ソレノイドインダクタにおいて、

前記第2のインダクタは、自己の巻線が前記第1のインダクタの一部巻線の周囲を周回するように形成されていることを特徴とする直交型ソレノイドインダクタ。

【請求項 4】

請求項1または請求項2に記載の直交型ソレノイドインダクタにおいて、

前記第1のインダクタは、前記半導体基板の基板平面と垂直な方向からなる前記第1の方向を巻軸とし、

前記第2のインダクタは、前記基板平面と平行する方向からなる前記第2の方向を巻軸とする

20

ことを特徴とする直交型ソレノイドインダクタ。

【請求項 5】

請求項1または請求項2に記載の直交型ソレノイドインダクタにおいて、

前記第1のインダクタは、前記半導体基板の基板平面と平行する方向からなる前記第1の方向を巻軸とし、

前記第2のインダクタは、前記基板平面と平行しかつ前記第1の方向と直交する方向からなる前記第2の方向を巻軸とする

ことを特徴とする直交型ソレノイドインダクタ。

30

【請求項 6】

請求項1～請求項5に記載の直交型ソレノイドインダクタにおいて、

前記第2のインダクタは、前記第1のインダクタと電氣的に直列接続されていることを特徴とする直交型ソレノイドインダクタ。

【請求項 7】

請求項1～請求項5に記載の直交型ソレノイドインダクタにおいて、

前記金属配線層を用いて、3次元で螺旋状に形成された巻線からなり、前記第1の方向または前記第2の方向と直交する第3の方向を巻軸として形成された第3のインダクタをさらに備え、

前記第3のインダクタは、自己の一部または全部が前記第1のインダクタの形成されている領域内に配置されている

40

ことを特徴とする直交型ソレノイドインダクタ。

【請求項 8】

請求項7に記載の直交型ソレノイドインダクタにおいて、

前記第3のインダクタは、前記第1および第2のインダクタと電氣的に直列接続されていることを特徴とする直交型ソレノイドインダクタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコンなどの半導体基板上に形成するオンチップインダクタにおいて、複

50

数のインダクタを高密度に集積する、あるいは小型に高インダクタンス値を実現する技術に関する。

【背景技術】

【0002】

従来、小型かつ高インダクタンス値なオンチップインダクタを実現する技術として、半導体基板に設けられている複数の金属配線層を用いた3次元のソレノイドインダクタ構造が提案されている（例えば、非特許文献1など参照）。

図10は、従来のソレノイドインダクタの構成を示す外観図である。このソレノイドインダクタは、複数の配線層上に巻かれたプレーナ型インダクタを直列に接続することで、多巻のインダクタをオンチップに形成し、小型かつ高インダクタンス値を持つインダクタが形成可能となる。

10

【0003】

また、複数のインダクタを小型集積する技術として、一方のインダクタの内側に別のインダクタを巻く技術が提案されている（例えば、非特許文献2など参照）。図11は、従来のインダクタの小型集積化技術を示す説明図である。図11(a)の例では、インダクタL2の内側にインダクタL1が形成され、さらにその内側にインダクタL3が形成されている。これにより、これら3つのインダクタL1, L2, L3を同一領域に形成することが可能となる。

【先行技術文献】

【非特許文献】

20

【0004】

【非特許文献1】Akira Tanabe et al., "A Low-Power, Small Area Quadrature LC-VCO using miniature 3D Solenoid shaped Inductor", IEEE RFIC 2009 pp.263 - 266

【非特許文献2】Akira Tsuchiya et al., "Bandwidth Enhancement for High Speed Amplifier utilizing Mutually Coupled On-Chip Inductors", IEEE ISOC 2011 pp.36 - 39

【非特許文献3】S. Galal et al., "40Gb/s Amplifier and ESD Protection Circuit in 0.18um CMOS Technology", IEEE ISSCC 2004 vol.1 pp.480-541

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

一般的に、高インダクタンス値のインダクタを実現するためには、インダクタの巻数を増やす、あるいはインダクタの径を大きくする必要がある。しかしながら、オンチップのソレノイドインダクタでは、半導体プロセスによる配線層数の制限や、許容電流値による配線幅の制限を受けるため、小型かつ多巻のインダクタを形成することは難しい。

【0006】

複数のインダクタを高密度に集積する場合、前述の図10 - 図11に示した従来技術のように、複数のインダクタを同領域上に配置するが考えられる。しかし、これら従来技術は、それぞれのインダクタの巻軸方向が平行する平行型ソレノイドインダクタ構造をなしている。このため、例えば図11(b)の等価回路に示されているように、インダクタ間に大きな誘導結合を生じ、利用可能なケースが極めて制限されることになる。したがって、これら従来技術によれば、小型で高インダクタンス値を有する汎用的なインダクタの実現が困難であり、特に複数のインダクタの小型集積が困難という課題があった。

40

【0007】

また、半導体基板上の集積回路において、広帯域アンプを形成するための手法として数多くのインダクタを用いたピーキング技術などが提案されているが（例えば、非特許文献3など参照）、インダクタ間の誘導結合を低減するためには、距離を離して配置する必要があるため、チップサイズが特に大きくなるという課題があった。

【0008】

本発明はこのような課題を解決するためのものであり、インダクタの実装効率を高くで

50

き、一定の占有面積で、より高いインダクタンス値が得られるソレノイドインダクタを提供することを目的としている。

【課題を解決するための手段】

【0009】

このような目的を達成するために、本発明にかかる直交型ソレノイドインダクタは、半導体基板のうち絶縁層を介して積層された複数の金属配線層を用いて、3次元で螺旋状に形成された巻線からなる第1および第2のインダクタを備え、前記第1のインダクタは、第1の方向を巻軸として形成されており、前記第2のインダクタは、前記第1の方向と直交する第2の方向を巻軸として形成されているものである。

【0010】

また、本発明にかかる上記直交型ソレノイドインダクタの一構成例は、前記第2のインダクタが、自己の一部または全部が前記第1のインダクタの形成されている領域内に配置されているものである。

【0011】

また、本発明にかかる上記直交型ソレノイドインダクタの一構成例は、前記第2のインダクタが、自己の巻線が前記第1のインダクタの一部巻線の周囲を周回するよう形成されているものである。

【0012】

また、本発明にかかる上記直交型ソレノイドインダクタの一構成例は、前記第1のインダクタが、前記半導体基板の基板平面と垂直な方向からなる前記第1の方向を巻軸とし、前記第2のインダクタは、前記基板平面と平行する方向からなる前記第2の方向を巻軸とするものである。

【0013】

また、本発明にかかる上記直交型ソレノイドインダクタの一構成例は、前記第1のインダクタが、前記半導体基板の基板平面と平行する方向からなる前記第1の方向を巻軸とし、前記第2のインダクタは、前記基板平面と平行しかつ前記第1の方向と直交する方向からなる前記第2の方向を巻軸とするものである。

【0014】

また、本発明にかかる上記直交型ソレノイドインダクタの一構成例は、前記第2のインダクタが、前記第1のインダクタと電氣的に直列接続されているものである。

【0015】

また、本発明にかかる上記直交型ソレノイドインダクタの一構成例は、前記金属配線層を用いて、3次元で螺旋状に形成された巻線からなり、前記第1の方向または前記第2の方向と直交する第3の方向を巻軸として形成された第3のインダクタをさらに備え、前記第3のインダクタは、自己の一部または全部が前記第1のインダクタの形成されている領域内に配置されているものである。

【0016】

また、本発明にかかる上記直交型ソレノイドインダクタの一構成例は、前記第3のインダクタが、前記第1および第2のインダクタと電氣的に直列接続されているものである。

【発明の効果】

【0017】

本発明によれば、2つのインダクタが、それぞれの巻軸方向を直交させて配置されるため、従来のように同一軸方向に巻線が形成された複数のインダクタを同一領域に配置するよりも、誘導結合を抑えることができる。したがって、インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値を得ることが可能となる。

【図面の簡単な説明】

【0018】

【図1】第1の実施の形態にかかる直交ソレノイドインダクタの構成を示す説明図である。

【図2】第1の実施の形態にかかる直交型ソレノイドインダクタに関する誘導結合係kの

10

20

30

40

50

周波数特性を示すグラフである。

【図 3】シミュレーションで用いたソレノイドインダクタの等価回路である。

【図 4】シミュレーションで用いた第 1 の実施の形態にかかる直交型ソレノイドインダクタの構成を示す説明図である。

【図 5】シミュレーションで用いた従来技術にかかる平行型ソレノイドインダクタの構成を示す説明図である。

【図 6】第 2 の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

【図 7】第 3 の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

【図 8】第 4 の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

【図 9】第 5 の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

【図 10】従来のソレノイドインダクタの構成を示す外観図である。

【図 11】従来のインダクタの小型集積化技術を示す説明図である。

【発明を実施するための形態】

【0019】

次に、本発明の実施の形態について図面を参照して説明する。

[第 1 の実施の形態]

まず、図 1 を参照して、本発明の第 1 の実施の形態にかかる直交型ソレノイドインダクタ 10 について説明する。図 1 は、第 1 の実施の形態にかかる直交ソレノイドインダクタの構成を示す説明図である。なお、以下では、直交型ソレノイドインダクタ 10 が形成される半導体基板の積層方向を Z 方向とし、基板平面に沿った方向であって互いに直交する 2 つの方向を X 方向および Y 方向とする。

【0020】

この直交型ソレノイドインダクタ 10 は、半導体基板 1 のうち絶縁層を介して積層された複数の金属配線層を用いて、3次元で螺旋状に形成された巻線からなる 2 つのインダクタ L1, L2 を備えるオンチップのソレノイドインダクタである。

【0021】

このような、複数のインダクタを備える直交型ソレノイドインダクタ 10 では、インダクタ同士の巻線間で磁界が干渉して誘導結合が生じ、これがクロストークの原因となる。ここで、交差する巻線間における磁界の干渉程度は、巻線間の距離よりも巻線間の交差角度に大きく左右され、その際、互いに直交する巻線間では、磁界の干渉が極めて小さくなる。本実施の形態は、このような交差する巻線間の交差角度と磁界の干渉程度との関係に着目し、2 つのインダクタ L1, L2 を、それぞれの巻軸方向を直交させて配置するようにしたものである。

【0022】

具体的には、これらインダクタ L1, L2 のうち、インダクタ L1 (第 1 のインダクタ) については Z 方向 (第 1 の方向) を巻軸として巻線を形成し、インダクタ L2 (第 2 のインダクタ) については Z 方向とは直交する Y 方向 (第 2 の方向) を巻軸として巻線を形成したものである。また、インダクタ L2 の一部または全部をインダクタ L1 の形成されている領域内に配置したものである。具体的には、図 1 に示すように、インダクタ L1 の巻線内側に、インダクタ L2 を配置したものである。これにより、従来のように同一軸方向に巻線が形成された複数のインダクタを同一領域に配置するよりも、誘導結合を抑えることができる。

【0023】

図 2 は、第 1 の実施の形態にかかる直交型ソレノイドインダクタに関する誘導結合係数 k の周波数特性を示すグラフである。図 3 は、シミュレーションで用いたソレノイドインダクタの等価回路である。図 4 は、シミュレーションで用いた第 1 の実施の形態にかかる

10

20

30

40

50

直交型ソレノイドインダクタの構成を示す説明図である。図5は、シミュレーションで用いた従来技術にかかる平行型ソレノイドインダクタの構成を示す説明図である。

【0024】

ここでは、信号周波数が20GHz以下の周波数範囲について、3次元電磁界解析ツールを用いたシミュレーションで得られた、本実施の形態にかかる直交型ソレノイドインダクタ10の周波数特性(Hyb)と従来技術にかかる平行型ソレノイドインダクタ(図10)の周波数特性(Cx)とが比較されている。

【0025】

シミュレーションで用いた本実施の形態にかかる直交型ソレノイドインダクタ10は、図4に示すように、基板平面と垂直なZ方向を巻軸方向として形成した垂直ソレノイドインダクタL1と、基板平面と平行なY方向を巻軸方向として形成した水平ソレノイドインダクタとを、同一領域にZ方向に重ねて配置したものである。この構造によれば、インダクタL1、L2の巻軸方向が互いに直交しているため、同一領域に2つのインダクタL1、L2を配置しても誘導結合が生じにくい。したがって、磁界的に独立した2つのインダクタL1、L2を小型に集積することが可能となる。なお、インダクタL2の巻軸方向がX方向であり、図1のインダクタL2のY方向とは異なるものの、電磁気特性上、これら巻軸方向の違いによる影響はない。

10

【0026】

一方、シミュレーションで用いた従来技術にかかる平行型ソレノイドインダクタは、図5に示すように、基板平面と垂直なZ方向を巻軸方向として形成した垂直ソレノイドインダクタL1の内側に、基板平面と垂直なZ方向を巻軸方向として形成した、L1よりインダクタ径の小さい垂直ソレノイドインダクタL2を配置したものである。この構造によれば、インダクタL1、L2の巻軸方向が互いに平行しているため、同一領域に2つのインダクタL1、L2を配置した場合には誘導結合が生じやすい。したがって、磁界的に独立した2つのインダクタL1、L2を小型に集積することが難しい。

20

【0027】

図4および図5に示すように、いずれも2つのインダクタL1、L2のインダクタ径が異なるため、それぞれ個別の誘導結合係数 k_1 、 k_2 を有することになる。

図2に示したように、従来技術を用いた場合、誘導結合係数 $k=0.48\sim 0.62$ 程度と大きな値であるのに対し、本実施の形態を用いた場合、 $k=0.02\sim 0.03$ 程度と20分の1程度小さい値となる。したがって、本実施の形態を用いることで、誘導結合が非常に小さな2つのインダクタを同一領域に配置可能であることが分かる。

30

【0028】

[第1の実施の形態の効果]

このように、本実施の形態は、2つのインダクタL1、L2のうち、インダクタL1については第1の方向を巻軸として巻線を形成し、インダクタL2については第1の方向とは直交する第2の方向を巻軸として巻線を形成したものである。また、インダクタL2の一部または全部をインダクタL1の形成されている領域内に配置したものである。

【0029】

より具体的には、インダクタL1は、半導体基板1の基板平面と垂直な方向からなるZ方向を巻軸とし、インダクタL2は、基板平面と平行する方向からなるY方向を巻軸としたものである。

40

これにより、従来のように同一軸方向に巻線が形成された複数のインダクタを同一領域に配置するよりも、誘導結合を抑えることができる。したがって、インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値が得られるソレノイドインダクタを提供することが可能となる。

【0030】

また、本実施の形態において、非特許文献3に記載されるような数多くのインダクタを用いた集積回路に用いることができ、2つのインダクタを同領域に集積でき、サイズが約1/2まで低減できる。

50

【0031】

また、オンチップインダクタでは一般的にメタル層が階層構造となっており、自由な巻軸方向のインダクタを形成することはできない。本実施の形態によれば、半導体基板の基板平面と垂直なY方向を巻軸とするインダクタL1と、基板平面に平行なY方向に巻かれたインダクタL2を用いるようにしたことで、オンチップインダクタにおいて、同一領域に配置しても誘導結合を低減しながら複数のインダクタを集積することが可能となる。

【0032】

また、本実施の形態では、図1に示したように、Z方向に約3.75回巻きされたスクエア型インダクタL1と、Y方向に約2.75回巻きされたスクエア型インダクタL2を用いた直交型ソレノイドインダクタ例を示したが、2つのインダクタの軸方向が直交していれば良く、図4に示すようなY軸方向インダクタとX軸方向インダクタの組み合わせでも同様の効果を得ることは可能である。また、各インダクタの巻き数や形状について、これに限るものではない。

10

【0033】

また、本実施の形態において、2つのインダクタL1, L2を電氣的に直列接続してもよい。これにより、従来1つのインダクタを形成するための占有面積で、およそL1+L2の高いインダクタンス値を持つインダクタを実現することができ、1つのインダクタを小型かつ高インダクタンス値に実現することも可能となる。

【0034】

[第2の実施の形態]

次に、図6を参照して、本発明の第2の実施の形態にかかる直交型ソレノイドインダクタ10について説明する。図6は、第2の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

20

【0035】

第1の実施の形態では、インダクタL1の巻軸方向をZ方向とし、インダクタL2の巻軸方向をY方向とした場合を例として説明したが、直行する2つの巻軸については、これらに限定されるものではなく、半導体基板の基板平面と平行しかつ互いに直交する方向であってもよい。

【0036】

すなわち、本実施の形態は、インダクタL1を、半導体基板の基板平面と平行する方向からなるX方向を巻軸とし、インダクタL2は、基板平面と平行しかつX方向と直交する方向からなるY方向を巻軸としたものである。また、インダクタL2の一部または全部をインダクタL1の形成されている領域内に配置したものである。具体的には、図6に示すように、インダクタL1の巻線内側に、インダクタL2を配置したものである。

30

【0037】

これにより、第1の実施の形態と同様、従来のように同一軸方向に巻線が形成された複数のインダクタを同一領域に配置するよりも、誘導結合を抑えることができる。したがって、占有面積を増やすことなく、より高いインダクタンス値が得られるソレノイドインダクタを提供することが可能となる。

【0038】

[第3の実施の形態]

次に、図7を参照して、本発明の第3の実施の形態にかかる直交型ソレノイドインダクタ10について説明する。図7は、第3の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

40

【0039】

第1および第2の実施の形態では、インダクタL1の巻線内側にインダクタL2を配置した場合について説明した。本実施の形態では、インダクタL2の巻線がインダクタL1の一部巻線の周囲を周回するよう形成した場合について説明する。

【0040】

すなわち、本実施の形態において、インダクタL1(第1のインダクタ)についてはZ

50

方向（第1の方向）を巻軸として巻線を形成し、インダクタL2（第2のインダクタ）についてはZ方向とは直交するY方向（第2の方向）を巻軸として巻線を形成したものである。これに加えて、インダクタL2の巻線がインダクタL1の一部巻線の周囲を周回するように形成したものである。

【0041】

これにより、インダクタL1の巻線内側にインダクタL2を配置する場合と比較して、インダクタL1のインダクタ径に、インダクタL2のインダクタ径が制約を受けなくなる。また、インダクタL1、L2の巻線間の距離を確保しやすくなるため、インダクタL1、L2間の容量性結合を低減することもできる。このため、インダクタL2のサイズを自由に設計することができ、与えられた条件に応じた性能を有する直交型ソレノイドインダクタ10をより柔軟に作製することが可能となる。

10

【0042】

[第4の実施の形態]

次に、図8を参照して、本発明の第4の実施の形態にかかる直交型ソレノイドインダクタ10について説明する。図8は、第4の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

【0043】

第1～第3の実施の形態では、2つのインダクタL1、L2を用いた場合を例として説明したが、インダクタの数についてはこれに限定されるものではない。本実施の形態では、第3の実施の形態をベースとして、3つのインダクタL1、L2、L3を用いた場合を例として説明する。

20

【0044】

すなわち、本実施の形態は、インダクタL1（第1のインダクタ）についてはZ方向（第1の方向）を巻軸として巻線を形成し、インダクタL2（第2のインダクタ）についてはZ方向とは直交するY方向（第2の方向）を巻軸として巻線を形成し、インダクタL3（第3のインダクタ）についてはZ方向とは直交するY方向（第2の方向）を巻軸として巻線を形成したものである。

【0045】

また、インダクタL3の一部または全部をインダクタL1の形成されている領域内に配置したものである。具体的には、インダクタL2と同様、インダクタL3の巻線がインダクタL1の一部巻線の周囲を周回するように形成したものである。

30

これにより、3つ以上のインダクタを用いて直交型ソレノイドインダクタ10を構成することができ、オンチップインダクタの小型化や集積化を実現することが可能となる。

【0046】

この際、図8の構成例では、インダクタL2、L3は、巻軸方向が平行しているが、これら巻軸方向については、直交するよう配置してもよい。また、インダクタL2、L3は、図8に示すように、インダクタL1を挟んで対向する位置に配置すれば、両者間に距離を設けることができ、インダクタL2、L3間での誘導結合を抑制することができる。

【0047】

[第5の実施の形態]

次に、図9を参照して、本発明の第5の実施の形態にかかる直交型ソレノイドインダクタ10について説明する。図9は、第5の実施の形態にかかる直交型ソレノイドインダクタを示す構成を示す説明図である。

40

【0048】

本実施の形態は、第1の実施の形態をベースとして、図9に示すように、3つのインダクタL1、L2、L3を同一領域に配置した場合について説明する。

【0049】

すなわち、本実施の形態は、インダクタL1（第1のインダクタ）についてはZ方向（第1の方向）を巻軸として巻線を形成し、インダクタL2（第2のインダクタ）についてはZ方向とは直交するY方向（第2の方向）を巻軸として巻線を形成し、インダクタL3

50

(第3のインダクタ)についてはZ方向およびY方向と直交するX方向(第3の方向)を巻軸として巻線を形成したものである。

そして、図9に示すように、インダクタL3の巻線内側にインダクタL1を配置し、インダクタL1の巻線内側にインダクタL2を配置したものである。

【0050】

これにより、互いに直交する巻軸を有する3つのインダクタL1, L2, L3が、半導体基板1のうちの同一領域に配置することができる。したがって、さらに多数のインダクタを、誘導結合を抑制しつつ小型に集積することが可能となる。

【0051】

また、これら3つのインダクタL1, L2, L3を電氣的に直列接続することで、従来の1つのインダクタンス値を形成するための占有面積で、およそL1 + L2 + L3の高いインダクタンス値を持つインダクタを実現することができ、1つのインダクタを小型かつ高インダクタンス値に実現することも可能となる。

10

【0052】

なお、図9では、X軸方向に約2回巻きされたスクエア型インダクタL1とZ軸方向に約3.75回巻きされたスクエア型インダクタL2とY軸方向に約2.75回巻かれたスクエア型インダクタL3を用いた直交型ソレノイドインダクタ例を示したが、3つのインダクタの軸方向が互いに直交していれば良く、各インダクタの巻き数や形状はこれに限るものではない。

【0053】

また、本実施の形態では、インダクタL3の巻線内側にインダクタL1が配置され、L2の巻線内側にインダクタL3が配置された構成を例として説明したが、インダクタの配置関係はこれに限るものではない。例えば、前述の図7で示した、各インダクタ同士が一部の領域のみを共有するように配置してもよい。

20

【0054】

また、図9では、3つのインダクタを配置した例について示したが、前述の図8で示したように、任意のインダクタL3の巻線が他のインダクタの一部巻線の周囲を周回するよう形成し、必要に応じて任意のインダクタ間の距離を保って複数並べることにより、4つ以上のインダクタを配置するような構成も考え得る。

【0055】

30

[実施の形態の拡張]

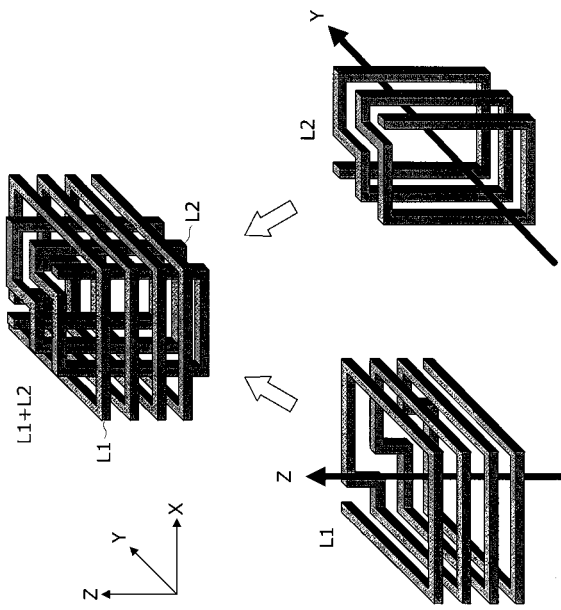
以上、実施形態を参照して本発明を説明したが、本発明は上記実施形態に限定されるものではない。本発明の構成や詳細には、本発明のスコープ内で当業者が理解しうる様々な変更をすることができる。また、各実施形態については、矛盾しない範囲で任意に組み合わせ実施することができる。

【符号の説明】

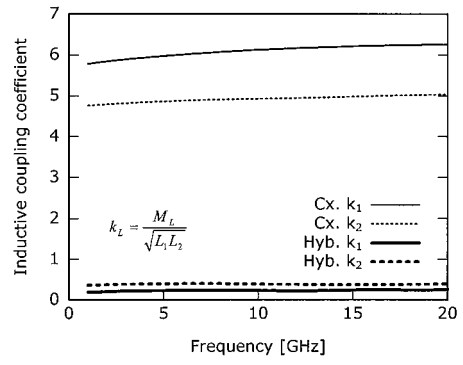
【0056】

1...半導体基板、10...直交型ソレノイドインダクタ、L1, L2, L3...インダクタ。

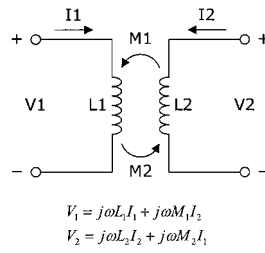
【 図 1 】



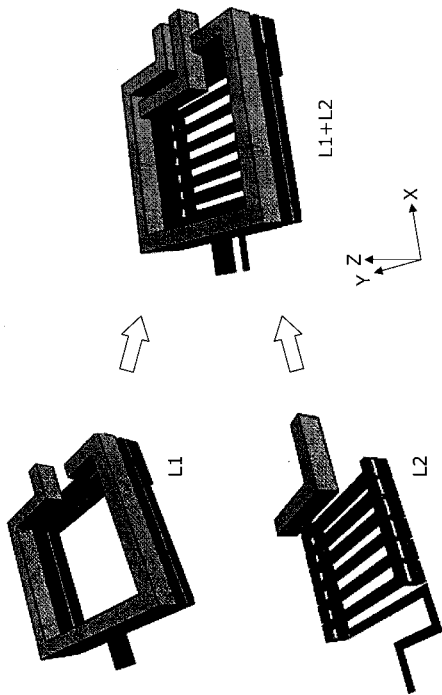
【 図 2 】



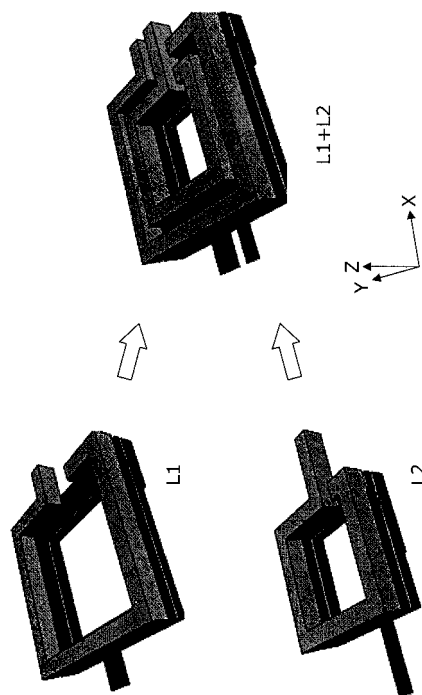
【 図 3 】



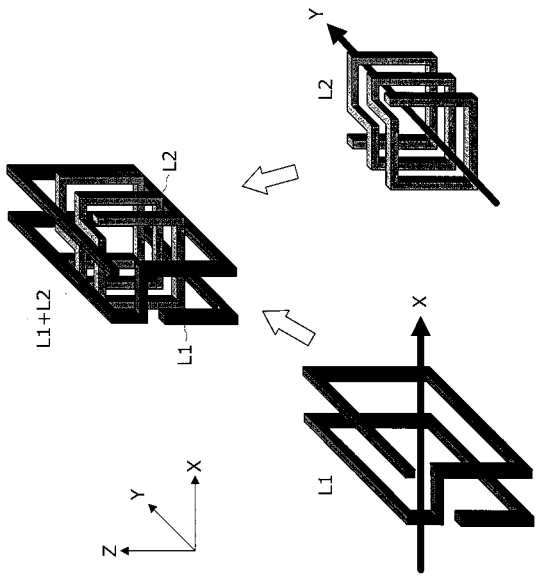
【 図 4 】



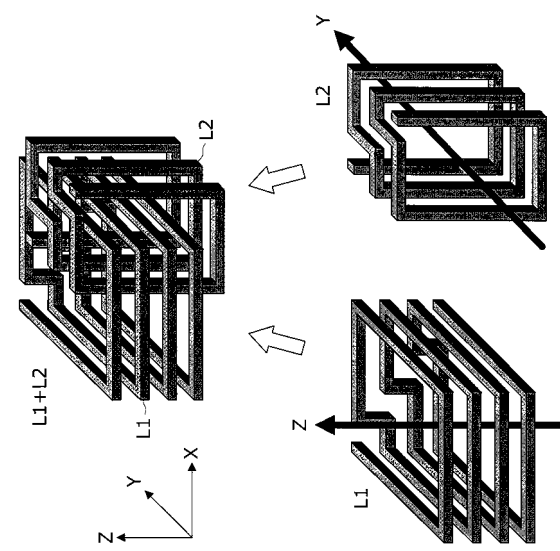
【 図 5 】



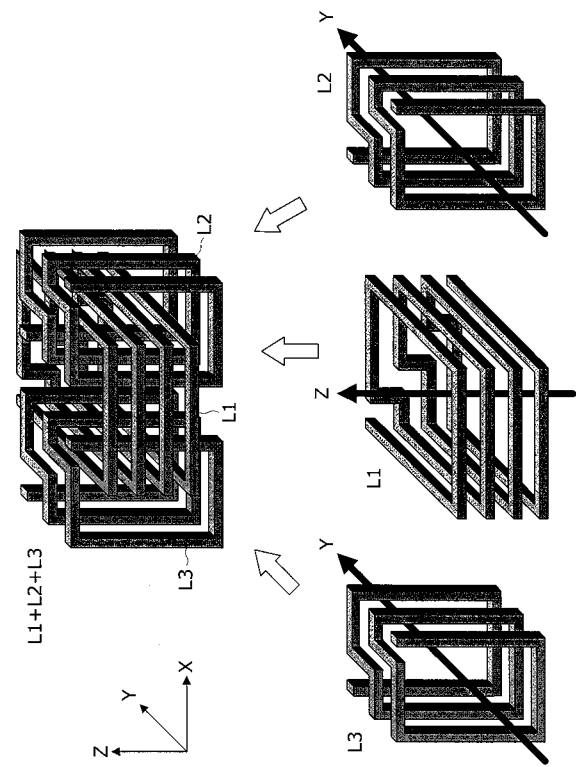
【 図 6 】



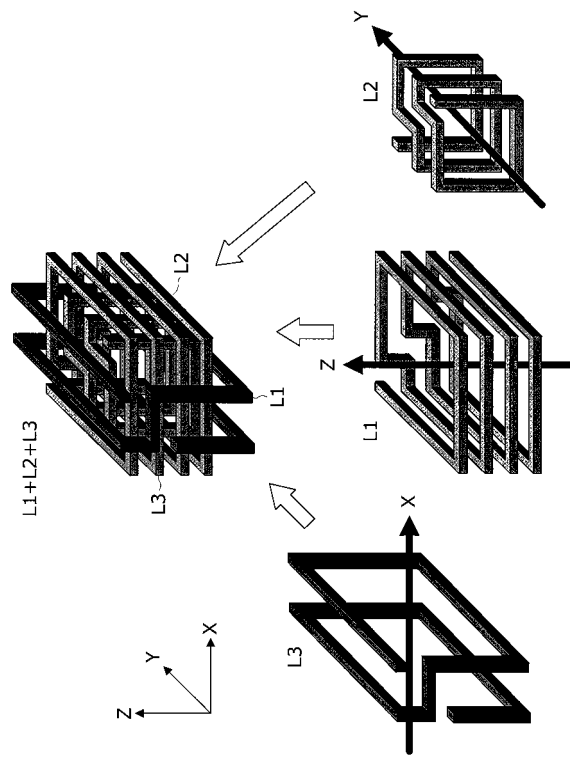
【 図 7 】



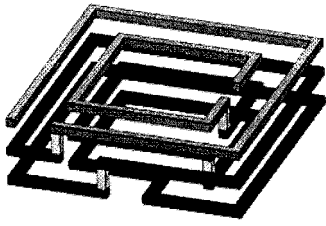
【 図 8 】



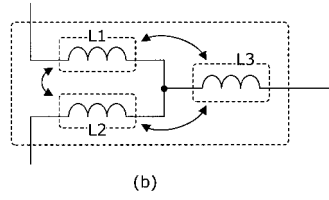
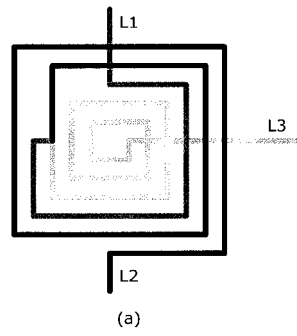
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/04 (2006.01) H 0 1 L 27/04 L

- (72)発明者 野河 正史
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 雨貝 太郎
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 土谷 亮
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 小野寺 秀俊
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内

Fターム(参考) 5E043 BA01 BA02
5E062 DD10
5E070 AA01 AB01 AB04 CB02 CB13 CB15 CB17
5F038 AZ04 CD13 EZ10 EZ20