

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-207613

(P2015-207613A)

(43) 公開日 平成27年11月19日(2015.11.19)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 F 17/00 (2006.01)	HO 1 F 17/00	B 5E062
HO 1 F 41/04 (2006.01)	HO 1 F 41/04	C 5E070
HO 1 L 21/822 (2006.01)	HO 1 L 27/04	L 5F038
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願2014-86116 (P2014-86116)
 (22) 出願日 平成26年4月18日 (2014.4.18)

特許法第30条第2項適用申請有り ▲1▼開催日：2014年2月7日 ▲2▼集会名：京都大学 平成25年度情報学研究科 通信情報システム専攻 修士論文公聴会 ▲3▼開催場所：京都大学吉田キャンパス工学部3号館北館N1（京都府京都市左京区吉田本町36番地1） ▲4▼公開者：雨貝 太郎

(71) 出願人 000004226
 日本電信電話株式会社
 東京都千代田区大手町一丁目5番1号
 (71) 出願人 504132272
 国立大学法人京都大学
 京都府京都市左京区吉田本町36番地1
 (74) 代理人 100064621
 弁理士 山川 政樹
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (74) 代理人 100153006
 弁理士 小池 勇三
 (72) 発明者 中野 慎介
 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

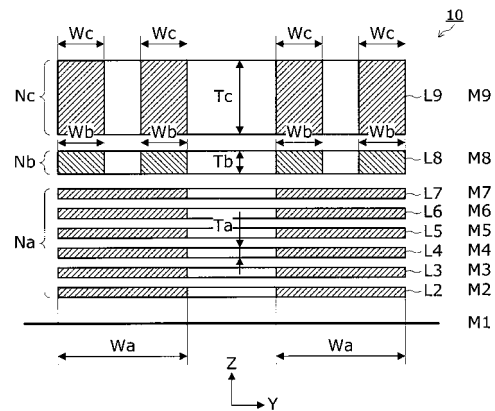
(54) 【発明の名称】 ソレノイドインダクタ

(57) 【要約】 (修正有)

【課題】 インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値や高いQ値を得る。

【解決手段】 各金属配線層に形成された螺旋形状をなすプレーナ型のインダクタとして、各金属配線層のうち配線層厚がTaからなる金属配線層に形成されて巻数がNaのインダクタL2~L7と、各金属配線層のうち配線層厚がTaより大きいTcからなる金属配線層に形成されて巻数がNaより大きいNcのインダクタLcとを備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

半導体基板のうち絶縁層を介して積層された複数の金属配線層に、螺旋形状をなすプレーナ型のインダクタを同心円状に形成し、これらインダクタの端部を層間接続することにより各インダクタを直列接続してなるオンチップのソレノイドインダクタであって、

前記各金属配線層のうち配線層厚が T_a からなる第 1 の金属配線層に形成されて巻数が N_a の第 1 のインダクタと、

前記各金属配線層のうち配線層厚が T_a より大きい T_c からなる第 2 の金属配線層に形成されて巻数が N_a より大きい N_c の第 2 のインダクタと

を備えることを特徴とするソレノイドインダクタ。

10

【請求項 2】

請求項 1 に記載のソレノイドインダクタにおいて、

前記第 1 のインダクタは、前記第 1 の金属配線層の全部またはその一部が、当該第 1 の金属配線層の直上または直下に位置する前記金属配線層の全部またはその一部と層間接続されてなることを特徴とするソレノイドインダクタ。

【請求項 3】

請求項 1 または請求項 2 に記載のソレノイドインダクタにおいて、

前記各インダクタは、当該インダクタンス値を構成する巻線部の配線断面積として、互いにほぼ等しい断面積をそれぞれ有していることを特徴とするソレノイドインダクタ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコンなどの半導体基板上に形成するオンチップインダクタにおいて、特に小型で高インダクタンス値を実現する技術に関する。

【背景技術】

【0002】

従来、小型かつ高インダクタンス値なオンチップインダクタを実現する技術として、半導体基板に設けられている複数の金属配線層を用いた 3 次元のソレノイドインダクタ構造が提案されている（例えば、非特許文献 1 など参照）。

図 9 は、従来のソレノイドインダクタの構成を示す外観図である。図 10 は、図 9 の平面図である。図 11 は、図 10 の XI - XI 断面図である。

30

【0003】

これら図 9 - 図 11 に示すソレノイドインダクタ構造によれば、半導体基板の各金属配線層 $M_2 \sim M_9$ に、均一の配線幅 W を有する 1 巻きのプレーナ型インダクタ $L \times 2 \sim L \times 9$ を同心円状に形成し、それらを直列接続することで巻数の多いソレノイドインダクタを形成することができ、小型かつ高いインダクタンス値を持つインダクタが形成可能となる。この際、金属配線層 $M_2 \sim M_7$ の配線層厚を T_a とするとともに金属配線層 M_8 の配線層厚を T_b とし、金属配線層 M_9 の配線層厚をそれぞれ T_c とした場合、これら配線層厚の関係は $T_a < T_b < T_c$ となっている。

【先行技術文献】

40

【非特許文献】

【0004】

【非特許文献 1】Chih-Chun Tang et al., "Miniature 3-D Inductors in Standard CMOS Process", IEEE JSSC. vol. 37, no. 4, 2002 April.

【発明の概要】

【発明が解決しようとする課題】

【0005】

このようなソレノイドインダクタにおいて、さらに高いインダクタンス値を得る方法の 1 つとして、インダクタの巻数を増やす方法が考えられる。これは、ソレノイドインダクタで得られるインダクタンス値が、インダクタの巻数の 2 乗に比例するからである。ここ

50

で、インダクタの占有面積を増やさずに一定とした場合、巻数と許容電流量とはいわゆるトレードオフの関係にある。このため、占有面積を増やすことなくインダクタの巻数を増やそうとすると配線幅を狭くする必要があるが、これによりインダクタに流れる許容電流量は小さくなる。

【0006】

一方、近年の半導体プロセス、特にCMOSプロセスでは、半導体基板においてそれぞれの厚みが数倍～数十倍程度と大きく異なる配線層が用いられており、このような半導体基板にソレノイドインダクタを形成する場合も多い。このような、配線層厚の大きな配線層は、層の厚さ方向に導体断面積を確保できるため、配線幅が比較的狭い場合でも大きな許容電流量を確保できることが1つの特徴である。

10

【0007】

しかしながら、前述した従来技術では、インダクタに流れる許容電流量を確保することを目的として、配線厚の最も小さい配線層に合わせて各配線層の配線幅を設計するものとなっている。したがって、従来技術によれば、配線層厚の大きな配線層では必要以上に大きな電流値が流せる設計となってしまうだけでなく、配線層厚が最も小さな配線層によって、配線層厚の大きな配線層に形成できるインダクタの巻数が律速されてしまうことになる。このため、結果として、インダクタの実装効率が低くなり、得られるインダクタンス値が抑制されてしまうという課題があった。

【0008】

本発明はこのような課題を解決するためのものであり、インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値や高いQ値が得られるソレノイドインダクタンス値を提供することを目的としている。

20

【課題を解決するための手段】

【0009】

このような目的を達成するために、本発明にかかるソレノイドインダクタは、半導体基板のうち絶縁層を介して積層された複数の金属配線層に、螺旋形状をなすプレーナ型のインダクタを同心円状に形成し、これらインダクタの端部を層間接続することにより各インダクタを直列接続してなるオンチップのソレノイドインダクタであって、前記各金属配線層のうち配線層厚が T_a からなる第1の金属配線層に形成されて巻数が N_a の第1のインダクタと、前記各金属配線層のうち配線層厚が T_a より大きい T_c からなる第2の金属配線層に形成されて巻数が N_a より大きい N_c の第2のインダクタとを備えている。

30

【0010】

また、本発明にかかる上記ソレノイドインダクタの一構成例は、前記第1のインダクタが、前記第1の金属配線層の全部またはその一部が、当該第1の金属配線層の直上または直下に位置する前記金属配線層の全部またはその一部と層間接続されてなるものである。

【0011】

また、本発明にかかる上記ソレノイドインダクタの一構成例は、前記各インダクタが、当該インダクタンス値を構成する巻線部の配線断面積として、互いにほぼ等しい断面積をそれぞれ有しているものである。

40

【発明の効果】

【0012】

本発明によれば、各金属配線層のうち、配線層厚が小さく許容電流量に余裕が少ない金属配線層と比較して、配線層厚が大きく許容電流量に余裕がある金属配線層に、より多くの巻数のインダクタンス値が形成される。このため、各金属配線層に同一巻数のインダクタを形成する場合と比較して、全体として、インダクタンス値の巻数を増やすことができる。したがって、インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値や高いQ値を得ることが可能となる。

【図面の簡単な説明】

【0013】

【図1】第1の実施の形態にかかるソレノイドインダクタの構成を示す外観図である。

50

【図2】図1の平面図である。

【図3】図2のIII-III断面図である。

【図4】第1の実施の形態にかかるソレノイドインダクタに関するインダクタンス値の周波数特性を示すグラフである。

【図5】第1の実施の形態にかかるソレノイドインダクタに関するQ値の周波数特性を示すグラフである。

【図6】第2の実施の形態にかかるソレノイドインダクタの構成を示す断面図である。

【図7】第3の実施の形態にかかるソレノイドインダクタの構成を示す断面図である。

【図8】第3の実施の形態にかかるソレノイドインダクタの他の構成例を示す断面図である。

10

【図9】従来のソレノイドインダクタの構成を示す外観図である。

【図10】図9の平面図である。

【図11】図10のXI-XI断面図である。

【発明を実施するための形態】

【0014】

次に、本発明の実施の形態について図面を参照して説明する。

[第1の実施の形態]

まず、図1 - 図3を参照して、本発明の第1の実施の形態にかかるソレノイドインダクタ10について説明する。図1は、第1の実施の形態にかかるソレノイドインダクタの構成を示す外観図である。図2は、図1の平面図である。図3は、図2のIII-III断面図である。なお、以下では、ソレノイドインダクタ10が形成される半導体基板の積層方向をZ方向とし、基板平面に沿った方向であって互いに直交する2つの方向をX方向およびY方向とする。

20

【0015】

このソレノイドインダクタ10は、絶縁層を介して複数の金属配線層が積層されてなる半導体基板1において、これら金属配線層を用いて形成された、3次元のソレノイドインダクタ構造を有するオンチップインダクタである。ここでは、グランドプレーンとなる最下層の金属配線層M1を除く、8つの金属配線層M2~M9を用いた場合が例として示されている。

【0016】

これら金属配線層M2~M9のうち、最上位に位置する金属配線層M9とその直下の金属配線層M8には、それぞれ螺旋形状をなす2巻きのプレーナ型のインダクタL9、L8がそれぞれ同心円状に形成されており、これらより下層に位置する金属配線層M2~M7には、それぞれ螺旋形状をなす1巻きのプレーナ型のインダクタL2~L7が、インダクタL9、L8と同心円状に形成されている。これら各金属配線層M2~M9のインダクタL2~L9は、その端部でビアホールなどのコンタクト(図示せず)を介して、その上下に位置する金属配線層のインダクタの端部と層間接続されており、これにより各金属配線層M2~M9のインダクタL2~L9が直列接続された3次元のソレノイドインダクタ構造が形成されている。

30

【0017】

このようなソレノイドインダクタ10が形成されて使用される半導体基板1には、配線層厚の異なる金属配線層が含まれている場合が多い。本実施の形態は、配線層厚の大きな配線層において層の厚さ方向に導体断面積を確保できるため、配線幅が比較的狭い場合でもある程度の許容電流量を確保できることに着目し、配線層厚が大きい金属配線層に形成されるインダクタの配線幅を、配線層厚が小さい金属配線層に形成されるインダクタの配線幅より狭くして、配線層厚が大きい金属配線層におけるインダクタの巻数を増やすようにしたことを特徴としている。

40

【0018】

すなわち、近年の半導体プロセスでは一般的に上位層ほど配線層厚が大きくなっており、最下層配線層厚に比べて最上層配線層厚は数倍~十数倍と大きく異なる。よって、配線層

50

厚が大きい金属配線層では配線幅を数分の1～十数分の1まで小さくしても、電流許容量を満たすインダクタ形成が可能であり、これによってソレノイドインダクタ10全体におけるインダクタの巻数が増加させることができる。

【0019】

次に、図3を参照して、本実施の形態にかかるソレノイドインダクタ10の構成について詳細に説明する。ここでは、理解を容易とするため、図3に示すように、インダクタの形成に用いる金属配線層のうち、配線層厚が最小の金属配線層M2～M7より大きな配線層厚の金属配線層として、金属配線層M8，M9の2種類が存在するとともに、金属配線層M9の配線層厚が金属配線層M8より大きい場合を例として説明するが、これに限定されるものではなく、配線層厚が最小の金属配線層より配線層厚が大きい金属配線層が存在していれば、本実施の形態を同様にして適用できる。

10

【0020】

まず、本実施の形態にかかるソレノイドインダクタ10が形成される半導体基板1について、図3に示すように、金属配線層M2～M7の配線層厚を T_a とするとともに金属配線層M8の配線層厚を T_b とし、金属配線層M9の配線層厚をそれぞれ T_c とした場合、これら配線層厚の関係を、次の式(1)で定義する。

$$T_a < T_b < T_c \quad \dots (1)$$

【0021】

本実施の形態にかかるソレノイドインダクタ10は、金属配線層M2～M9について上記式(1)のような配線層厚の関係を有する半導体基板1において、金属配線層M2～M7の巻数を N_a とするとともに金属配線層M8の巻数を N_b とし、金属配線層M9のインダクタ巻数を N_c とした場合、少なくとも N_c が N_a より大きければよい。したがって、これら巻数の関係は、次の式(2)で表される。

20

$$N_a < N_b \quad N_c \text{ または } N_a \quad N_b < N_c \quad \dots (2)$$

【0022】

したがって、各金属配線層M2～M9の占有面積を一定とし、各インダクタL2～L9内において配線幅を一定とした場合、インダクタL2～L9の配線幅の関係は、次のようになる。すなわち、金属配線層M2～M7の配線幅を W_a とするとともに金属配線層M8の配線幅を W_b とし、金属配線層M9の配線幅を W_c とした場合、これら配線幅の関係は、次の式(3)で表される。

30

$$W_a > W_b \quad W_c \text{ または } W_a \quad W_b > W_c \quad \dots (3)$$

【0023】

図4は、第1の実施の形態にかかるソレノイドインダクタに関するインダクタンス値の周波数特性を示すグラフである。図5は、第1の実施の形態にかかるソレノイドインダクタに関するQ値の周波数特性を示すグラフである。ここでは、信号周波数が20GHz以下の周波数範囲について、3次元電磁界解析ツールを用いたシミュレーションで得られた、本実施の形態にかかるソレノイドインダクタ10の周波数特性(proposal)と従来のソレノイドインダクタの周波数特性(conventional)とが比較されている。

【0024】

シミュレーションの条件としては、本実施の形態および従来とも、半導体基板として9層配線CMOSプロセスパラメータを適用し、各インダクタの外径形状を $24\mu\text{m}$ 四方の正方形形状とし、その内径形状を $8\mu\text{m}$ 四方の正方形形状とした。

40

この際、本実施の形態については、図3に示したように、金属配線層M9とその直下の金属配線層M8には、それぞれ螺旋形状をなす2巻きのプレーナ型のインダクタL9，L8がそれぞれ同心円状に形成され、金属配線層M2～M7には、それぞれ螺旋形状をなす1巻きのプレーナ型のインダクタL2～L7が、インダクタL9，L8と同心円状に形成された構造とした。

【0025】

一方、従来技術については、前述の図11で説明したように、各金属配線層M2～M9のすべてに、配線層厚に依存せず一定の配線幅 W を有し、それぞれ螺旋形状をなす1巻きの

50

のプレーナ型のインダクタ $L \times 2 \sim L \times 9$ が、同心円状に形成された構造とした。この際、金属配線層 $M 2 \sim M 7$ の配線層厚を $T a$ とするとともに金属配線層 $M 8$ の配線層厚を $T b$ とし、金属配線層 $M 9$ の配線層厚をそれぞれ $T c$ と、これら配線層厚の関係を、前述した式 (1) と同様に定義した。

【0026】

これら図4および図5では、解析を行った 20 GHz 以下の全周波数範囲において、本実施の形態にかかるソレノイドインダクタ10の周波数特性 (proposal) が、従来技術より高いインダクタンス値および Q 値を示している。したがって、本実施の形態にかかるソレノイドインダクタ10によれば、インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値、より高い Q 値が得られることが分かる。

10

【0027】

[第1の実施の形態の効果]

このように、本実施の形態は、各金属配線層に形成された螺旋形状をなすプレーナ型のインダクタとして、各金属配線層のうち配線層厚が $T a$ からなる第1の金属配線層に形成されて巻数が $N a$ の第1のインダクタと、各金属配線層のうち配線層厚が $T a$ より大きい $T c$ からなる第2の金属配線層に形成されて巻数が $N a$ より大きい $N c$ の第2のインダクタとを備えたものである。

【0028】

これにより、各金属配線層のうち、配線層厚 ($T a$) が小さく許容電流量に余裕が少ない金属配線層と比較して、配線層厚 ($T c$) が大きく許容電流量に余裕がある金属配線層に、より多くの巻数のインダクタンス値が形成される。このため、各金属配線層に同一巻数のインダクタを形成する場合と比較して、全体として、インダクタンス値の巻数を増やすことができる。したがって、インダクタの実装効率を高くでき、一定の占有面積で、より高いインダクタンス値や高い Q 値を得ることが可能となる。

20

【0029】

また、本実施の形態では、金属配線層 $M 8$ のインダクタ $L 8$ の巻数 $N b$ を、金属配線層 $M 9$ のインダクタ $L 9$ の巻数 $N a$ と等しくした場合を例として説明したが、これに限定されるものではなく、金属配線層 $M 2 \sim M 7$ のインダクタ $L 2 \sim L 7$ の巻数 $N a$ と等しくしてもよい。

【0030】

30

[第2の実施の形態]

次に、図6を参照して、本発明の第2の実施の形態にかかるソレノイドインダクタ10について説明する。図6は、第2の実施の形態にかかるソレノイドインダクタの構成を示す断面図であり、図3と同様の位置における断面を示している。

【0031】

オンチップのソレノイドインダクタ10においては、一定の占有面積でインダクタンス値や Q 値よりも許容電流値を増やしたいという需要も存在する。しかし、第1の実施の形態によれば、半導体基板1の各金属配線層 $M 2 \sim M 9$ において、ソレノイドインダクタ10全体の許容電流値が、配線層厚が最小の金属配線層 $M 2 \sim M 7$ の許容電流値に律速されてしまうことになり、配線層厚の開きが大きい場合、より顕著となる。

40

【0032】

本実施の形態は、第1の実施の形態において、配線層厚 ($T a$) が小さく許容電流量に余裕が少ない金属配線層の第1のインダクタを、層間接続された複数の金属配線層にわたって形成するようにしたものである。

【0033】

すなわち、第1の実施の形態では、図3に示したように、金属配線層 $M 2 \sim M 7$ のそれぞれに巻数 $N a = 1$ のインダクタ $L 2 \sim L 7$ が形成されている。したがって、金属配線層 $M 8 \sim M 9$ の許容電流値が大きくても、ソレノイドインダクタ10全体の許容電流値は、これらインダクタ $L 2 \sim L 7$ の許容電流値に制限されることになる。

【0034】

50

これに対して、本実施の形態では、図 6 に示すように、金属配線層 M 2 ~ M 7 のうち、金属配線層 M 2 - M 3 を、ビアホールなどのコンタクトを介してそれぞれ層間接続することにより複合された金属配線層 M a 1 を形成し、これら金属配線層 M 2 - M 3 にわたって、インダクタ L a 1 を形成したものである。金属配線層 M 4 - M 5 , M 6 - M 7 についても同様に層間接続することにより金属配線層 M a 2 , M a 3 を形成し、そこにインダクタ L a 2 , L a 3 を形成したものである。

【 0 0 3 5 】

これにより、元のインダクタ L 2 - L 3 , L 4 - L 5 , L 6 - L 7 がそれぞれ層間接続されたものとなり、それぞれの巻線を構成する配線の断面積が 2 倍に増えるため、許容電流値も 2 倍に増加する。この際、金属配線層 M 2 ~ M 7 における巻数が減るものの、金属配線層 M 8 - M 9 で巻数を増やすことができ、巻数削減によるインダクタンス値や Q 値の低減を抑制できる。

【 0 0 3 6 】

[第 3 の実施の形態]

次に、図 7 を参照して、本発明の第 3 の実施の形態にかかるソレノイドインダクタ 1 0 について説明する。図 7 は、第 3 の実施の形態にかかるソレノイドインダクタの構成を示す断面図であり、図 3 と同様の位置における断面を示している。

【 0 0 3 7 】

本実施の形態は、第 2 の実施の形態において、各インダクタ L a 1 - L a 3 , L 8 , L 9 の巻数を調整することにより、これらインダクタ間における巻線の配線断面積が等しくなるようにしたものである。

【 0 0 3 8 】

前述した図 6 の例では、金属配線層 M 2 ~ M 7 を 2 層ずつ層間接続したので、インダクタ L a 1 - L a 3 とインダクタ L 8 の巻線の配線断面積がほぼ等しくなっているが、配線層厚が最も大きい金属配線層 M 9 のインダクタ L 9 の巻線の配線断面積は、大きいままである。

【 0 0 3 9 】

本実施の形態にかかる図 7 では、このインダクタ L 9 の巻数 $N_c = 4$ としたので、この巻線の配線幅が小さくなって、インダクタ L a 1 - L a 3 およびインダクタ L 8 の巻線の配線断面積 S_a , S_b と、インダクタ L 9 の巻線の配線断面積 S_c とがほぼ等しくなっている。

これにより、各インダクタ L a 1 - L a 3 , L 8 , L 9 において必要となる許容電流値を確保しつつ、全体として最大の巻数を得ることができ、一定の許容電流値下において、インダクタの実装効率を最大化することができる。

【 0 0 4 0 】

なお、半導体プロセスでは一般的に、配線層の厚みは決まった値であり、配線層厚が大きな配線層では、マスクエッジのぼけやサイドエッチングの影響などの理由で、微細な配線幅の形成に限界があり、配線断面積を等しくすることができない場合もある。そのため、図 7 のように、単純に上下層の同形状配線をビアで接続したり、単相配線を複数巻にしたりするだけでは、許容電流量を等しくすることが難しい場合がある。

【 0 0 4 1 】

このような場合には、金属配線層の一部を、その直上または直下に位置する隣接金属配線層の全部または一部と層間接続することにより、第 1 のインダクタを形成してもよい。なお、金属配線層の全部を隣接金属配線層の全部と層間接続したものが、前述した第 2 の実施の形態に相当する。

【 0 0 4 2 】

図 8 は、第 3 の実施の形態にかかるソレノイドインダクタの他の構成例を示す断面図である。ここでは、金属配線層 M 3 , M 5 に電氣的に独立した 2 つの配線をそれぞれ形成し、金属配線層 M 3 の一方の配線を金属配線層 M 2 と層間接続してインダクタ L a 1 を形成し、金属配線層 M 5 の一方の配線を金属配線層 M 6 と層間接続してインダクタ L a 3 を形

10

20

30

40

50

成し、金属配線層 M 3 の他方の配線および金属配線層 M 5 の他方の配線を金属配線層 M 4 と層間接続してインダクタ L a 2 を形成している。

【 0 0 4 3 】

また、図 8 では、金属配線層 M 8 に電氣的に独立した 2 つの配線を形成し、金属配線層 M 8 の一方の配線を金属配線層 M 7 と層間接続してインダクタ L b 1 を形成し、金属配線層 M 8 の他方の配線により単独でインダクタ L b 2 を形成している。

これにより、インダクタ L 9 の配線幅をさらに小さくできない場合でも、その他のインダクタの断面積が調整されて、各インダクタ L a 1 - L a 3、L b 1 - L b 2、S 9 の巻線の配線断面積 S a 1 - S a 3、S b 1 - S b 2、S c をほぼ等しくすることができ、結果として各インダクタの許容電流量を近づけることが可能となる。

10

【 0 0 4 4 】

[実施の形態の拡張]

以上、実施形態を参照して本発明を説明したが、本発明は上記実施形態に限定されるものではない。本発明の構成や詳細には、本発明のスコープ内で当業者が理解しうる様々な変更をすることができる。また、各実施形態については、矛盾しない範囲で任意に組み合わせる実施することができる。

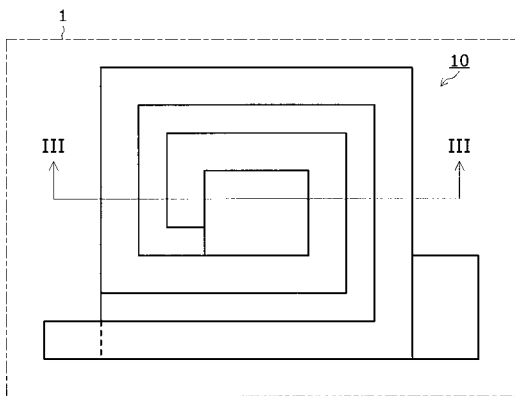
【 符号の説明 】

【 0 0 4 5 】

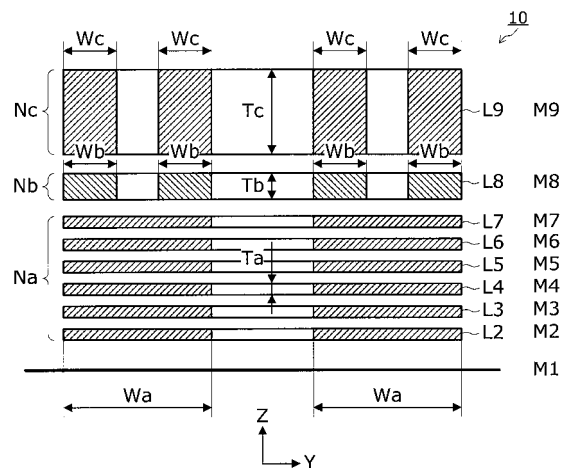
1 ... 半導体基板、10 ... ソレノイドインダクタ、M 2 ~ M 9 , M a 1 , M a 2 , M a 3 ... 金属配線層、L 2 ~ L 9 , L a 1 , L a 2 , L a 3 , L b 1 , L b 2 ... インダクタ、T a , T b , T c ... 配線層厚、N a , N b , N c ... 巻数、W a , W b , W c ... 配線幅、S a , S b , S c , S a 1 , S a 2 , S b 1 , S b 2 , S c ... 配線断面積。

20

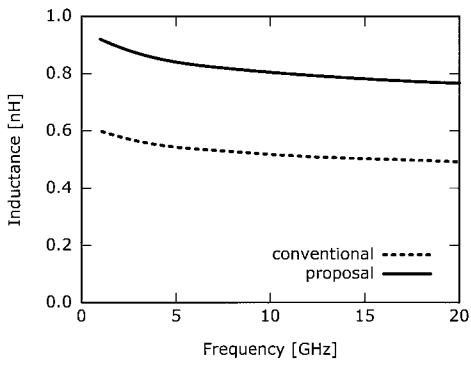
【 図 2 】



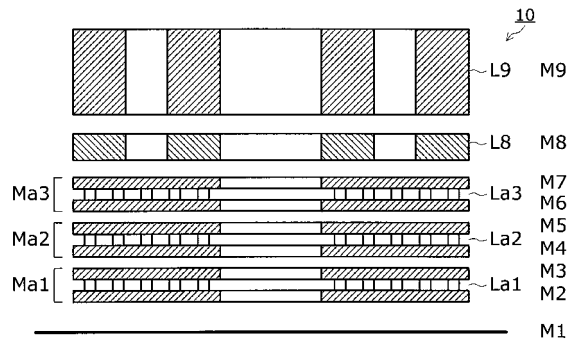
【 図 3 】



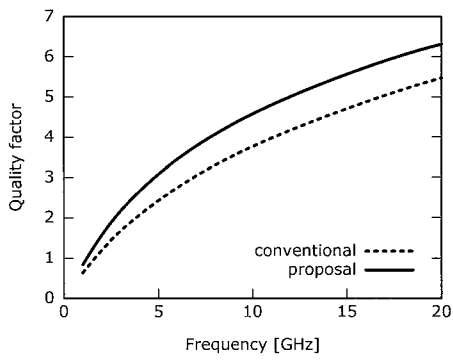
【 図 4 】



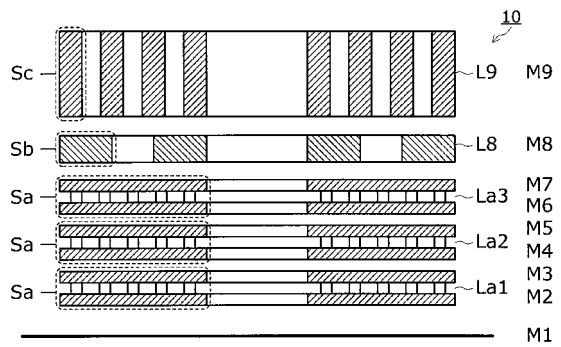
【 図 6 】



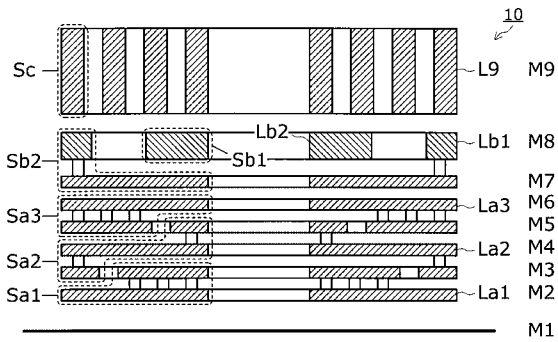
【 図 5 】



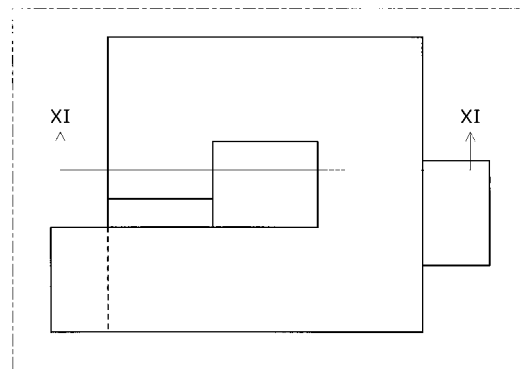
【 図 7 】



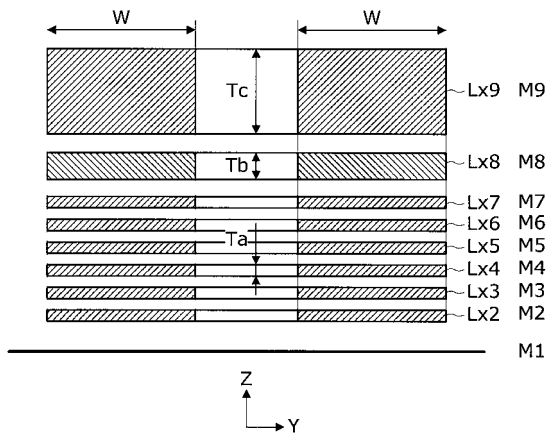
【 図 8 】



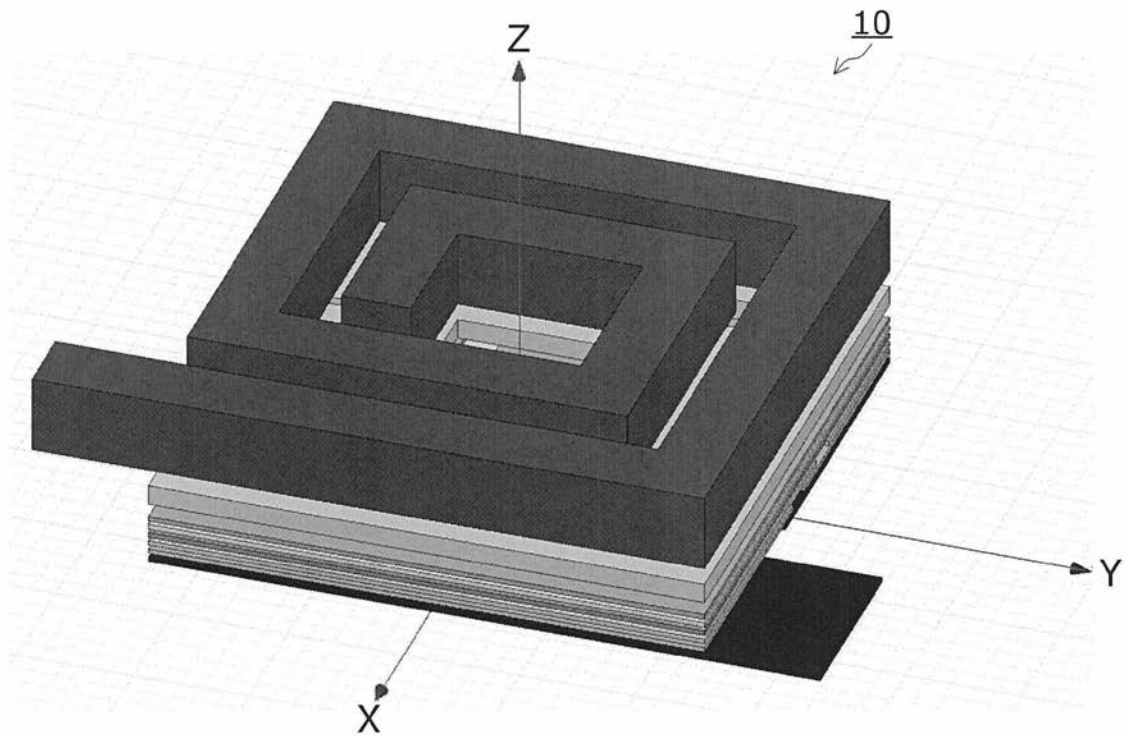
【 図 10 】



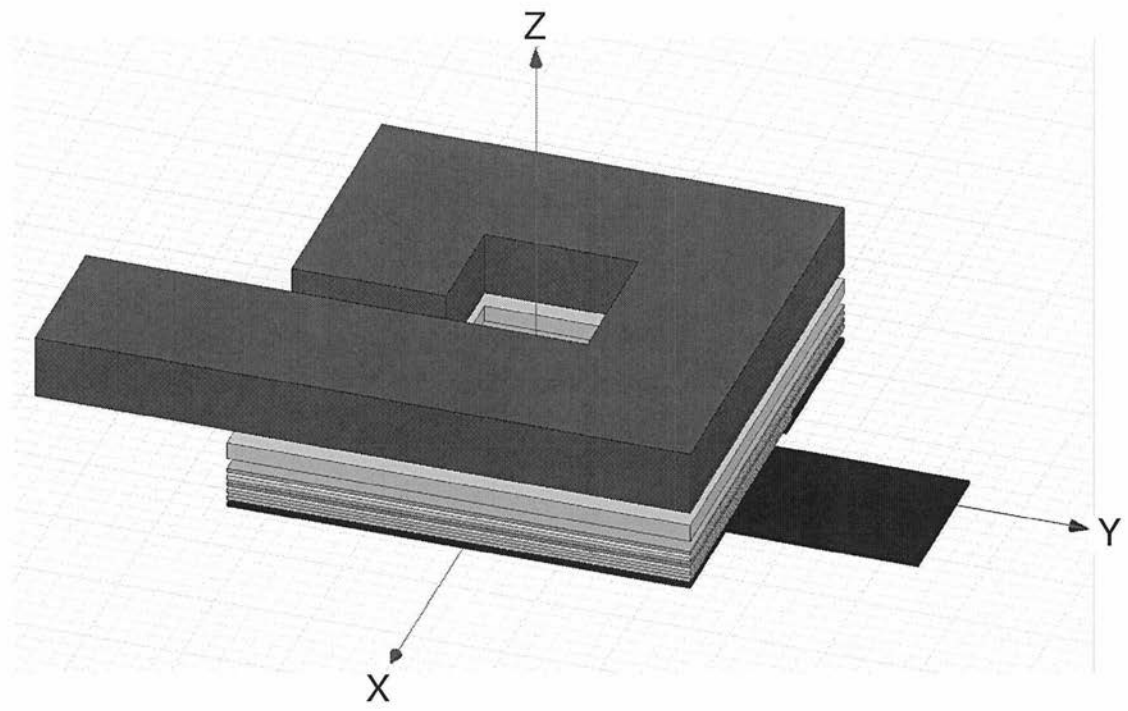
【 図 1 1 】



【 図 1 】



【 図 9 】



フロントページの続き

- (72)発明者 野河 正史
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 雨貝 太郎
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 土谷 亮
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 小野寺 秀俊
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内

Fターム(参考) 5E062 DD04

5E070 AA01 AB01 AB04 AB06 AB07 CB02 CB12 CB13 CB15 CB17
5F038 AZ04 EZ10 EZ20