

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-36455
(P2018-36455A)

(43) 公開日 平成30年3月8日(2018.3.8)

(51) Int.Cl.
G02F 1/31 (2006.01)

F I
G02F 1/31

テーマコード(参考)
2K102

審査請求 未請求 請求項の数 8 O L (全 35 頁)

(21) 出願番号 特願2016-168953 (P2016-168953)
(22) 出願日 平成28年8月31日 (2016.8.31)

(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区大手町一丁目5番1号
(71) 出願人 504132272
国立大学法人京都大学
京都府京都市左京区吉田本町36番地1
(74) 代理人 100098394
弁理士 山川 茂樹
(74) 代理人 100153006
弁理士 小池 勇三
(74) 代理人 100064621
弁理士 山川 政樹
(72) 発明者 新家 昭彦
東京都千代田区大手町一丁目5番1号 日
本電信電話株式会社内

最終頁に続く

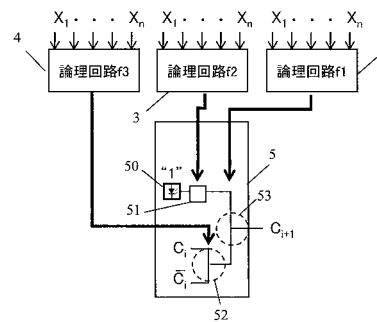
(54) 【発明の名称】 光論理回路

(57) 【要約】

【課題】 回路構成の簡素化と演算の高速化を両立させる。

【解決手段】 光論理回路は、Nビット（Nは2以上の整数）の複数の入力信号 X_1, \dots, X_n の論理演算を行う際に、複数の入力信号 X_1, \dots, X_n に対する同一のビット同士の所定の論理関数の結果をビット毎に出力する論理回路2～4と、この論理回路2～4の出力を制御入力として、ビット毎の論理演算の結果、またはビット毎の論理演算に必要な、上位ビットへの伝搬信号を出力する論理回路5とを備える。論理回路5は、論理回路2～4の出力に応じて、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0と、値1のうちいずれか1つを出力する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

Nビット（Nは2以上の整数）の複数の入力信号の論理演算を行う際に、前記複数の入力信号に対する同一のビット同士の所定の論理関数の結果をビット毎に出力する第1の論理回路と、

この第1の論理回路の出力を制御入力として、ビット毎の前記論理演算の結果、またはビット毎の論理演算に必要な、上位ビットへの伝搬信号を出力する第2の論理回路とを備え、

前記第2の論理回路は、前記第1の論理回路の出力に応じて、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0と、値1のうちいずれか1つを出力することを特徴とする光論理回路。

10

【請求項 2】

請求項1記載の光論理回路において、

前記第1の論理回路が電気回路または光回路からなり、

前記第2の演算回路が光回路からなることを特徴とする光論理回路。

【請求項 3】

請求項1または2記載の光論理回路において、

前記第1の論理回路と前記第2の論理回路はカスケード接続されており、

前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、

前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0と、値1と、前段の光ゲートの出力のうち少なくとも1つを信号入力とする複数の光ゲートを、複数段のツリー状に接続した構造を含むことを特徴とする光論理回路。

20

【請求項 4】

請求項1または2記載の光論理回路において、

前記第1の論理回路と前記第2の論理回路はカスケード接続されており、

前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、

前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号のうち少なくとも1つを信号入力とする1つの光ゲートを含むことを特徴とする光論理回路。

30

【請求項 5】

請求項1記載の光論理回路において、

前記第1の論理回路が電気回路または光回路からなり、

前記第2の論理回路が光回路からなる場合に、光信号の異なる位相に0, 1の値を割り当てることを特徴とする光論理回路。

【請求項 6】

請求項5記載の光論理回路において、

前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、

前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0を表す位相の信号と、値1を表す位相の信号のうちいずれか1つを信号入力とし、この信号入力の位相の変調/無変調を前記論理関数の出力に応じて切り替える1乃至複数の位相変調器と、

40

前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0を表す位相の信号と、値1を表す位相の信号と、前段の1乃至複数の位相変調器の出力のうち2つを信号入力とする光ゲートとを含むことを特徴とする光論理回路。

【請求項 7】

請求項5記載の光論理回路において、

前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、

前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信

50

号を信号入力とし、この信号入力の位相の変調/無変調を前記論理関数の出力に応じて切り替える1つの位相変調器を含むことを特徴とする光論理回路。

【請求項8】

請求項5記載の光論理回路において、

前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、

前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0を表す位相の信号と、値1を表す位相の信号のうち少なくとも1つを信号入力とする1つの光ゲートを含むことを特徴とする光論理回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、論理演算を光回路、または光回路と電気回路の混合回路で行う光論理回路に関するものである。

【背景技術】

【0002】

現在の電子演算回路は、その処理速度を向上させるため、そのチップサイズや素子サイズを極限まで小さくする工夫がなされている。その理由は、回路内の抵抗(R)とキャパシタンス(C)とが信号の伝搬を大きく律速しているため、演算速度を上げるにはチップサイズや素子サイズを小さくするしかないためである。そのため、狭面積の論理ブロックやコアに素子を詰め込み、マルチコア(multi-core)・メニーコア(many core)化などの工夫がなされているが、それらのコアを繋ぐための配線が新たな「遅延」を生み、演算の高速化に限界が見えつつある。

20

【0003】

一方、光通信などで用いられる光配線や光パスゲートは、その配線経路内のCやRに無依存で光信号を伝播させることができる。また、ナノフォトリクス進展により、光ゲートの消費エネルギーは飛躍的に改善され、そのエネルギーコスト[J/bit]は、CMOSゲートと光で同程度のレベルになりつつある。そのため、チップ内やチップ間の通信を光化する様々な研究がなされている。

【0004】

しかしながら、従来の研究では、回路の演算時間を律速する演算経路(クリティカルパス)への配慮がなく、演算で生じる遅延を解決できていないという問題点があった。したがって、演算レベルで生じる遅延の問題を根本から解決するためには、チップ内やチップ間の光配線や光ゲートだけでなく、さらに粒度を細かくトランジスタレベルまで光化を進める必要がある。

30

【0005】

ここで、光ゲートの電気制御ポート側から信号を入力する接続形態をカスケード接続、スイッチの光伝搬経路が連続的に接続されている形態をシリアル接続と定義する。例えばシリアル接続とカスケード接続が混在した光電融合型の回路を想定した場合、カスケード接続の部分が光と電気の境界となり、その境界において回路中を伝搬する光信号は一度電気に変換(OE(Optical-Electrical)変換)される必要がある。この変換は電気回路に律速されるため、OE変換が多用される回路は光を使うことのメリットが小さい。そのため、光と電気の境界、つまりカスケード接続の配置場所と数が回路構成の重要なポイントとなる。このような観点でこれまでに報告されている光回路を分類すると、以下の2つとなり、それぞれに一長一短がある。

40

【0006】

従来の光回路のひとつの構成は図46(A)に示される、product-term型の回路である(非特許文献1参照)。product-term型の回路は、演算を2つのステージに分割し、それぞれを、pass/block型の光1x1スイッチで構成し、光を伝搬させることで演算を行う。つまりステージのそれぞれはシリアル接続で構成され、その間に1段のカスケード接続を導入することで、AND/OR論理に基づく演算を

50

実現している。

【0007】

第1ステージのANDゲート100は複数の光1×1スイッチ101, 102で構成される。図46(A)の例では、3つの光1×1スイッチ101または102がシリアル接続された構成がn段設けられている。

【0008】

光1×1スイッチ101は、電気制御入力が“1”であるときにオン状態となって入力経路からの光信号を通過させ(pass)、電気制御入力が“0”であるときにオフ状態となって光信号を遮断する(block)。光1×1スイッチ102は、電気制御入力が“1”であるときにオフ状態となって入力経路からの光信号を遮断し、電気制御入力が“0”であるときに光信号を通過させる。ANDゲート100の入力経路には光源103を配置して光を入力する。

10

【0009】

一方、第2ステージのORゲート104は、n個の光1×1スイッチ102がシリアル接続された構成からなる。ORゲート104の入力経路には光源105を配置して光を入力する。そして、ANDゲート100とORゲート104との間には、ANDゲート100のn個の光出力を、ORゲート104の各光1×1スイッチ102の電気制御入力として与えるカスケード接続のためのOE変換器106が配置される。

【0010】

図46(A)に示した構成により全ての演算が再現可能となる。また、第1ステージに振り分けられた演算(光1×1スイッチ101または102で構成される1本のライン)のそれぞれは並列処理が可能な状態となるため、演算時間が短縮される。つまり、product-term型の回路の演算時間は、第1ステージにおける最長の演算時間と、第1ステージと第2ステージとの間に配置されるカスケード接続部のOE変換器106のスイッチング時間と、第2ステージの演算時間との和となる。

20

【0011】

ただし、product-term型の回路の各ステージで用いられる演算は、基本的にはそれぞれANDとORである。非特許文献1では、第1ステージをXORの利用まで拡張してはいるが、第2ステージはORに限定されている。そのため、各ステージのシリアル接続段数は多くなりがちで、光の伝搬時間が長くなるため、このようなケースにおいては演算が遅くなる。また、カスケード接続部において光信号を電気信号に変換し、その電気信号により第2ステージの光ゲートを制御するため、光を伝搬させるだけでは演算は完了しない。

30

【0012】

従来の光回路の他の構成は図46(B)に示されるBDD(binary decision diagram)型の回路である(非特許文献2参照)。全ての演算は2分岐スイッチのツリー構造(LUT: Look up table)で表現することが可能で、このツリー構造のスイッチ数を少なく再構成したものがBDDである。LUTは2×1または2×2の光スイッチで再現が可能であり、BDDは複数分岐のスイッチを必要とする。

【0013】

図46(B)の例では、BDD型の回路107は、pass/cross型2×2光スイッチ108をn段のツリー状に接続したものである。2×2光スイッチ108は、pass/cross型2×2光スイッチを2×1光スイッチとして使用し、電気制御入力が“1”であるときに、出力ポートとして使用する側の入力ポートからの光信号を選択し(pass)、電気制御入力が“0”であるときに、出力ポートとして使用する反対側の入力ポートからの光信号を選択する(cross)。BDD型の回路107の入力経路には光源109を配置して光を入力する。

40

【0014】

BDD型の回路107の内部は全てシリアル接続で構成されるため、カスケード接続を前提とするProduct-term型とは形態が異なり、事前に電氣的に制御された経

50

路に光を伝搬させるだけで演算を完了することができる。つまり、回路107内の光の伝搬時間が演算時間となる。ただし、BDD型の回路107は光経路の交差や分岐を多数含むため、実現が困難な回路構成となってしまう。

【先行技術文献】

【非特許文献】

【0015】

【非特許文献1】Qianfan Xu et al., "Reconfigurable optical directed-logic circuits using microresonator-based optical switches", OPTICS EXPRESS, Vol.19, No.6, pp.5244-5259, 2011

【非特許文献2】浅井哲也, 雨宮好仁, 小柴正則, "二分決定グラフにもとづくフォトニック結晶集積デバイス", 信学会総合大会, SC-1-4, 2000

10

【発明の概要】

【発明が解決しようとする課題】

【0016】

以上のように、従来のproduct-term型の回路では、演算速度が遅いという問題点があった。

また、従来のBDD型の回路では、回路構成が複雑になり、実現が困難な回路構成になってしまうという問題点があった。

【0017】

本発明は、上記課題を解決するためになされたもので、回路構成の簡素化と演算の高速化を両立させることができる光論理回路を提供することを目的とする。

20

【課題を解決するための手段】

【0018】

本発明の光論理回路は、Nビット(Nは2以上の整数)の複数の入力信号の論理演算を行う際に、前記複数の入力信号に対する同一のビット同士の所定の論理関数の結果をビット毎に出力する第1の論理回路と、この第1の論理回路の出力を制御入力として、ビット毎の前記論理演算の結果、またはビット毎の論理演算に必要な、上位ビットへの伝搬信号を出力する第2の論理回路とを備え、前記第2の論理回路は、前記第1の論理回路の出力に応じて、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0と、値1のうちいずれか1つを出力することを特徴とするものである。

30

【0019】

また、本発明の光論理回路の1構成例は、前記第1の論理回路が電気回路または光回路からなり、前記第2の演算回路が光回路からなることを特徴とするものである。

また、本発明の光論理回路の1構成例において、前記第1の論理回路と前記第2の論理回路はカスケード接続されており、前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0と、値1と、前段の光ゲートの出力のうち少なくとも1つを信号入力とする複数の光ゲートを、複数段のツリー状に接続した構造を含むことを特徴とするものである。

また、本発明の光論理回路の1構成例において、前記第1の論理回路と前記第2の論理回路はカスケード接続されており、前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号のうち少なくとも1つを信号入力とする1つの光ゲートを含むことを特徴とするものである。

40

【0020】

また、本発明の光論理回路の1構成例は、前記第1の論理回路が電気回路または光回路からなり、前記第2の論理回路が光回路からなる場合に、光信号の異なる位相に0, 1の値を割り当てることを特徴とするものである。

また、本発明の光論理回路の1構成例において、前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、前記第2の論理回路は、前記論理関数の出力

50

を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0を表す位相の信号と、値1を表す位相の信号のうちいずれか1つを信号入力とし、この信号入力の位相の変調/無変調を前記論理関数の出力に応じて切り替える1乃至複数の位相変調器と、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0を表す位相の信号と、値1を表す位相の信号と、前段の1乃至複数の位相変調器の出力のうち2つを信号入力とする光ゲートを含むことを特徴とするものである。

また、本発明の光論理回路の1構成例において、前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号を信号入力とし、この信号入力の位相の変調/無変調を前記論理関数の出力に応じて切り替える1つの位相変調器を含むことを特徴とするものである。

10

また、本発明の光論理回路の1構成例において、前記第1の論理回路は、1乃至複数の前記論理関数の結果を出力するものであり、前記第2の論理回路は、前記論理関数の出力を制御入力とし、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0を表す位相の信号と、値1を表す位相の信号のうち少なくとも1つを信号入力とする1つの光ゲートを含むことを特徴とするものである。

【発明の効果】

【0021】

本発明では、複数の入力信号に対する同一のビット同士の所定の論理関数の結果をビット毎に出力する第1の論理回路と、この第1の論理回路の出力を制御入力として、ビット毎の論理演算の結果、またはビット毎の論理演算に必要な、上位ビットへの伝搬信号を出力する第2の論理回路とから光論理回路を構成し、第2の論理回路が、第1の論理回路の出力に応じて、下位ビットからの伝搬信号と、この伝搬信号の否定信号と、値0と、値1のうちいずれか1つを出力する。本発明では、光論理回路を第1の論理回路と第2の論理回路の2つのステージに分割し、ステージ間をカスケード接続することにより、回路構成の簡素化を実現することができる。この分割は第1の論理回路に振り分けられた複数の論理関数をそれぞれ並列処理が可能な状態とし、第1の論理回路からの信号で第2の論理回路に含まれるゲートを一度に開閉させることができるため、第2の論理回路における光信号の伝搬経路が確定するまでの時間を大幅に短縮することができる。さらに、第2の論理回路内のシリアル接続段数を大幅に削減することができるため、演算時間を大幅に短縮することができる。本発明が提供する光論理回路は、トランジスタレベルまで光化を進めた構成となっており、電気回路と光回路の融合を容易にし、電気回路の得意分野（膨大な素子の超高集積と並列処理による、超高スループット演算）と、光回路の得意分野（情報を光の速度で伝搬させながら光の伝搬速度で演算を完了させる、超低レイテンシ演算）の両立が可能となり、動作周波数が頭打ち状態になりつつある電気回路の問題を解決することを可能とする。

20

30

【0022】

また、本発明では、光信号の異なる位相に0, 1の値を割り当てる。これにより、本発明では、下位ビットからの伝搬信号の否定信号を作る回路が不要となり、回路を簡素化し、素子数を大幅に削減することが可能となる。また、本発明の光論理回路によれば、その出力が位相変調光信号となるため、デジタルコヒーレントなどで用いられている位相検出技術を用いれば、受信時の0/1判定のエラーを小さくすることが可能となる。

40

【図面の簡単な説明】

【0023】

【図1】本発明の光論理回路の構成を示すブロック図である。

【図2】BDDに基づく光回路を説明する図である。

【図3】cascaded-BDDを説明する図である。

【図4】加算回路、パターンマッチ回路の特徴を説明する図である。

【図5】本発明の第1の実施の形態に係る光論理回路を模式化した図である。

50

【図6】図5の光論理回路の論理ブロックの従来の構成を示すブロック図である。

【図7】本発明の第1の実施の形態に係る光論理回路の論理ブロックの構成を示すブロック図である。

【図8】ルックアップテーブルから、本発明の第1の実施の形態に係る第2ステージの論理回路を設計する手順を説明する図である。

【図9】本発明の第1の実施の形態に係る第2ステージの論理回路の構成例を示す図である。

【図10】本発明の第1の実施の形態に係る第1ステージの論理回路を設計する手順を説明する図である。

【図11】本発明の第1の実施の形態に係る第1ステージの論理回路の真理値表を示す図である。

10

【図12】本発明の第2の実施の形態に係る全加算器を設計する手順を説明する図である。

【図13】本発明の第2の実施の形態に係る全加算器を構成する論理回路の真理値表を示す図である。

【図14】従来の全加算器の構成を示すブロック図である。

【図15】本発明の第2の実施の形態に係る全加算器の構成を示すブロック図である。

【図16】本発明の第2の実施の形態に係る全加算器の具体的な構成例を示すブロック図である。

【図17】本発明の第3の実施の形態に係る光論理回路の構成を示すブロック図である。

20

【図18】本発明の第1の実施の形態に係る論理回路を用いた場合の桁上げ部の構成を示すブロック図である。

【図19】本発明の第3の実施の形態に係る論理回路を用いた場合の桁上げ部の構成を示すブロック図である。

【図20】本発明の第4の実施の形態に係る全加算器の構成を示すブロック図である。

【図21】本発明の第4の実施の形態に係る全加算器の具体的な構成例を示すブロック図である。

【図22】パターンマッチ回路の真理値表を示す図である。

【図23】本発明の第5の実施の形態に係るパターンマッチ回路の構成を示すブロック図である。

30

【図24】本発明の第6の実施の形態に係るパターンマッチ回路の構成を示すブロック図である。

【図25】本発明の第6の実施の形態に係るパターンマッチ回路の第1ステージの論理回路の真理値表を示す図である。

【図26】本発明の第6の実施の形態に係るパターンマッチ回路の真理値表を示す図である。

【図27】本発明の第7の実施の形態に係る全加算器の構成を示すブロック図である。

【図28】本発明の第7の実施の形態に係る全加算器の第1ステージの論理回路の真理値表を示す図である。

【図29】本発明の第7の実施の形態に係る全加算器の真理値表を示す図である。

40

【図30】本発明の第7の実施の形態に係る全加算器の他の構成を示すブロック図である。

【図31】図30の全加算器の第1ステージの論理回路の真理値表を示す図である。

【図32】本発明の第7の実施の形態に係る全加算器の他の構成を示すブロック図である。

【図33】図32の全加算器の第1ステージの論理回路の真理値表を示す図である。

【図34】本発明の第8の実施の形態に係る乗算器の構成を示すブロック図である。

【図35】本発明の第8の実施の形態に係る乗算器の第1ステージの論理回路の真理値表を示す図である。

【図36】本発明の第8の実施の形態に係る乗算器の真理値表を示す図である。

50

【図37】典型的な *pass/cross* 型光ゲートを説明する図である。

【図38】典型的な *pass/cross* 型光ゲートを説明する図である。

【図39】従来の全加算器の他の構成を示すブロック図である。

【図40】本発明の第9の実施の形態に係る全加算器の構成を示すブロック図である。

【図41】本発明の第9の実施の形態に係る全加算器の他の構成を示すブロック図である。

【図42】本発明の第10の実施の形態に係るパターンマッチ回路の構成を示すブロック図である。

【図43】本発明の第11の実施の形態に係る全加算器の構成を示すブロック図である。

【図44】本発明の第11の実施の形態に係る全加算器の他の構成を示すブロック図である。

10

【図45】本発明の第12の実施の形態に係るパターンマッチ回路の構成を示すブロック図である。

【図46】従来の光論理回路の構成を示すブロック図である。

【発明を実施するための形態】

【0024】

[発明の原理]

本発明では、図1(A)~図1(C)に示される *cascaded-BDD* の構成を適用する。*Cascaded-BDD* 型の光論理回路は、*Product-term* 型の光回路と *BDD* 型の光回路の複合形態となっており、*product-term* 型の光回路の第1ステージと第2ステージのどちらの演算も *BDD* 型で構成されるものとする。また第1ステージと第2ステージの間はカスケード接続とする。それぞれのステージが光回路が電気回路のどちらかであるため、図1(A)~図1(C)の3通りの組み合わせを考慮することができる。

20

【0025】

なお、本発明では、電気制御系を1つしか有さない方向性結合器型のような *pass/cross* 型光ゲートにも、複数の独立した電気制御素子を内在するマッハツェンダ干渉型のような *pass/cross* 型光ゲートにも対応可能である。

【0026】

図1(A)の構成は、図46(B)に示される従来の *BDD* 型の光回路に類似する形態となっている。この図1(A)の光論理回路は、第1ステージの *BDD* 型の電気回路200と、第2ステージの *BDD* 型の光回路201とから構成される。電気回路200の内部では、*n*本の並列のラインのそれぞれが *BDD* 型の電気回路202で構成されている。光回路201の内部では、図46(B)と同様に、光ゲートが *n* 段のツリー状に接続されている。そして、電気回路200の *n* 個の電気信号出力を、光回路201の電気制御入力として与えるカスケード接続が採用されている。

30

【0027】

ただし、同じ論理構成であれば全く同じ回路構成となる *BDD* の特徴を鑑みると、図46(B)に示した従来の *BDD* 型の回路と本発明の *cascaded-BDD* 型の回路型の回路は根本的に異なる論理構成とすることができる。また、回路の持つ特徴も異なる。*cascaded-BDD* 型の回路は従来の *BDD* 型の回路を第1ステージ、第2ステージに分割することで、処理の一部を第1ステージ側に移すことで第2ステージの処理数を削減し、従来の *BDD* 型の回路の複雑さを緩和し、従来の *BDD* 型の回路よりも少ないシリアル接続段数を実現することができる。さらに、*product-term* 型の回路と同様に、ステージの分割により第1ステージの演算を全て並列実行できるメリットも合わせ、演算時間の大幅な短縮が可能となる。

40

【0028】

図1(B)の構成は、図46(A)に示される *product-term* 型を含む形態となっている。この図1(B)の光論理回路は、第1ステージの *BDD* 型の光回路203と、第2ステージの *BDD* 型の光回路201と、第1ステージと第2ステージとの間に配

50

置されるカスケード接続部となる n 個の $O E$ 変換器 204 とから構成される。光回路 203 の内部では、 n 本の並列のラインのそれぞれが $B D D$ 型の光回路 205 で構成されている。

【0029】

図1(B)の構成は、ステージを2つに分割する点は $product - term$ 型と同じであるが、各ステージに $B D D$ 型の回路を採用するため、より少ない素子数と段数で同じ関数を実現することが可能となり、各ステージにおける光ゲートのシリアル接続段数を $product - term$ 型よりも削減することができ、演算を高速化することができる。また、第1ステージの演算に必ずしも光を用いなくても演算の高速化が可能となるケースにおいては、図1(A)の構成とすることで第1ステージと第2ステージの間の光・電気変換が不要となり、第2ステージの $B D D$ 型の光回路 201 に光を伝搬させるだけで演算を完了させることができる。

10

【0030】

図1(C)の光論理回路は、第1ステージの $B D D$ 型の光回路 203 と、第2ステージの $B D D$ 型の電気回路 206 と、第1ステージと第2ステージとの間に配置されるカスケード接続部となる n 個の $O E$ 変換器 204 とから構成され、図46(A)に示される $product - term$ 型の第2ステージを電気素子で構成した回路を含む形態となっている。ただし、 $cascaded - B D D$ 型の回路では各ステージに $B D D$ 型の回路を採用するため、より少ない素子数と段数で同じ関数を実現することが可能となり、第1ステージにおける光ゲートのシリアル接続段数を $product - term$ 型よりも削減し、演算を高速化することができる。

20

【0031】

以上のように、本発明では、 $cascaded - B D D$ 型の回路の採用により、シリアル段数と光経路の交差と光経路の分岐と $O E$ 変換とが少ない光回路を実現することができ、このような回路を演算経路(クリティカルパス)に適用することで、演算速度を飛躍的に改善することができる。

【0032】

ここで、 $Cascaded - B D D$ について補足説明する。図2(A)、図2(B)に $B D D$ に基づく光回路の構成を示す。図2(A)は典型的な $B D D$ 型の光回路を示しており、“0”、“1”の情報をもつ光源がソース入力に接続されており、外部制御入力によって、“0”か“1”の光信号が f_1 として出力される。図2(A)の700は光ゲートである。この図2(A)の回路は後述の図8(A)の回路に該当する。

30

【0033】

図2(B)は変則的な $B D D$ 型の光回路を示しており、外部制御入力の一部 (C_i , \bar{C}_i の両方かどちらか一方) がソース入力に接続され、外部制御入力によって、“0”、“1”、 C_i 、 \bar{C}_i のいずれかの光信号が f_1 として出力される。この図2(B)の回路は後述の図8(B)の回路に該当する。 $B D D$ 型の回路は、内包される光ゲート700の光伝搬経路が、ソース入力から出力まで連続的に連なる全シリアル接続となっている。

40

【0034】

図3(A)、図3(B)に、 $cascaded - B D D$ 型の回路の構成を示す。800~802の各々は $B D D$ 型の回路である。図3(A)の803は1段のカスケード接続部を示し、804は2段のカスケード接続部を示している。演算のステージが複数に分割されており、各ステージ間は、前ステージの演算結果が次ステージの電気制御入力として利用されるカスケード接続となっている。 $B D D$ 型の回路の出力が光信号の場合、ステージの境界において $O E$ 変換が必要となるため、カスケード接続が累積する図3(B)の回路構成においては、演算遅延が大きくなる。そのため、本発明においては、図3(A)の2ステージ演算を採用し、カスケード段数を1段以下に限定することとする。

【0035】

図4は本発明の加算回路とパターンマッチ回路の特徴を説明する図である。本発明では、

50

ステージを2つに分け、第1ステージと第2ステージの回路構成をBDD(2分岐決定図)に基づく回路とし、BDD型の回路の2分岐決定木(ツリー)を伝搬する信号を光信号とし、下位ビットBDD型の回路の光出力と、上位ビットBDD型の回路のソースが、光伝搬信号を通して第2ステージ上でつながり、大きな2分岐決定木(ツリー)を構成している。

【0036】

その結果、本発明では、図4に示すように、1段のカスケード接続(803)を除いて、光源から出力まで全てシリアル接続となり、これにより第2ステージの演算は光を伝搬させるだけで演算が可能となり、光の伝搬時間で演算が完了する。また、カスケード接続を入れることにより、第2ステージのシリアル段数が削減され、光の伝搬時間を短くし、演算時間を短縮することが可能となる。さらに、カスケード接続が累積しないため、演算速度の低下を防ぐことができる。

10

【0037】

[第1の実施の形態]

以下、本発明の実施の形態について図面を参照して説明する。本実施の形態では図1(A)の形態を想定し、図5の入力 C_i の経路を図1(A)の第2ステージのBDD型の光回路201に振り分け、その他の演算を第1ステージのBDD型の電気回路200に振り分ける。

【0038】

図5は、加算器などの演算回路を模式化した図であり、前段の論理ブロック1(部分関数)で演算された出力が、次段の論理ブロック1の入力として利用されている。例えば加算器であれば、 X_1, \dots, X_n は加算される値であり、 C_i は前段の $i-1$ 桁からの桁上げの値である。ここでは、信号 C_i, C_{i+1}, \dots が通る経路が、演算を律速するクリティカルパスとなる。

20

【0039】

図5の回路に含まれる論理ブロック1(部分関数)は、一般的に、図6に示される回路で実現することができる。図6の回路は、論理回路300、301と、セクタ302とから構成される。論理回路300は、 C_i, X_1, \dots, X_n に応じて“1”または“0”を出力する。論理回路301は、 X_1, \dots, X_n に応じて“1”または“0”を出力する。セクタ302は、論理回路301の出力が“1”であるときに論理回路300の出力を選択して出力し、論理回路301の出力が“1”であるときに C_i を選択して出力する。

30

【0040】

本実施の形態では、図6の回路のセクタ302の部分を、図7に示すようにpass/blockおよびpass/cross型の光ゲートに置き換える。この図7の回路は、BDD型の論理回路2~5から構成される。図7は、1bit分の構成を示している。また、信号の“0”/“1”を0/1の光強度信号に対応させる。

【0041】

第1ステージの論理回路2, 3, 4は、それぞれ電気信号 X_1, \dots, X_n を入力とし、所定の論理関数 f_1, f_2, f_3 に則った動作を行って“1”または“0”の電気信号を出力する。論理関数 f_1, f_2, f_3 および論理回路2, 3, 4の具体例については後述する。

40

【0042】

第2ステージの論理回路5は、強度情報が“1”の光信号を出力する光源50と、pass/block型の光ゲート51と、pass/cross型の光ゲート52, 53とから構成される。光ゲート51は、論理回路3の出力が“1”であるときに光源50からの光信号を通過させ、論理回路3の出力が“0”であるときに光源50からの光信号を遮断する。光ゲート52は、論理回路4の出力が“1”であるときに光信号 C_i を選択して出力し、論理回路4の出力が“0”であるときに信号 C_i に対する否定の光信号 \bar{C}_i を選択して出力する。光ゲート53は、論理回路2の出力が“1”であるときに光ゲート5

50

1 の出力を選択して出力し、論理回路 2 の出力が “ 0 ” であるときに光ゲート 5 2 の出力を選択して出力する。

【 0 0 4 3 】

このように、B D D 型の論理回路 2 ~ 4 を第 1 ステージに配置し、B D D 型の論理回路 5 を第 2 ステージに配置する。図 7 の回路の構成により、クリティカルパスは第 2 ステージ上に配置され、光ゲート 5 1 ~ 5 3 が連続的に連なった光伝搬経路となり、第 1 ステージからの電気制御入力により構築された経路に光を伝搬させるだけで、演算が完了する。クリティカルパス上の一部の演算 (f_1, f_2, f_3) は第 1 ステージに配置されるため、第 2 ステージに配置されるクリティカルパス上のパスゲートの数が極小化され、伝搬による演算遅延を最小化することが可能となる。

10

【 0 0 4 4 】

L U T から B D D 型の論理回路 5 を設計する手順は、図 8 (A) ~ 図 8 (C) の 3 つの段階に整理することができる。図 8 (A) は、図 5 の論理ブロック 1 (部分関数) を一般的な L U T で表現した図である。 $A_1 \sim A_8, B_1 \sim B_8$ は実現したい論理回路に応じて “ 1 ” または “ 0 ” の値をとる。

【 0 0 4 5 】

左から 1 段目の 8 個の光ゲート 4 0 0 は、 C_i が “ 1 ” であるときに一方の光経路 (図 8 (A) の例では上側の光経路) を選択し、 C_i が “ 0 ” であるときに他方の光経路 (図 8 (A) の例では下側の光経路) を選択する。左から 2 段目の 4 個の光ゲート 4 0 1 は、 X_i が “ 1 ” であるときに一方の光経路 (上側の光経路) を選択し、 X_i が “ 0 ” であるときに他方の光経路 (下側の光経路) を選択する。左から 3 段目の 2 個の光ゲート 4 0 2 は、 Y_i が “ 1 ” であるときに一方の光経路 (上側の光経路) を選択し、 Y_i が “ 0 ” であるときに他方の光経路 (下側の光経路) を選択する。左から 4 段目の光ゲート 4 0 3 は、 Z_i が “ 1 ” であるときに一方の光経路 (上側の光経路) を選択し、 Z_i が “ 0 ” であるときに他方の光経路 (下側の光経路) を選択する。

20

【 0 0 4 6 】

図 8 (B) は、図 8 (A) における C_i のカスケード接続部をシリアル接続化した図である。つまり、図 8 (B) は、 C_i を L U T のソース側に移行させたツリー構造を示している。このような操作は一般的にシャノン展開を用いることで可能となり、 C_i を D に含まれる変数とすることができる。ここで、 A, B は “ 0 ” または “ 1 ” の値を持つことから、 D は $C_i, \text{バー}C_i, “ 0 ”, “ 1 ”$ のいずれかで表現される。

30

【 0 0 4 7 】

図 8 (B) を 2 つのステージに分解することにより、図 7、図 8 (C) に示すような論理回路 5 を実現することができる。つまり、元々の入力信号 X, Y, Z を用いた論理関数 $f_1 \sim f_3$ を電気制御端子側の第 1 ステージに移行し、第 1 ステージからの信号を入力として用いることで、第 2 ステージの任意の関数を 2 段のツリー構造で実現することが可能となる。このとき、信号 C_i (または $\text{バー}C_i$) が通過する第 2 ステージの 1 b i t (一桁) あたりの光ゲートの合計の段数が 1 段乃至 2 段になるように第 1 ステージの論理関数を設計すればよい。以降の実施の形態においても論理関数を同様に設計すればよい。もちろん、第 1 ステージの演算を変更することで第 2 ステージの段数を増やすことは可能であり、これによりトータルの演算時間が短縮できるケースにおいては、第 1 ステージの演算を調整すればよい。

40

【 0 0 4 8 】

図 9 (A) ~ 図 9 (C) に本実施の形態の B D D 型の論理回路 5 の構成例を示す。図 8 (B) に示したツリー構造は、入力 X, Y, Z の値により、 $C_i, \text{バー}C_i, “ 0 ”, “ 1 ”$ のいずれかを出力する回路を表している。このような回路は、 $C_i, \text{バー}C_i, “ 0 ”, “ 1 ”$ をソースとする図 9 (A) ~ 図 9 (C) の 2 段ツリー構造で実現することができる。

【 0 0 4 9 】

図 9 (A) の例の論理回路 5 は、 $p a s s / c r o s s$ 型の光ゲート 5 4 ~ 5 6 からな

50

る。光ゲート54は、論理関数 f_2 の出力が“1”であるときに C_i を選択して出力し、論理関数 f_2 の出力が“0”であるときに“0”を選択して出力する。光ゲート55は、論理関数 f_3 の出力が“1”であるときに \bar{C}_i を選択して出力し、論理関数 f_3 の出力が“0”であるときに“1”を選択して出力する。光ゲート56は、論理関数 f_1 の出力が“1”であるときに光ゲート54の出力を選択し、論理関数 f_1 の出力が“0”であるときに光ゲート55の出力を選択する。

【0050】

図9(B)の例の論理回路5は、pass/cross型の光ゲート57~59からなる。光ゲート57は、論理関数 f_2 の出力が“1”であるときに C_i を選択して出力し、論理関数 f_2 の出力が“0”であるときに“1”を選択して出力する。光ゲート58は、論理関数 f_3 の出力が“1”であるときに \bar{C}_i を選択して出力し、論理関数 f_3 の出力が“0”であるときに“0”を選択して出力する。光ゲート59は、論理関数 f_1 の出力が“1”であるときに光ゲート57の出力を選択し、論理関数 f_1 の出力が“0”であるときに光ゲート58の出力を選択する。図9(C)の構成は図7と同様である。

10

【0051】

上記のとおり、ツリー構造のソースは C_i 、 \bar{C}_i 、“0”、“1”の任意の組み合わせとなる。特に“1”と“0”とが対となり、 C_i と \bar{C}_i とが対となる図7、図9(C)のような組み合わせにおいては、より簡略な構成とすることができる。また、これらの2段ツリー構造は、制御端子で用いられる論理関数次第で、1段のツリー構造とすることもできる。

20

【0052】

図10(A)、図10(B)は、論理回路5の制御信号を生成するための論理関数 f_1 ~ f_3 (第1ステージの論理回路2~4)を設計する手順を説明する図である。図10(A)に示されるように、ツリー構造のソース部には前段からの出力 C_i 、 \bar{C}_i が接続される。このとき、 C_i および \bar{C}_i に対する分岐数は、最大 2^{n-1} (n は第2ステージへの制御信号の数)となる。この分岐は回路を複雑にし、光の分岐損の原因となるため、以下の方法で分岐を削減する。

【0053】

まず、図10(B)に示すように、 C_i と \bar{C}_i の対と、“0”と“1”の対に分割するための論理関数 f_1 を規定する。論理関数 f_1 は、図10(A)において C_i または \bar{C}_i が次の段(ビット)への出力 C_{i+1} となる X_i 、 Y_i 、 Z_i の組み合わせのときに“1”を出力し、“0”または“1”が出力 C_{i+1} となる X_i 、 Y_i 、 Z_i の組み合わせのときに“0”を出力する関数である。

30

【0054】

次に、図10(B)に示すように、 C_i と \bar{C}_i の対を分割するための論理関数 f_3 を規定する。論理関数 f_3 は、図10(A)において C_i が次の段への出力 C_{i+1} となる X_i 、 Y_i 、 Z_i の組み合わせのときに“1”を出力し、 \bar{C}_i が出力 C_{i+1} となる X_i 、 Y_i 、 Z_i の組み合わせのときに“0”を出力する関数である。なお、図10(A)のソースに C_i または \bar{C}_i が存在しなければ、論理関数 f_3 は不要となり、 C_i または \bar{C}_i が伝搬するクリティカルパスは、ゲート数が1段の最短経路となる。

40

【0055】

最後に、“0”と“1”の対を分割するための論理関数 f_2 を規定する。論理関数 f_2 は、図10(A)において“1”が次の段への出力 C_{i+1} となる X_i 、 Y_i 、 Z_i の組み合わせのときに“1”を出力し、“0”が出力 C_{i+1} となる X_i 、 Y_i 、 Z_i の組み合わせのときに“0”を出力する関数である。つまり、論理関数 f_2 により光源をON/OFFする、あるいは論理関数 f_2 を光源として使うことが可能となる。

【0056】

以上のような論理関数 f_1 ~ f_3 を真理値表で表現すると図11のようになる。このような論理関数 f_1 ~ f_3 を実現する第1ステージの論理回路2~4を、電気回路で容易に実現できることは言うまでもない。なお、図11における「-」は“0”または“1”のどち

50

らでもよいことを表している。

【 0 0 5 7 】

本実施の形態の2ステージ論理の採用による論理回路の設計は、第1ステージに振り分けられた複数のBDD型の回路のそれぞれを並列処理が可能な状態とし、処理の一部を第2ステージ側に移すことで第2ステージの処理数を削減する。このことは、BDD型の回路の複雑さを緩和するだけでなく、BDD型の回路内のシリアル接続段数を削減する。つまり、第2ステージの短尺化されたシリアル接続ゲートを、第1ステージからの並列処理された演算出力により一度に操作し、第2ステージに構築された伝搬経路に光信号を通すだけで演算を完了させることができるため、通常のBDD型の回路よりも演算を高速化することができる。

10

【 0 0 5 8 】

なお、図10(A)、図10(B)、図11で説明した論理関数 $f_1 \sim f_3$ は、図7、図9(C)に示した論理回路5のための関数である。

図9(A)に示した論理回路5のためには、 C_i と“0”の対と、 $\overline{C_i}$ と“1”の対に分割するための論理関数 f_1 を規定し、 C_i と“0”の対を分割するための論理関数 f_2 を規定し、 $\overline{C_i}$ と“1”の対を分割するための論理関数 f_3 を規定すればよい。

【 0 0 5 9 】

図9(A)の場合、論理関数 f_1 は、 C_i または“0”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“1”を出力し、 $\overline{C_i}$ または“1”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“0”を出力する関数である。論理関数 f_2 は、 C_i が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“1”を出力し、“0”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“0”を出力する関数である。論理関数 f_3 は、 $\overline{C_i}$ が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“1”を出力し、“1”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“0”を出力する関数である。

20

【 0 0 6 0 】

図9(B)に示した論理回路5のためには、 C_i と“1”の対と、 $\overline{C_i}$ と“0”の対に分割するための論理関数 f_1 を規定し、 C_i と“1”の対を分割するための論理関数 f_2 を規定し、 $\overline{C_i}$ と“0”の対を分割するための論理関数 f_3 を規定すればよい。

【 0 0 6 1 】

図9(B)の場合、論理関数 f_1 は、 C_i または“1”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“1”を出力し、 $\overline{C_i}$ または“0”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“0”を出力する関数である。論理関数 f_2 は、 C_i が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“1”を出力し、“1”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“0”を出力する関数である。論理関数 f_3 は、 $\overline{C_i}$ が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“1”を出力し、“0”が出力 C_{i+1} となる X_i, Y_i, Z_i の組み合わせのときに“0”を出力する関数である。

30

【 0 0 6 2 】

[第2の実施の形態]

次に、本発明の第2の実施の形態について説明する。本実施の形態では、光論理回路の具体例として全加算器について説明する。図12(A)~図12(C)は全加算器を設計する手順を説明する図である。図12(A)の600は全加算器の桁上げ部をツリー構造で表現した回路、601は加算部をツリー構造で表現した回路である。 X_i, Y_i は加算される i 桁目の値、 C_i は $i-1$ 桁からの桁上げの値である。また、信号の“0”/“1”を0/1の光強度信号に対応させる。

40

【 0 0 6 3 】

回路600, 601の左から1段目の4個の光ゲート602は、 C_i が“1”であるときに一方の光経路(図12(A)の例では上側の光経路)を選択し、 C_i が“0”であるときに他方の光経路(図12(A)の例では下側の光経路)を選択する。左から2段目の2個の光ゲート603は、 X_i が“1”であるときに一方の光経路(上側の光経路)を選択し、 X_i が“0”であるときに他方の光経路(下側の光経路)を選択する。左から3段

50

目の光ゲート604は、 Y_i が“1”であるときに一方の光経路（上側の光経路）を選択し、 Y_i が“0”であるときに他方の光経路（下側の光経路）を選択する。

【0064】

図12(B)は、図12(A)のツリー構造で表現した回路における C_i のカスケード接続部をシリアル接続化した回路を示している。605は桁上げ信号 C_{i+1} を出力する論理回路、606は X_i と Y_i の加算結果を示す信号 S_i を出力する論理回路、607は桁上げ信号 C_{i+1} に対する否定の信号 \bar{C}_{i+1} を出力する論理回路である。

【0065】

図12(C)は、図12(B)のシリアル接続化した回路を2ステージに分解した実際の論理回路を示している。6a~6cは第2ステージの論理回路であり、論理回路6aは桁上げ信号 C_{i+1} を出力する回路、論理回路6bは X_i と Y_i の加算結果を示す信号 S_i を出力する回路、論理回路6cは信号 \bar{C}_{i+1} を出力する回路である。図12(C)は1bit分の構成を示している。

10

【0066】

論理回路6aは、強度情報が“1”の光信号を出力する光源50と、pass/block型の光ゲート61と、pass/cross型の光ゲート62とから構成される。光ゲート61は、論理関数 f_2 （論理回路3）の出力が“1”であるときに光源50からの光信号を通過させ、論理関数 f_2 の出力が“0”であるときに光源50からの光信号を遮断する。光ゲート62は、論理関数 f_1 （論理回路2）の出力が“1”であるときに光信号 C_i を選択して出力し、論理関数 f_1 の出力が“0”であるときに光ゲート61の出力を選択して出力する。

20

【0067】

論理回路6bは、pass/cross型の光ゲート63からなる。光ゲート63は、論理関数 f_1 （論理回路2）の出力が“1”であるときに光信号 \bar{C}_i を選択して出力し、論理関数 f_1 の出力が“0”であるときに光信号 C_i を選択して出力する。

【0068】

論理回路6cは、強度情報が“1”の光信号を出力する光源64と、pass/block型の光ゲート65と、pass/cross型の光ゲート66とから構成される。光ゲート65は、論理関数 f_2 の否定 \bar{f}_2 の出力が“1”であるときに光源64からの光信号を通過させ、 \bar{f}_2 の出力が“0”であるときに光源64からの光信号を遮断する。光ゲート66は、論理関数 f_1 （論理回路2）の出力が“1”であるときに光信号 \bar{C}_i を選択して出力し、論理関数 f_1 の出力が“0”であるときに光ゲート65の出力を選択して出力する。なお、論理関数 \bar{f}_2 を実現する論理回路についても、論理関数 $f_1 \sim f_3$ と同様に、電気回路で容易に実現できることは言うまでもない。

30

【0069】

図12(A)、図12(B)、図12(C)はそれぞれ、図8(A)、図8(B)、図8(C)に対応する。ここで、図12(B)に示した回路は、 C_i 、 \bar{C}_i 、“0”、“1”のいずれかを出力する回路である。したがって、論理回路6aは、論理関数 f_2 の出力に応じて“0”または“1”を光ゲート61において選択し、論理関数 f_1 の出力に応じて信号 C_i が光ゲート61の出力を光ゲート62において選択する回路となる。論理回路6bは、論理関数 f_1 の出力に応じて信号 C_i が \bar{C}_i を光ゲート63において選択する回路となる。論理回路6cは、論理関数 \bar{f}_2 の出力に応じて“0”または“1”を光ゲート65において選択し、論理関数 f_1 の出力に応じて信号 \bar{C}_i が光ゲート66の出力を光ゲート66において選択する回路となる。

40

【0070】

以上のような論理回路6a~6cの動作を真理値表で表現すると図13のようになる。図11と同様に、図13における「-」は“0”または“1”のどちらでもよいことを表している。

【0071】

なお、本発明において、第2ステージの論理回路6a~6cは、第1ステージの論理回

50

路（論理関数）の出力に応じて C_i , \bar{C}_i , “ 0 ” , “ 1 ” のいずれかを出力する回路であるが、第 2 ステージの各論理回路において C_i , \bar{C}_i , “ 0 ” , “ 1 ” の全てを用意しておく必要はない。つまり、論理回路 6 a においては C_i と “ 1 ” があればよく、論理回路 6 b においては C_i と \bar{C}_i があればよく、論理回路 6 c においては \bar{C}_i と “ 1 ” があればよい。

【 0 0 7 2 】

図 1 4 に、図 1 2 (B) に示される論理回路 6 0 5 ~ 6 0 7 を用いた従来の 4 b i t の全加算器の構成を示す。この図 1 4 に示す回路は、B D D により求められた光加算器（非特許文献 2 参照）と等価である。この図 1 4 の回路は信号 C_i に対して、論理回路 6 0 5 (6 0 5_i ~ 6 0 5_{i+3}) が 2 つのソースを要求し、論理回路 6 0 6 (6 0 6_i ~ 6 0 6_{i+3}) も 2 つのソースを要求する。したがって、信号 C_i を一桁の演算あたり 4 分岐する必要がある。

10

【 0 0 7 3 】

同様に、信号 \bar{C}_i に対して、論理回路 6 0 6 (6 0 6_i ~ 6 0 6_{i+3}) が 2 つのソースを要求し、論理回路 6 0 7 (6 0 7_i ~ 6 0 7_{i+3}) が 2 つのソースを要求するため、信号 \bar{C}_i に関しても一桁の演算あたり 4 分岐を必要とする。また、クリティカルパスの経路 (C_i , \bar{C}_i の経路) は、一桁あたり 2 つの光ゲートを連続して通過する。

【 0 0 7 4 】

図 1 5 に、図 1 2 (C) に示される論理回路 6 a ~ 6 c を用いて図 1 4 の回路を簡素化した本実施の形態の N b i t (N は 2 以上の整数であり、ここでは N = 4) の全加算器の構成を示す。この図 1 5 の回路は信号 C_i に対して、論理回路 6 a (6 a_i ~ 6 a_{i+3}) が 1 つのソースを要求し、論理回路 6 b (6 b_i ~ 6 b_{i+3}) も 1 つのソースを要求する。したがって、信号 C_i を一桁の演算あたり 2 分岐する必要がある。

20

【 0 0 7 5 】

同様に、信号 \bar{C}_i に対して、論理回路 6 b (6 b_i ~ 6 b_{i+3}) が 1 つのソースを要求し、論理回路 6 c (6 c_i ~ 6 c_{i+3}) も 1 つのソースを要求するため、信号 \bar{C}_i に関しても一桁の演算あたり 2 分岐を必要とする。また、クリティカルパスの経路 (C_i , \bar{C}_i の経路) は、一桁あたり 1 つの光ゲートを通過する。

【 0 0 7 6 】

つまり、本実施の形態によれば、全加算器の回路を 2 ステージに分割することにより、第 2 ステージの B D D 型の論理回路 6 a ~ 6 c に含まれるクリティカルパス上の光ゲートの数を極小化することができ、クリティカルパス上の信号の伝搬による演算遅延を最小化することが可能となる。更に、B D D 型の論理回路 6 a ~ 6 c 内の分岐の数を削減することができ、回路の構成を単純化することが可能となる。

30

【 0 0 7 7 】

図 1 6 に、図 1 5 で用いられた全加算器の具体例を示す。ここでは、1 b i t 分の構成を示す。図 1 2 (C) と同一の構成要素には同一の符号を付してある。論理回路 1 3 , 1 4 , 1 5 は、それぞれ論理関数 f_1 , f_2 , \bar{f}_2 に則った動作を行う電気回路である。論理関数 f_1 , f_2 , \bar{f}_2 の真理値表は図 1 3 に示したとおりである。上記のとおり、図 1 3 における「 - 」は “ 0 ” または “ 1 ” のどちらでもよいことを表しているから、論理関数 f_2 を実現する論理回路 1 4 として X_i をそのまま用いても良いし、 Y_i をそのまま用いても良い。また X_i と Y_i の A N D (論理積) ゲートを用いてもよいし、O R (論理和) ゲートを用いてもよい。同様に論理回路 1 5 は、 X_i の否定をそのまま用いても良いし、 Y_i の否定をそのまま用いても良い。また X_i の否定と Y_i の否定の A N D ゲートを用いてもよいし、O R ゲートを用いてもよい。

40

【 0 0 7 8 】

また、文献「石原他，“光パスゲート論理に基づく並列加算回路の提案と光電混載回路シミュレータによる動作検証”，信学技報，1 1 6 ，V L D 2 0 1 6 - 2 6 ，1 0 9 ，2 0 1 6 年」に開示されているように、論理関数 f_2 の出力の代わりに、 X_i または Y_i をそのまま用いてもよい。

50

【 0 0 7 9 】

[第 3 の 実 施 の 形 態]

次に、本発明の第 3 の実施の形態について説明する。本実施の形態では、第 1 の実施の形態における“ 0 ”，“ 1 ”の強度情報を、光の位相情報に転化することを考える。電気回路では、信号の“ 0 ”，“ 1 ”の情報を電気強度の違いで表現するが、光では光強度だけでなく位相を利用することができる。本実施の形態では、この光の特徴を演算に利用する。つまり、信号の“ 0 ” / “ 1 ”を $\pi / 0^\circ$ 、または $0^\circ / \pi$ の位相情報に対応させる。これにより例えば、 C_i の位相を (180°) だけずらすことで、 $\overline{C_i}$ を作り出すことが可能となる。

【 0 0 8 0 】

図 17 は、図 7 に示した第 2 ステージの論理回路 5 に相当する本実施の形態の論理回路 7 の構成を示す図である。図 17 は、1 bit 分の構成を示している。論理回路 7 は、位相の情報が“ 1 ”の光信号を出力する光源 60 と、pass / shift 型の位相変調器 67, 68 と、pass / cross 型の光ゲート 53 とから構成される。この論理回路 7 は、論理回路 5 における光ゲート 51, 52 を位相変調器に置き換えたものである。

【 0 0 8 1 】

光の位相を利用する本実施の形態においても、信号 C_i が通過する第 2 ステージの 1 bit (一桁) あたりの位相変調器と光ゲートの合計の段数が 1 段乃至 2 段になるように第 1 ステージの論理関数を設計すればよい。以降の実施の形態においても論理関数を同様に設計すればよい。

【 0 0 8 2 】

光ゲート 53 については第 1 の実施の形態で説明したとおりである。位相変調器 67 は、論理回路 3 からの電気信号が“ 1 ”であるときに光源 60 からの光信号をそのまま通過させ、論理回路 3 からの電気信号が“ 0 ”であるときに光源 60 からの光信号の位相をだけずらして出力する。位相変調器 68 は、論理回路 4 からの電気信号が“ 1 ”であるときに光信号 C_i をそのまま通過させ、論理回路 4 からの電気信号が“ 0 ”であるときに光信号 C_i の位相を π だけずらして出力する。

【 0 0 8 3 】

本実施の形態では、信号 $\overline{C_i}$ を作る回路が不要となり、光論理回路を簡素化することが可能となる。例えば図 7 に示した論理回路 5 を用いて、全加算器の桁上げ部を構成すると、図 18 で示される BDD 型の構造となる。図 18 では、信号 C_i の桁上げ部に用いる論理回路を $5a$ ($5a_i \sim 5a_{i+2}$) と表記し、信号 $\overline{C_i}$ の桁上げ部に用いる論理回路を $5c$ ($5c_i \sim 5c_{i+2}$) と表記している。

【 0 0 8 4 】

これに対して、本実施の形態の論理回路 7 を用いると、桁上げ部の構成を図 19 に示すように簡素な構成とすることができる。図 19 では、信号の“ 0 ” / “ 1 ”を $\pi / 0^\circ$ 、または $0^\circ / \pi$ の位相情報に対応させている。また、本実施の形態の回路によれば、その出力が位相変調光信号となる。したがって、デジタルコヒーレントなどで用いられている位相検出技術を用いれば、受信時の“ 0 ”，“ 1 ”判定のエラーを小さくすることが可能となる。

【 0 0 8 5 】

[第 4 の 実 施 の 形 態]

次に、本発明の第 4 の実施の形態について説明する。本実施の形態では、第 3 の実施の形態の構成を全加算器に適用する。つまり、信号の“ 0 ” / “ 1 ”を $\pi / 0^\circ$ 、または $0^\circ / \pi$ の位相情報に対応させることにより、 C_i の位相を (180°) だけずらすことで、 $\overline{C_i}$ を作り出し、図 12 (C) の論理回路 6c を不要にする。

【 0 0 8 6 】

図 20 に、本実施の形態の N bit (ここでは $N = 4$) の全加算器の構成を示す。8a ($8a_i \sim 8a_{i+3}$)、8b ($8b_i \sim 8b_{i+3}$) は第 2 ステージの論理回路である。論理回

10

20

30

40

50

路 8 a (8 a_i ~ 8 a_{i+3}) は、位相の情報 “ 1 ” の光信号を出力する光源 6 0 と、 p a s s / c r o s s 型の光ゲート 6 2 と、 p a s s / - s h i f t 型の位相変調器 6 9 とから構成される。この論理回路 8 a は、図 1 2 (C) に示した論理回路 6 a における光ゲート 6 1 を位相変調器 6 9 に置き換えたものである。

【 0 0 8 7 】

光ゲート 6 2 については第 2 の実施の形態で説明したとおりである。位相変調器 6 9 は、論理関数 f_2 の出力 (電気信号) が “ 1 ” であるときに光源 6 0 からの光信号をそのまま通過させ、論理関数 f_2 の出力が “ 0 ” であるときに光源 6 0 からの光信号の位相をだけずらして出力する。

【 0 0 8 8 】

論理回路 8 b (8 b_i ~ 8 b_{i+3}) は、 p a s s / - s h i f t 型の位相変調器 7 0 からなる。この論理回路 8 b は、図 1 2 (C) に示した論理回路 6 b における光ゲート 6 3 を位相変調器 7 0 に置き換えたものである。位相変調器 7 0 は、論理関数 f_1 の出力 (電気信号) が “ 1 ” であるときに光信号 C_i の位相をだけずらして出力し、論理関数 f_1 の出力が “ 0 ” であるときに光信号 C_i をそのまま通過させる。なお、位相変調器 6 9 を位相変調器 7 0 の機能とそろえたい場合、つまり、 f_2 の出力が “ 1 ” であるときに光源 6 0 からの光信号をそのまま通し、 f_2 の出力が “ 0 ” のときに光源 6 0 からの光信号の位相をだけずらして出力させたい場合は、位相の情報 “ 0 ” の光信号を出力する光源を光源 6 0 として用いればよい。

【 0 0 8 9 】

このように、本実施の形態では、信号 C_i の位相をだけずらすことにより、信号 C_i を作り出すことができるため、図 1 5 の論理回路 6 c (6 c_i ~ 6 c_{i+3}) を無くすることができる。つまり、本実施の形態により、光論理回路の構成を更に単純化することが可能となる。

【 0 0 9 0 】

図 2 1 に、図 2 0 で用いられた全加算器の具体例を示す。ここでは、1 b i t 分の構成を示す。図 1 6、図 2 0 と同一の構成要素には同一の符号を付してある。論理関数 f_1 、 f_2 の真理値表は図 1 3 に示したとおりである。図 1 3 における C_{i+1} の “ 0 ” / “ 1 ” はそれぞれ / 0 ° または 0 ° / の位相情報として読み替えるようにすればよい。

【 0 0 9 1 】

上記のとおり、図 1 3 における 「 - 」 は “ 0 ” または “ 1 ” のどちらでもよいことを表しているから、論理関数 f_2 の出力の代わりに X_i をそのまま用いてもよいし、 Y_i をそのまま用いてもよい。

【 0 0 9 2 】

[第 5 の実施の形態]

次に、本発明の第 5 の実施の形態について説明する。本実施の形態では、第 1、第 3 の実施の形態の構成をパターンマッチ回路に適用する。また、信号の “ 0 ” / “ 1 ” を 0 / 1 の光強度信号、または、 / 0 °、0 ° / の位相情報に対応させる。パターンマッチ回路の真理値表を図 2 2 に示す。

【 0 0 9 3 】

第 1、第 3 の実施の形態の手順に従うことにより、図 2 2 の真理値表の動作を図 2 3 の回路で再現することができる。図 2 3 は、1 b i t 分の構成を示している。パターンマッチ回路は、所定の論理関数 f_1 に則った動作を行って “ 1 ” または “ 0 ” の電気信号を出力する第 1 ステージの論理回路 9 と、第 2 ステージの論理回路 1 0 とから構成される。

【 0 0 9 4 】

論理関数 f_1 は X N O R (否定排他的論理和) 演算を行う関数である。このような演算を実現する論理回路 9 を、電気回路で容易に実現できることは言うまでもない。

論理回路 1 0 は、強度または位相の情報 “ 0 ” の光信号を出力する光源 7 1 と、 p a s s / c r o s s 型の光ゲート 7 2 とから構成される。ただし、後述のように、光源 7 1 を設ける場合と設けない場合の 2 とおりの構成がある。

10

20

30

40

50

【 0 0 9 5 】

光ゲート 7 2 は、論理関数 f_1 の出力が “ 1 ” であるときに一方の光経路（図 2 3 の例では下側の光経路）を選択して光信号 C_i を出力し、論理関数 f_1 の出力が “ 0 ” であるときに他方の光経路（上側の光経路）を選択する。

ここで、論理関数 f_1 は X N O R 演算を行う関数であるから、強度の情報が “ 0 ” の光信号を出力する光源 7 1 を配置、つまり光源 7 1 を配置しない場合には、図 2 3 のパターンマッチ回路は第 1 の実施の形態と同様に強度変調信号を出力する回路となる。

【 0 0 9 6 】

また、信号の “ 0 ” / “ 1 ” を $\phi / 0^\circ$ 、または $0^\circ / \phi$ の位相情報に対応させ、位相の情報が “ 0 ” の光信号を出力する光源 7 1 を配置すれば、図 2 3 のパターンマッチ回路は第 3 の実施の形態と同様に位相変調信号を出力する回路となる。

10

【 0 0 9 7 】

1 b i t 分のパターンマッチ回路は、図 2 2 に示すように、 X_i と Y_i が一致する場合に、 $i - 1$ 桁からの信号 C_i を C_{i+1} として出力する回路である。したがって、パターンマッチ回路の出力 7 4 と次段のパターンマッチ回路の入力 7 3 とが繋がるように N ビット分のパターンマッチ回路を縦続接続すれば、全ビットにおいて X と Y が一致したときに、 $C_{i=0} = “ 1 ”$ が出力される回路を実現することができる。

【 0 0 9 8 】

[第 6 の実施の形態]

次に、本発明の第 6 の実施の形態について説明する。本実施の形態では、図 1 (B) の形態を想定し、第 5 の実施の形態における第 1 ステージの演算を全て光で処理するケースについて説明する。つまり、第 5 の実施の形態では、第 1 ステージへの入力信号 X , Y が電気信号であったのに対し、本実施の形態では、第 1 ステージへの入力信号も光信号となる。

20

【 0 0 9 9 】

第 2 の実施の形態、第 4 の実施の形態、第 5 の実施の形態のように、論理関数 $f_1 \sim f_3$ が X O R 演算、X N O R 演算、入力信号 (X , Y , Z) のいずれかと同じになるケースにおいては、第 1 ステージの演算を光の干渉で実行することができる。ここでは、信号の “ 0 ” / “ 1 ” を $\phi / 0^\circ$ 、または $0^\circ / \phi$ の位相情報に対応させる。

【 0 1 0 0 】

図 2 4 は本実施の形態に係るパターンマッチ回路の構成を示すブロック図であり、図 2 3 と同一の構成には同一の符号を付してある。本実施の形態のパターンマッチ回路は、第 2 ステージの論理回路 1 0 と、第 1 ステージの論理回路 1 1 と、論理回路 1 1 と論理回路 1 0 との間に配置されるカスケード接続部となる O E 変換器 1 2 とから構成される。

30

【 0 1 0 1 】

信号の “ 0 ” / “ 1 ” を $\phi / 0^\circ$ に対応させた場合、論理回路 1 1 の動作を真理値表で表現すると図 2 5 のようになり、本実施の形態のパターンマッチ回路の動作を真理値表で表現すると図 2 6 のようになる。論理回路 1 1 の演算（論理関数 g_1 (位相)、 g_1' (強度)) は、第 5 の実施の形態の論理関数 f_1 に相当する。ここで、図 2 5 における「 - 」は、出力強度がゼロであるため位相が不定であることを表している。第 5 の実施の形態では論理回路 9 を電気回路で構成していたのに対し、本実施の形態では、第 1 ステージの演算を全て光で行うため、入力 X_i , Y_i および論理回路 1 1 の出力は、 0° または ϕ の位相情報を有する光信号である。

40

【 0 1 0 2 】

論理回路 1 1 は、同強度の光信号 X_i と Y_i を干渉させることにより、図 2 5 の真理値表で示すような論理関数 g_1' の演算 (X N O R) を実現する。この論理回路 1 1 の演算結果は光出力であるため、O E 変換器 1 2 により光信号を電気信号に変換して、第 2 ステージにカスケード接続する。

論理回路 1 0 については第 5 の実施の形態で説明したとおりである。

【 0 1 0 3 】

50

[第 7 の実施の形態]

次に、本発明の第 7 の実施の形態について説明する。本実施の形態では、図 1 (B) の形態を想定し、第 4 の実施の形態における第 1 ステージの演算を全て光で処理するケースについて説明する。つまり、第 4 の実施の形態では、第 1 ステージへの入力信号 X_i 、 Y_i が電気信号であったのに対し、本実施の形態では、第 1 ステージへの入力信号も光信号となる。ここでは、信号の “ 0 ” / “ 1 ” を 0° / 90° 、または 0° / 180° の位相情報に対応させる。

【 0 1 0 4 】

図 2 7 に、本実施の形態の全加算器の構成を示す。ここでは、1 bit 分の構成を示す。全加算器は、第 1 ステージの論理回路 1 6 と、第 2 ステージの論理回路 1 7 と、論理回路 1 6 と論理回路 1 7 との間に配置されるカスケード接続部となる O E 変換器 1 8 とから構成される。

10

【 0 1 0 5 】

論理回路 1 6 は、光信号 Y_i の位相を 90° だけずらして出力する位相シフタ 7 5 と、光信号 X_i と位相シフタ 7 5 の出力とを干渉させる論理回路 7 6 とから構成される。

論理回路 1 7 は、pass/cross 型の光ゲート 6 2 と、pass/shift 型の位相変調器 7 0 とから構成される。光ゲート 6 2 は、O E 変換器 1 8 の出力が “ 1 ” であるときに光信号 C_i を選択して出力し、O E 変換器 1 8 の出力が “ 0 ” であるときに光信号 X_i を選択して出力する。位相変調器 7 0 については第 4 の実施の形態で説明したとおりである。

20

【 0 1 0 6 】

信号の “ 0 ” / “ 1 ” を 0° / 180° に対応させた場合、論理回路 1 6 の動作を真理値表で表現すると図 2 8 のようになり、本実施の形態の全加算器の動作を真理値表で表現すると図 2 9 のようになる。図 2 8 の h_1 (位相)、 h_1' (強度) は図 2 7 の 7 7 の部分における論理を表しており、第 4 の実施の形態の論理関数 f_2 の演算結果に相当する。論理回路 7 6 の演算 (論理関数 h_1 (位相)、 h_1' (強度)) は、同強度の X_i と Y_i の否定とを干渉させるものであり、第 4 の実施の形態の論理関数 f_1 の演算 (X O R) に相当する。ここで、図 2 8 における「 - 」は、出力強度がゼロであるため位相が不定であることを表している。

【 0 1 0 7 】

論理回路 1 6 の演算結果は光出力であるため、O E 変換器 1 8 により光信号を電気信号に変換し、論理回路 1 7 の光ゲート 6 2 への電気制御入力とする。

30

【 0 1 0 8 】

ただし、図 2 7 の構成では、光信号 X_i を 2 分岐させて利用するため、光信号 X_i は光信号 Y_i の 2 倍の強度を必要とし、パワーのアンバランスが生じる。このような動作条件が認められない場合は、図 3 0 の構成を利用する。図 3 0 の全加算器は、第 1 ステージの論理回路 1 9 と、第 2 ステージの論理回路 1 7 と、論理回路 1 9 と論理回路 1 7 との間に配置されるカスケード接続部となる O E 変換器 1 8 とから構成される。

【 0 1 0 9 】

論理回路 1 9 は、位相シフタ 7 5 と、論理回路 7 6 と、光信号 X_i と Y_i を干渉させる論理回路 7 8 とから構成される。信号の “ 0 ” / “ 1 ” を 0° / 180° に対応させた場合、この論理回路 1 9 の動作を真理値表で表現すると、図 3 1 のようになる。上記のように、論理回路 7 6 の演算 (論理関数 h_1 (位相)、 h_1' (強度)) は第 4 の実施の形態の論理関数 f_1 の演算 (X O R) に相当し、論理回路 7 8 の演算 (論理関数 h_2 (位相)、 h_2' (強度)) は第 5 の実施の形態の論理関数 f_1 の演算 (X N O R) に相当する。ここで、図 3 1 における「 - 」は、出力強度がゼロであるため位相が不定であることを表している。 X_i と Y_i は同強度の光信号である。

40

【 0 1 1 0 】

論理回路 1 7 の光ゲート 6 2 は、O E 変換器 1 8 の出力が “ 1 ” であるときに光信号 C_i を選択して出力し、O E 変換器 1 8 の出力が “ 0 ” であるときに論理回路 7 8 の出力を

50

選択して出力する。

【 0 1 1 1 】

信号の“ 0 ” / “ 1 ”を 0° に対応させた場合、図 30 の全加算器の真理値表は図 29 で示したとおりである。図 30 の構成は、図 27 に示した構成の問題点である、光信号 X_i と Y_i のパワーアンバランスを解消するために、論理回路 78 において光信号 X_i と Y_i を合波する。ただし、互いに逆相となる光信号の合波は出力信号強度をゼロとするため、出力信号の位相が不確定となる。このような位相の不確定さは、光の位相情報を演算に使うときの不可避な問題である。

【 0 1 1 2 】

図 30 の全加算器の構成では、位相が不定となる論理回路 78 の演算を、論理回路 76 の演算結果を用いることにより排除する。つまり、論理回路 19 と論理回路 17 との間に配置される OE 変換器 18 と、それにつながる論理回路 17 の光ゲート 62 の組み合わせにより、論理回路 76 の出力強度が“ 1 ”となる条件において、論理回路 78 から位相が不確定となる信号を回路から排除し、光信号 C_i を次段への出力 C_{i+1} として出力する。また、論理回路 76 の出力強度が“ 0 ”となる条件において、論理回路 78 からの光信号を次段への出力 C_{i+1} として出力する。これにより、図 29 の真理値表に示される C_{i+1} の出力を実現することができる。

10

【 0 1 1 3 】

図 32 に示す全加算器は、図 30 の論理回路 76 と論理回路 78 を 1 つにまとめるために、 C_{i+1} の出力ポートと位相シフタ 75 と位相変調器 70 の動作を逆に設定した構成である。図 32 の全加算器は、第 1 ステージの論理回路 20 と、第 2 ステージの論理回路 17 と、論理回路 20 と論理回路 17 との間に配置されるカスケード接続部となる OE 変換器 18 とから構成される。

20

【 0 1 1 4 】

論理回路 20 は、光信号 X_i と Y_i を干渉させる論理回路 78 からなる。信号の“ 0 ” / “ 1 ”を 0° に対応させた場合、この論理回路 20 の動作を真理値表で表現すると、図 33 のようになる。上記のように、論理回路 78 の演算（論理関数 h_2 （位相）、 h_2' （強度））は第 5 の実施の形態の論理関数 f_1 の演算（XNOR）に相当する。ここで、図 33 における「 - 」は、出力強度がゼロであるため位相が不定であることを表している。 X_i と Y_i は同強度の光信号である。

30

【 0 1 1 5 】

OE 変換器 18 は、論理回路 20 の光信号出力を電気信号に変換する。論理回路 17 の光ゲート 62 は、OE 変換器 18 の出力が“ 0 ”であるときに光信号 C_i を選択して出力し、OE 変換器 18 の出力が“ 1 ”であるときに論理回路 20 の出力を選択して出力する。位相変調器 q 70 は、OE 変換器 18 の出力が“ 1 ”であるときに光信号 C_i をそのまま通過させ、OE 変換器 18 の出力が“ 0 ”であるときに光信号 C_i の位相を 180° だけずらして出力する。信号の“ 0 ” / “ 1 ”を 0° に対応させた場合、図 32 の全加算器の真理値表は図 29 で示したとおりである。こうして、図 32 の構成を採用することにより、回路を簡略化することができる。

40

【 0 1 1 6 】

[第 8 の実施の形態]

第 2、第 4、第 6 の実施の形態に示した全加算器を用いると、減算器、乗算器なども構成することができる。例えば、図 14、図 15、図 20 において最小桁の C_i 、 \bar{C}_i を、 $C_i = “ 0 ”$ 、 $\bar{C}_i = “ 1 ”$ とすれば、加算器となり、 $C_i = “ 1 ”$ 、 $\bar{C}_i = “ 0 ”$ とし、入力 Y ($Y_i \sim Y_{i+3}$) の全ての信号を \bar{Y} ($Y_i \sim Y_{i+3}$) の論理否定とすれば減算器となる。

【 0 1 1 7 】

また、図 21、図 27、図 30、図 32 などに示される全加算器において、 X_i 、 Y_i をそれぞれ S_{i-1} 、 $Z_i = \text{AND}(X_i, Y_i)$ とするか、または X_i 、 Y_i を Z_i 、 S_{i-1} とすれば、乗算器を実現することができる。なお、乗算器については図 34 に示すように、 X_i

50

, Y_i を S_{i-1} , C_i とし、 C_i を $Z_i = \text{AND}(X_i, Y_i)$ とすることで、図 21、図 27、図 30、図 32 における C_i の分岐損の問題を解決することができる。

【0118】

図 34 の乗算器は、第 1 ステージの論理回路 21 と、第 2 ステージの論理回路 22 と、論理回路 21 と論理回路 22 との間に配置されるカスケード接続部となる OE 変換器 23 とから構成される。

【0119】

論理回路 21 は、光信号 C_i と前段の出力 S_{i-1} を干渉させる論理回路 79 と、電気信号 X_i と Y_i の AND 演算を行う論理回路 80 とから構成される。信号の “0” / “1” を $/0^\circ$ に対応させた場合、論理回路 21 の動作を真理値表で表現すると、図 35 のようになる。 C_i と S_{i-1} は同強度の光信号である。

10

【0120】

OE 変換器 23 は、論理回路 79 の光信号出力を電気信号に変換する。論理回路 22 は、位相情報が “1” の光信号を出力する光源 81 と、pass/block 型の光ゲート 82 と、pass/cross 型の光ゲート 83 と、pass/-shift 型の位相変調器 84 とから構成される。

【0121】

光ゲート 82 は、論理回路 80 の出力 Z_i が “1” であるときに光源 81 からの光信号を通過させ、論理回路 80 の出力 Z_i が “0” であるときに光源 81 からの光信号の位相を だけずらして出力する。光ゲート 83 は、OE 変換器 23 の出力が “0” であるときに光ゲート 82 の出力を選択して出力し、OE 変換器 23 の出力が “1” であるときに論理回路 79 の出力を選択して出力する。位相変調器 84 は、OE 変換器 23 の出力が “1” であるときに光ゲート 82 の出力をそのまま通過させ、OE 変換器 23 の出力が “0” であるときに光ゲート 82 の出力の位相を だけずらして出力する。信号の “0” / “1” を $/0^\circ$ に対応させた場合、乗算器の動作を真理値表で表現すると図 36 のようになる。

20

【0122】

以上の実施の形態で用いられた pass/cross 型光ゲートは、pass/cross 動作のそれぞれにおいて位相シフトが発生し、それぞれのシフト量が異なる。

マハツェンダ干渉計を用いた典型的な pass/cross 型の光ゲートの場合、入出力ポートと位相 () の関係は図 37 のようになる。ここで pass/cross 型光ゲートは、2 つの位相変調器 b102, b103 と 2 つの X カップラー b100, b101 の組み合わせで構成されている。位相変調器 b102, b103 は、それぞれ電気信号 X_i, Y_i が “1” であるときに X カップラー b100 からの光信号の位相を だけずらして出力し、信号 X_i, Y_i が “0” であるときに X カップラー b100 からの光信号をそのまま通過させる。X カップラー b100, b101 は、一方のポートから入力された光信号のパワーを 1 : 1 の割合で 2 つのポートに出力し、入力ポートと対角の出力ポートからの光信号の位相を、他方の出力ポートからの光信号の位相より $- / 2$ だけシフトさせる。なお図 37 では簡単のため、信号伝搬による位相シフトが 2 の整数倍になる場合を図示している。

30

40

【0123】

例えば cross 動作 (図 37 (B)) と pass 動作 (図 37 (C)) を組み合わせ、右下のポートからの信号を出力信号として用いる場合、2 つの入力信号 (位相、) において $/ 2$ の位相ずれが生じる。この問題は、図 38 に示されるように出力ポートと対角の入力ポート (左上のポート) に、 $+ / 2$ の位相シフタ b104 を設けることで解消される。

【0124】

[第 9 の実施の形態]

次に、本発明の第 9 の実施の形態について説明する。本実施の形態では、第 2、第 5 の実施の形態における電気入力に対する論理関数 f_1, f_2 の演算を pass/cross 型

50

の光ゲートに組み込む構成を示す。図37に示されるとおり、マッハツェンダ干渉計などで構成される *pass/cross* 型の光ゲートは、2つの電気制御ポートを有しており、この2つの電気制御入力を利用することで2入力信号に対する簡単な演算を光ゲート側で実行することが可能である。このような2制御入力の *pass/cross* 型の光ゲートを利用した従来の全加算器の構成を図39に示す。

【0125】

図39の全加算器は、強度情報が“1”の光信号を出力する光源500、501と、*pass/shift* 型の位相変調器502～507と、*pass/cross* 型の光ゲート508と、OE変換器509とから構成される。

【0126】

位相変調器502は、電気信号 X_i が“1”であるときに光源500からの光信号の位相を π だけずらして出力し、信号 X_i が“0”であるときに光源500からの光信号をそのまま通過させる。位相変調器503は、電気信号 Y_i が“1”であるときに光源500からの光信号の位相を π だけずらして出力し、信号 Y_i が“0”であるときに光源500からの光信号をそのまま通過させる。

【0127】

位相変調器504は、電気信号 X_i が“1”であるときに光源501からの光信号の位相を π だけずらして出力し、信号 X_i が“0”であるときに光源501からの光信号をそのまま通過させる。位相変調器505は、光信号 C_i を電気信号に変換するOE変換器509の出力が“1”であるときに光源501からの光信号の位相を π だけずらして出力し、OE変換器509の出力が“0”であるときに光源501からの光信号をそのまま通過させる。

【0128】

位相変調器506は、電気信号 Y_i が“1”であるときに位相変調器504の出力の位相を π だけずらして出力し、信号 Y_i が“0”であるときに位相変調器504の出力をそのまま通過させる。位相変調器507の制御入力には“1”の信号が固定的に与えられている。これにより、位相変調器507は、位相変調器505の出力の位相を π だけずらして出力する。

【0129】

光ゲート508は、電気信号 X_i 、 Y_i が共に“1”または共に“0”であるときに光ゲート502と503の出力を合波した結果を選択して出力し、電気信号 X_i が“1”で電気信号 Y_i が“0”、または電気信号 X_i が“0”で電気信号 Y_i が“1”であるときに、光信号 C_i を選択して出力する。

【0130】

以上のような2制御入力の *pass/cross* 型の光ゲートを利用すると、図16に示した全加算器は図40に示すような構成に置き換えることができる。図40の全加算器は、強度情報が“1”の光信号を出力する光源510、511と、*pass/block* 型の光ゲート512、513と、*pass/cross* 型の光ゲート514～516とから構成される。

【0131】

光ゲート512は、電気信号 X_i が“1”であるときに光源510からの光信号を通過させ、電気信号 X_i が“0”であるときに光源510からの光信号を遮断する。光ゲート513は、電気信号 X_i が“1”であるときに光源511からの光信号を遮断し、電気信号 X_i が“0”であるときに光源511からの光信号を通過させる。なお、 X_i の代わりに電気信号 Y_i を光ゲート512、513の電気制御入力としてもよい。

【0132】

光ゲート514は、電気信号 X_i 、 Y_i が共に“1”または共に“0”であるときに光ゲート512の出力を選択して出力し、電気信号 X_i が“1”で電気信号 Y_i が“0”、または電気信号 X_i が“0”で電気信号 Y_i が“1”であるときに、光信号 C_i を選択して出力する。光ゲート515は、電気信号 X_i 、 Y_i が共に“1”または共に“0”であるときに

10

20

30

40

50

光信号 C_i を選択して出力し、電気信号 X_i が “ 1 ” で電気信号 Y_i が “ 0 ”、または電気信号 X_i が “ 0 ” で電気信号 Y_i が “ 1 ” であるときに、光信号 C_i を選択して出力する。光ゲート 516 は、電気信号 X_i 、 Y_i が共に “ 1 ” または共に “ 0 ” であるときに光ゲート 513 の出力を選択して出力し、電気信号 X_i が “ 1 ” で電気信号 Y_i が “ 0 ”、または電気信号 X_i が “ 0 ” で電気信号 Y_i が “ 1 ” であるときに、光信号 C_i を選択して出力する。

【 0 1 3 3 】

また、2 制御入力の *pass/cross* 型の光ゲートを利用すると、図 21 に示した全加算器は図 41 に示すような構成に置き換えることができる。図 41 の全加算器は、位相情報が “ 1 ” の光信号を出力する光源 517 と、位相シフト 518 と、*pass/cross* 型の光ゲート 519 と、*pass/shift* 型の位相変調器 520、521 とから構成される。

10

【 0 1 3 4 】

位相シフト 518 は、光源 517 からの光信号の位相を $-\pi/2$ だけずらして出力する。

【 0 1 3 5 】

光ゲート 519 は、電気信号 X_i 、 Y_i が共に “ 1 ” または共に “ 0 ” であるときに位相シフト 518 の出力を選択して出力し、電気信号 X_i が “ 1 ” で電気信号 Y_i が “ 0 ”、または電気信号 X_i が “ 0 ” で電気信号 Y_i が “ 1 ” であるときに、位相変調器 520 の出力を選択して出力する。位相変調器 520 は、電気信号 Y_i が “ 1 ” であるときに光信号 C_i の位相を $-\pi/2$ だけずらして出力し、信号 Y_i が “ 0 ” であるときに光信号 C_i をそのまま通過させる。位相変調器 521 は、電気信号 X_i が “ 1 ” であるときに位相変調器 520 の出力の位相を $-\pi/2$ だけずらして出力し、信号 X_i が “ 0 ” であるときに位相変調器 520 の出力をそのまま通過させる。図 40、図 41 の構成によれば、図 39 とは異なり、OE 変換器なしで光出力 S_i を得ることができる。

20

【 0 1 3 6 】

[第 10 の実施の形態]

2 制御入力の *pass/cross* 型の光ゲートを利用すると、図 23 に示したパタンマッチ回路は図 42 に示すような構成に置き換えることができる。図 42 のパタンマッチ回路は、位相情報が “ 1 ” の光信号を出力する光源 522 と、*pass/cross* 型の光ゲート 523 と、位相シフト $q601$ と、位相変調器 $q600$ 、 $q602$ とから構成される。

30

【 0 1 3 7 】

光ゲート 523 は、電気信号 X_i 、 Y_i が共に “ 1 ” または共に “ 0 ” であるときに位相シフト $q602$ の出力を選択して出力し、電気信号 X_i が “ 1 ” で電気信号 Y_i が “ 0 ”、または電気信号 X_i が “ 0 ” で電気信号 Y_i が “ 1 ” であるときに、位相シフト $q600$ の出力を選択して出力する。位相変調器 $q600$ は、電気信号 Y_i が “ 1 ” であるときに光源 522 からの光信号の位相を $-\pi/2$ だけずらして出力し、信号 Y_i が “ 0 ” であるときに光源 522 からの光信号をそのまま通過させる。位相変調器 $q602$ は、電気信号 X_i が “ 1 ” であるときに位相変調器 $q601$ の出力の位相を $-\pi/2$ だけずらして出力し、信号 X_i が “ 0 ” であるときに位相変調器 $q601$ の出力をそのまま通過させる。第 9 の実施の形態と同様に、図 42 の構成によれば、OE 変換器なしで出力 C_{i+1} を得ることができる。

40

【 0 1 3 8 】

また、第 9、第 10 の実施の形態は、2 つの電気制御入力を利用することで 2 入力信号に対する簡単な演算を光ゲート側で実行することを可能とする。ただし、*pass(cross)* 動作において、出力ゲートにつながる電気制御ポートのみが制御された場合は位相が $(+\pi/2)$ だけシフトし、反対側の電気制御ポートのみが制御された場合は位相が $(-\pi/2)$ だけシフトするため、 $(X_i, Y_i) = (1, 0)$ 、 $(0, 1)$ の 2 入力パターンにおいて光ゲートの動作が異なってしまう。そのため図 41、図 42 の位相を用いた演算においては、この位相シフト量の食い違いを補償するために、図 21、図 23 にお

50

ける C_i から C_{i+1} の経路に位相変調器 520, q602 が追加され、このことが演算の遅延を増加させる原因となる。

【0139】

[第11の実施の形態]

2制御入力の pass/cross 型の光ゲートは光入力に対する演算にも適用が可能であり、この場合、図40に示した全加算器は図43に示すような構成に置き換えることができる。図43の全加算器は、強度情報が“1”の光信号を出力する光源510, 511と、pass/block 型の光ゲート512, 513と、pass/cross 型の光ゲート514~516と、OE変換器524~526とから構成される。

【0140】

OE変換器524, 525は、光信号 X_i を電気信号に変換する。OE変換器526は、光信号 Y_i を電気信号に変換する。なお、 X_i の代わりに光信号 Y_i をOE変換器524に入力してもよい。光源510, 511と光ゲート512, 513と光ゲート514~516の動作は第9の実施の形態で説明したとおりである。

【0141】

また、図41に示した全加算器は図44に示すような構成に置き換えることが可能である。図44の全加算器は、位相情報が“1”の光信号を出力する光源517と、位相シフタ518と、pass/cross 型の光ゲート519と、pass/-shift 型の位相変調器520, 521と、OE変換器528, 529とから構成される。

【0142】

OE変換器528は、光信号 X_i を電気信号に変換する。OE変換器529は、光信号 Y_i を電気信号に変換する。光源517と位相シフタ518と位相変調器520, 521と光ゲート519の動作は第9の実施の形態で説明したとおりである。

【0143】

[第12の実施の形態]

2制御入力の pass/cross 型の光ゲートを光入力に対する演算に適用すると、図42に示したパタンマッチ回路は図45に示すような構成に置き換えることができる。図45のパタンマッチ回路は、位相情報が“1”の光信号を出力する光源522と、pass/cross 型の光ゲート523と、OE変換器530, 531とから構成される。

【0144】

OE変換器530, 531は、それぞれ光信号 X_i , Y_i を電気信号に変換する。光源522と光ゲート523と位相シフタq601と位相変調器q600, q602の動作は第10の実施の形態で説明したとおりである。

【産業上の利用可能性】

【0145】

本発明は、光回路、または光回路と電気回路の混合回路で行う論理演算に適用することができる。

【符号の説明】

【0146】

1...論理ブロック、2~5, 6a~6c, 7, 8a, 8b, 9~11, 13~22, 76, 78~80...論理回路、12, 18, 23, 204, 509, 524~526, 528, 529, 530, 531...OE変換器、50, 60, 64, 71, 81, 500, 501, 510, 511, 517, 522...光源、51~59, 61~63, 65, 66, 72, 82, 83, 508, 512~516, 519, 523...光ゲート、67~70, q70, 84, 502~507, 520, 521, q600, q602...位相変調器、75, 518, q601...位相シフタ、200, 206...電気回路、201, 203...光回路。

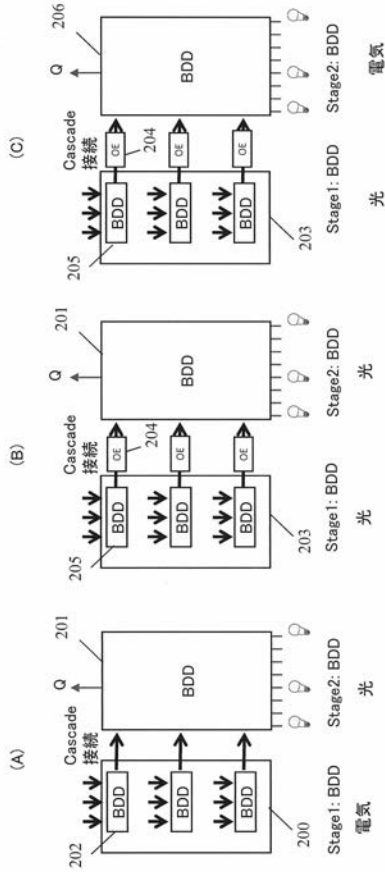
10

20

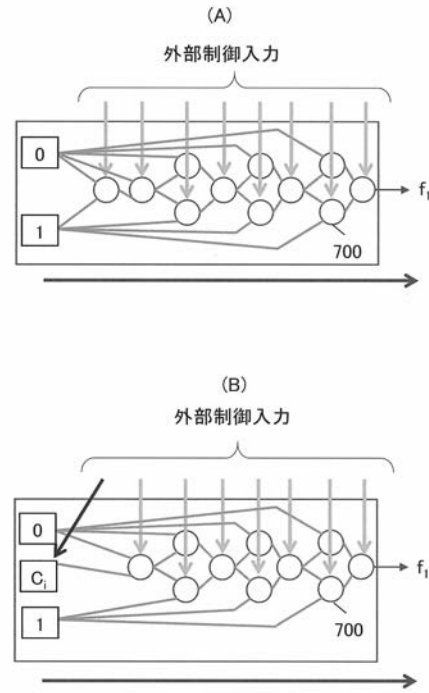
30

40

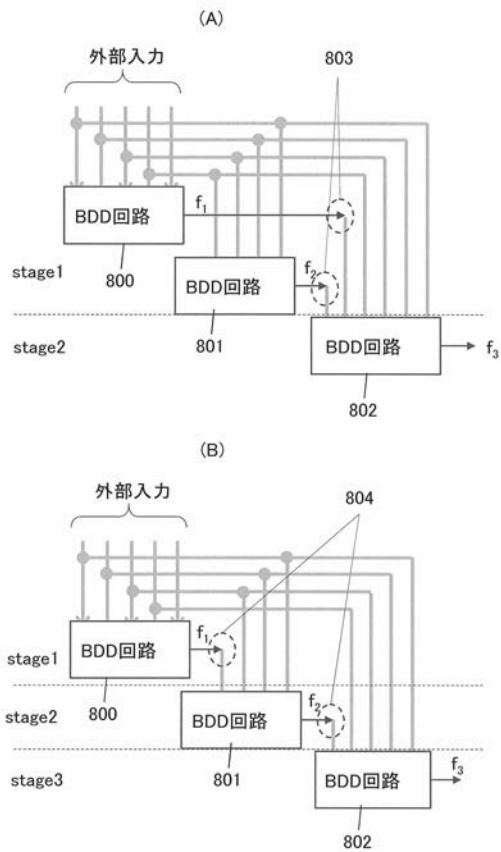
【 図 1 】



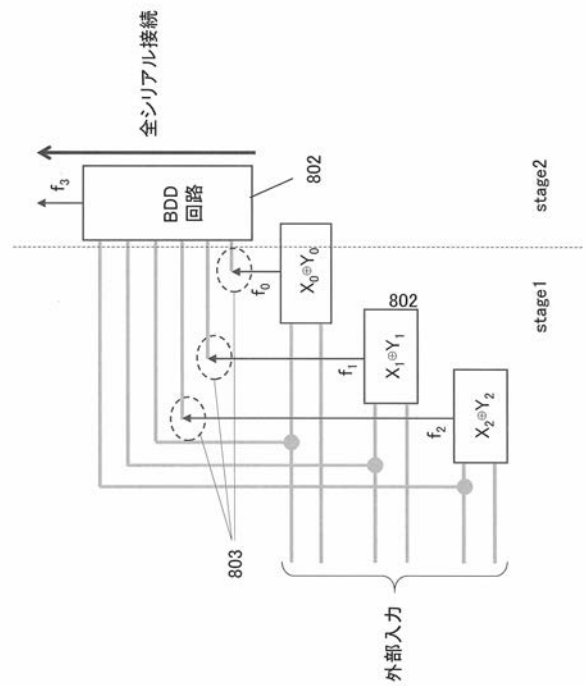
【 図 2 】



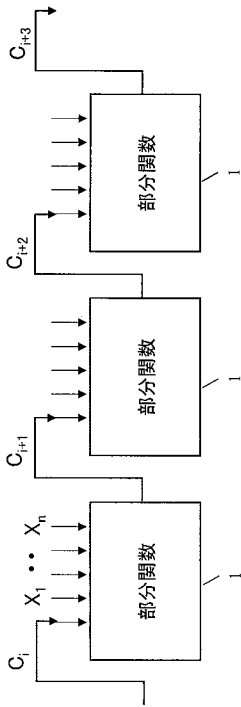
【 図 3 】



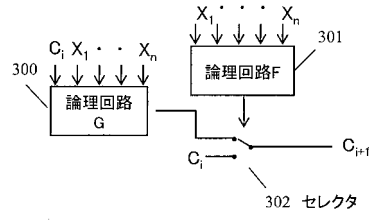
【 図 4 】



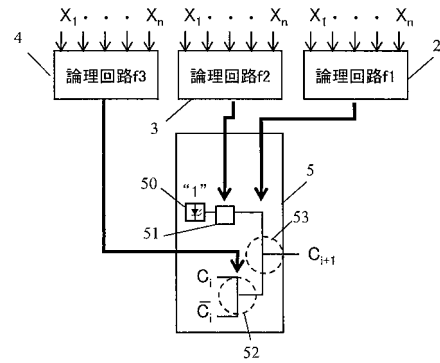
【図5】



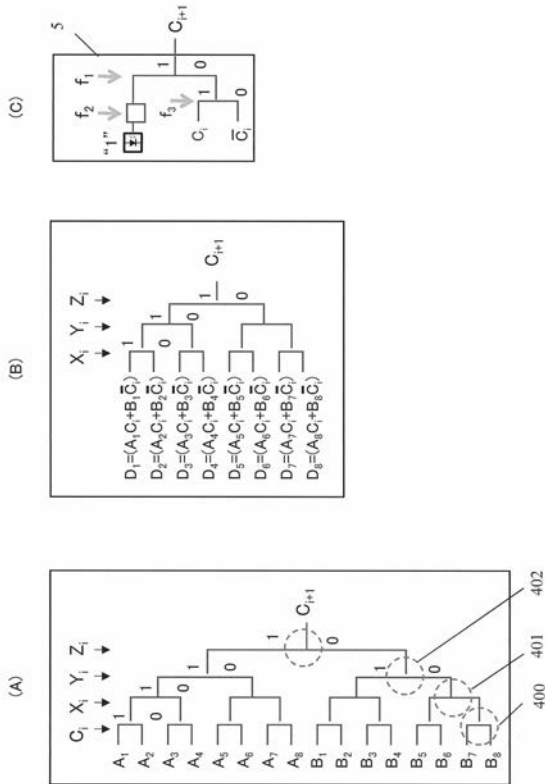
【図6】



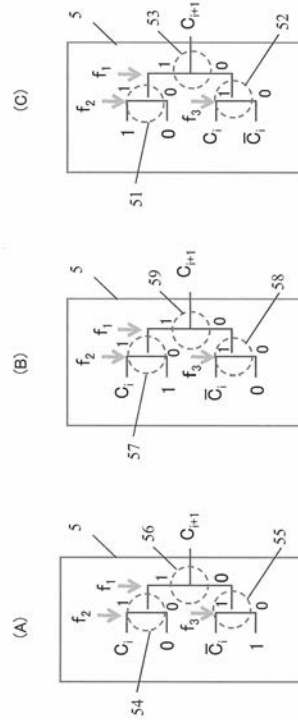
【図7】



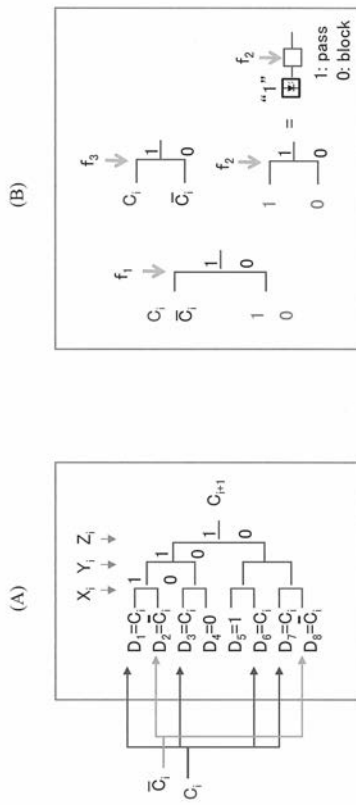
【図8】



【図9】



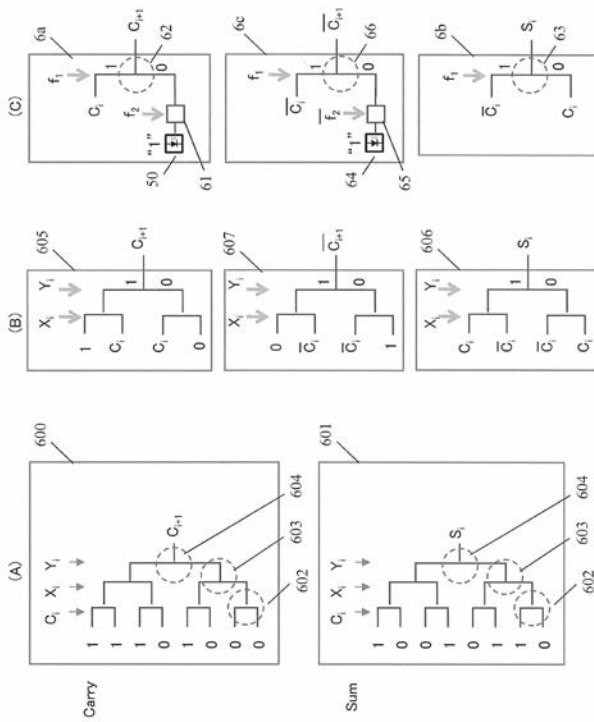
【 図 1 0 】



【 図 1 1 】

X_i	Y_i	Z_i	C_{i+1}	f_1	f_3	f_2
1	1	1	C_i	1	1	-
1	1	0	\bar{C}_i	1	0	-
1	0	1	C_i	1	1	-
1	0	0	1	0	-	1
0	1	1	0	0	-	0
0	1	0	C_i	1	1	-
0	0	1	C_i	1	1	-
0	0	0	\bar{C}_i	1	0	-

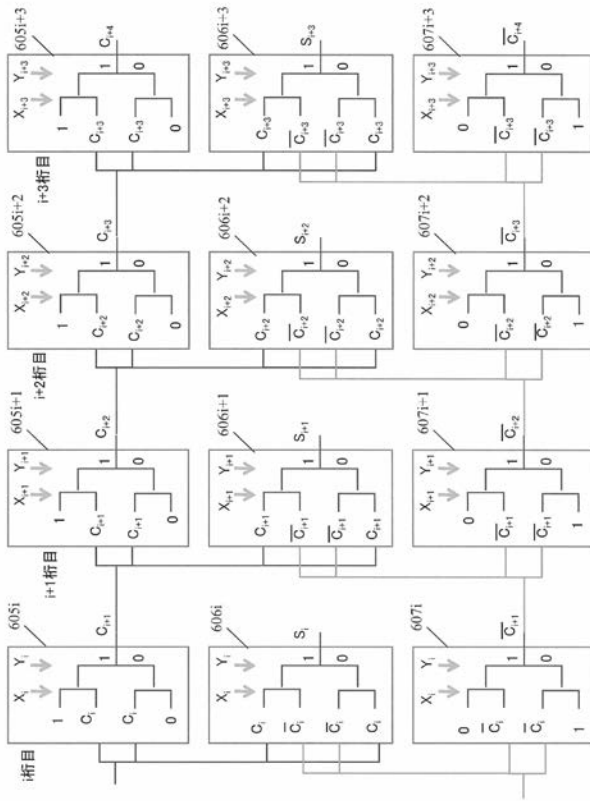
【 図 1 2 】



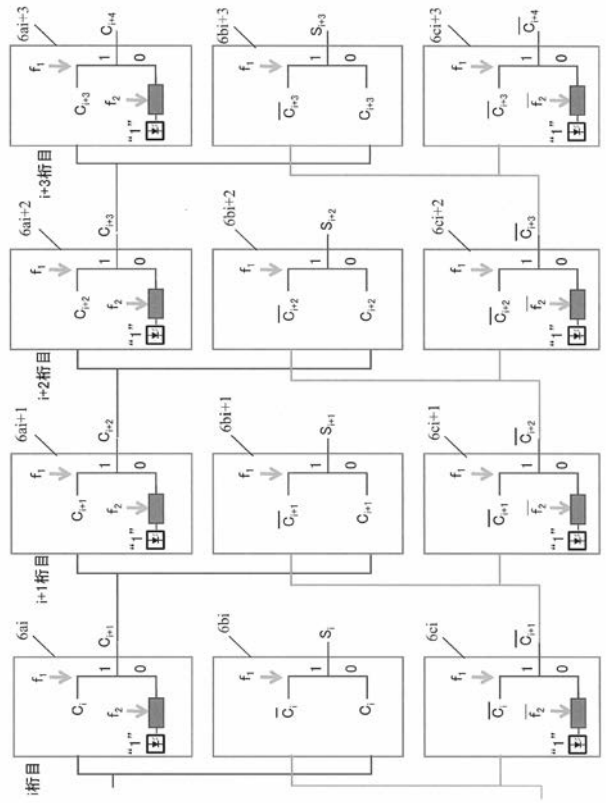
【 図 1 3 】

X_i	Y_i	C_{i+1}	S_i	\bar{C}_{i+1}	f_1	f_2	\bar{f}_2
1	1	1	C_i	0	0	1	0
1	0	C_i	\bar{C}_i	1	-	-	-
0	1	C_i	\bar{C}_i	1	-	-	-
0	0	0	C_i	1	0	0	1

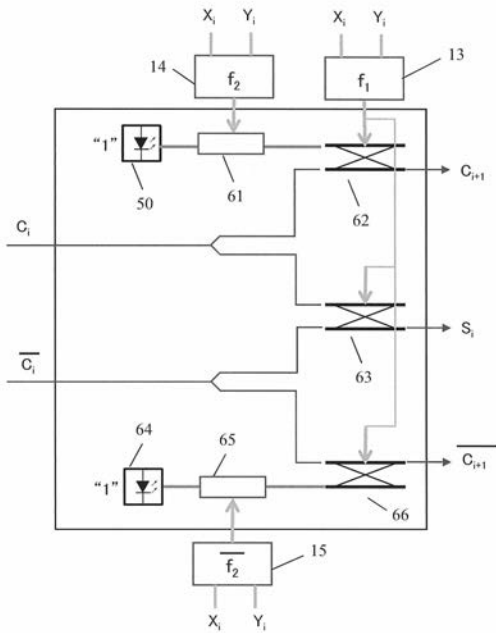
【 図 1 4 】



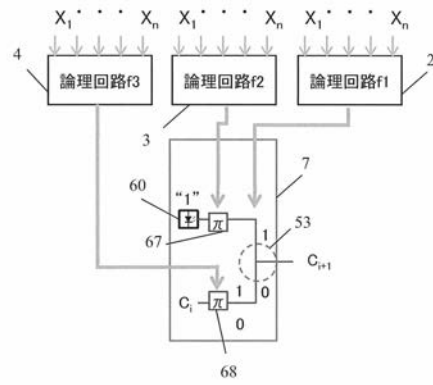
【 図 1 5 】



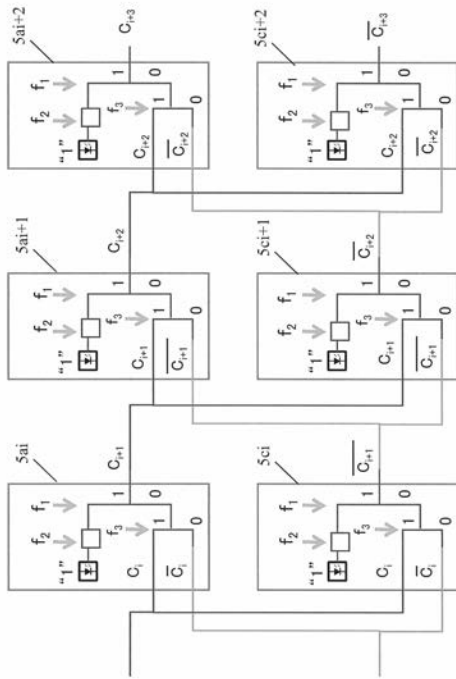
【 図 1 6 】



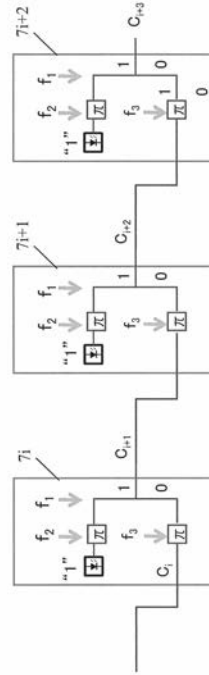
【 図 1 7 】



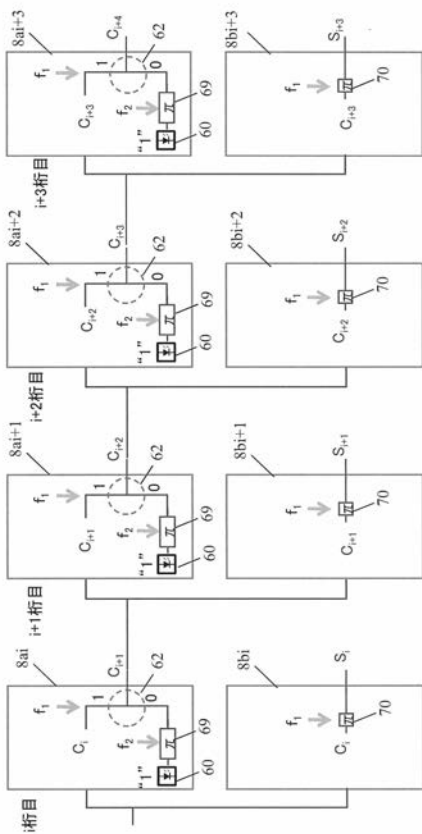
【図 18】



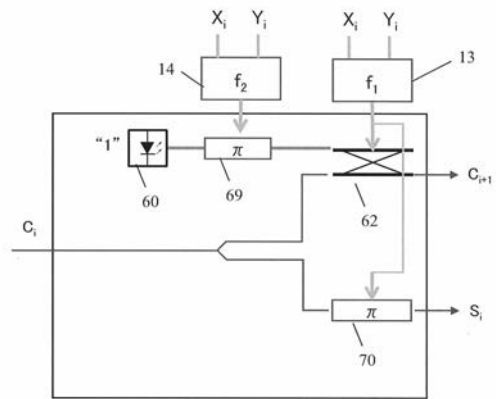
【図 19】



【図 20】



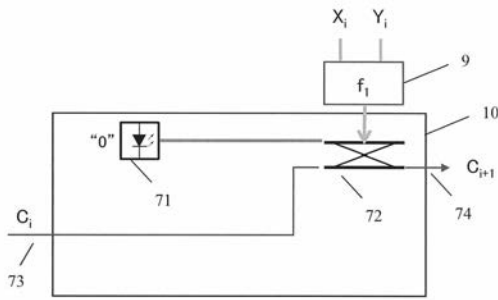
【図 21】



【図 22】

	f_1	1	0	0	1
C_{i+1}	1	1	0	0	1
Y_i	1	0	0	1	0
X_i	1	1	0	0	0

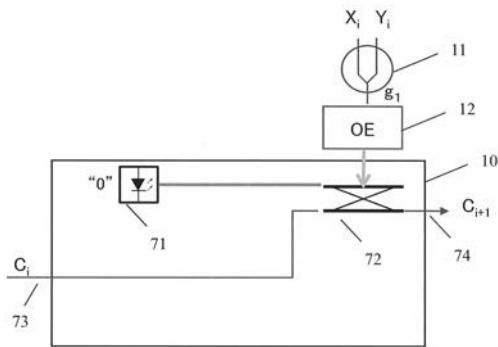
【 図 2 3 】



【 図 2 5 】

g_1'	1	0	0	1
g_1	0°	-	-	π
Y_i	0°	π	0°	π
X_i	0°	0°	π	π

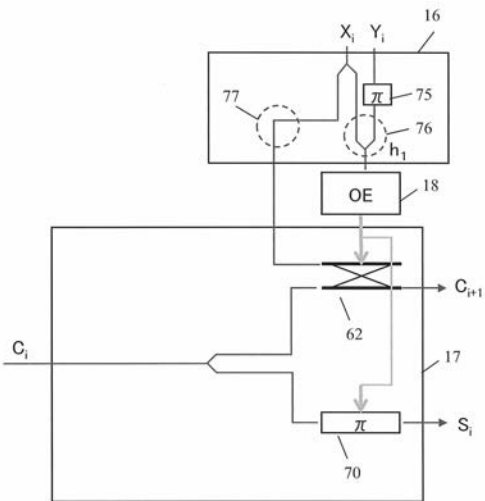
【 図 2 4 】



【 図 2 6 】

C_{i+1}	C_i	0	0	C_i
Y_i	0°	π	0°	π
X_i	0°	0°	π	π

【 図 2 7 】



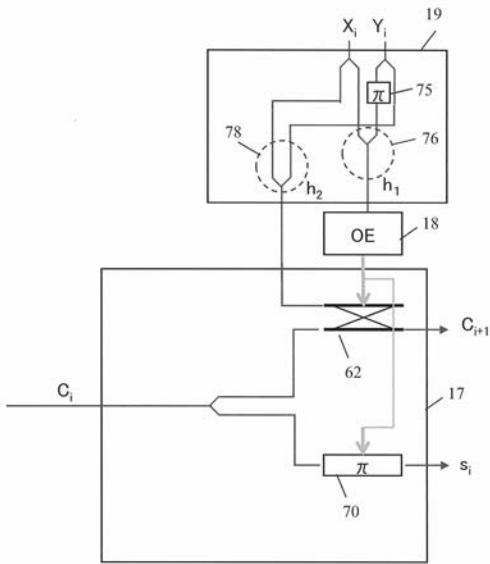
【 図 2 8 】

h_1'	0	1	1	0
$77'$	1	1	1	1
h_1	-	0°	π	-
77	0°	0°	π	π
Y_i	0°	π	0°	π
X_i	0°	0°	π	π

【 図 2 9 】

S_i	C_i	τ_i	τ_i	C_i
C_{i+1}	0°	C_i	C_i	π
Y_i	0°	π	0°	π
X_i	0°	0°	π	π

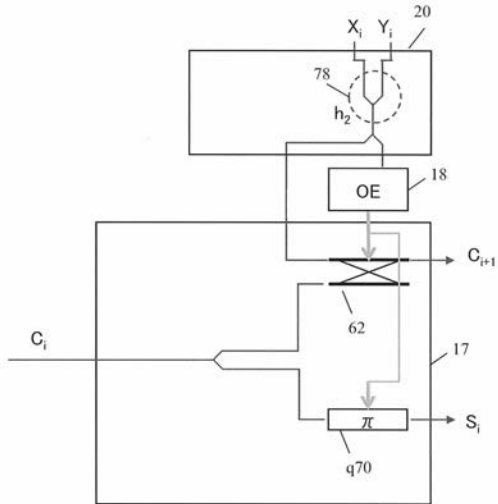
【図30】



【図31】

h_1'	0	1	1	0
h_2'	1	0	0	1
h_1	-	0°	π	-
h_2	0°	-	-	π
Y_i	0°	π	0°	π
X_i	0°	0°	π	π

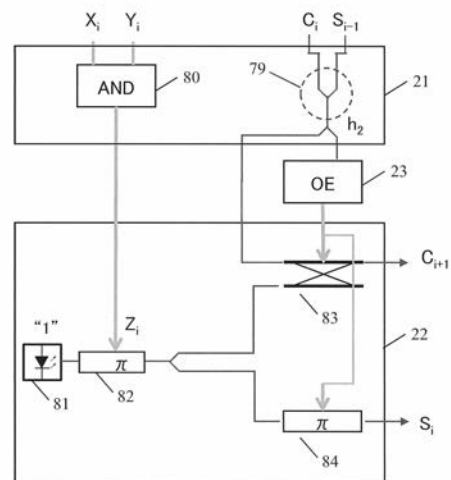
【図32】



【図33】

h_2'	1	0	0	1
h_2	0°	-	-	π
Y_i	0°	π	0°	π
X_i	0°	0°	π	π

【図34】



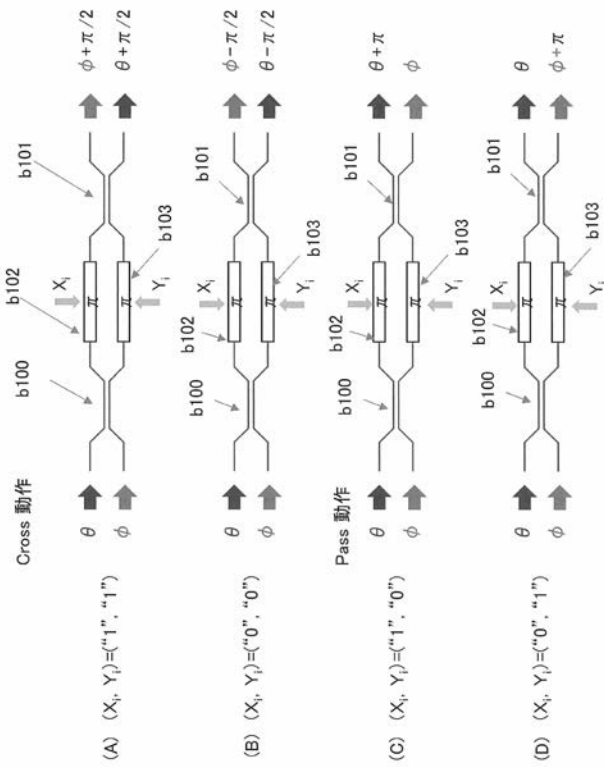
【 図 3 5 】

C_i	S_{i-1}	h_2	h_2'
0°	0°	0°	1
0°	π	-	0
π	0°	-	0
π	π	π	1

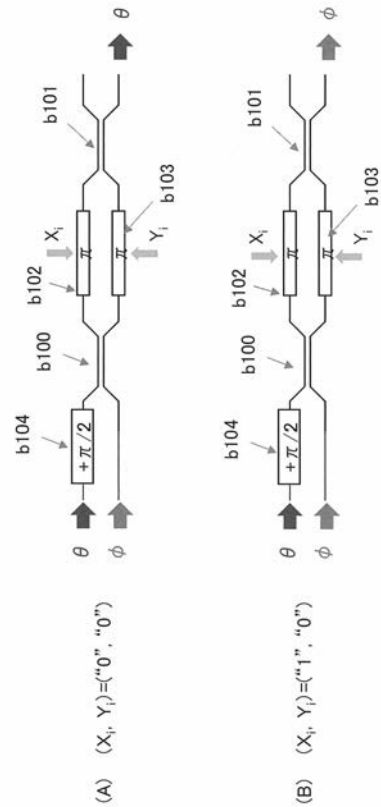
【 図 3 6 】

C_i	S_{i-1}	Z_i	C_{i+1}	S_i
0°	0°	0°	C_i	Z_i
0°	0°	π	C_i	Z_i
0°	π	0°	Z_i	Z_i
0°	π	π	Z_i	\bar{Z}_i
π	0°	0°	Z_i	Z_i
π	0°	π	Z_i	\bar{Z}_i
π	π	0°	C_i	Z_i
π	π	π	C_i	Z_i

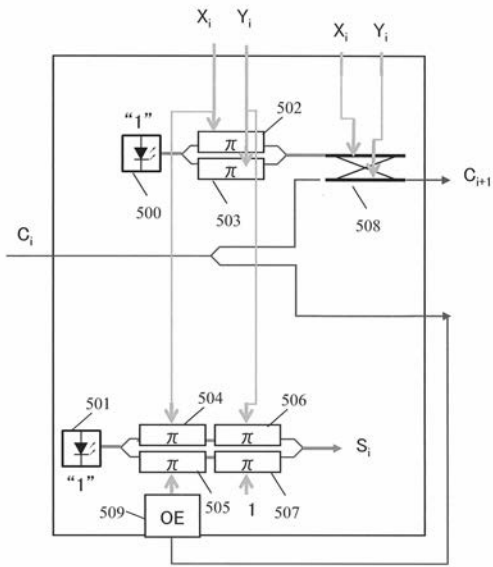
【 図 3 7 】



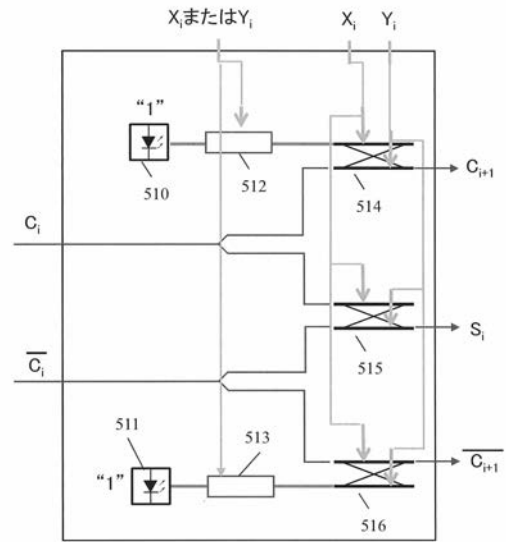
【 図 3 8 】



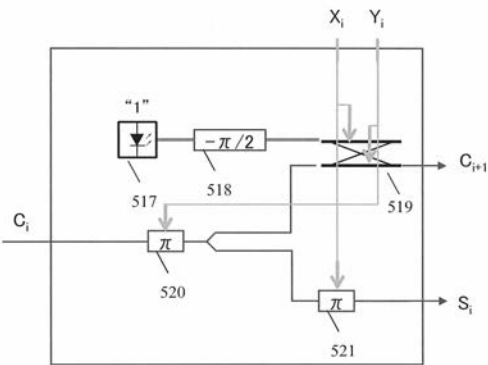
【 図 3 9 】



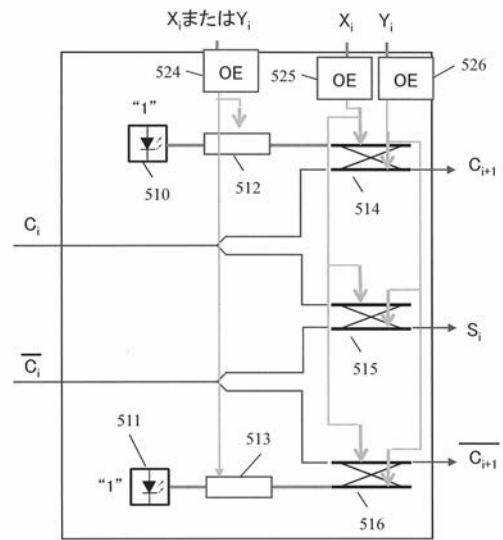
【 図 4 0 】



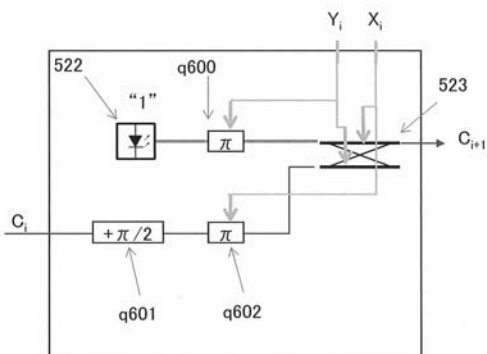
【 図 4 1 】



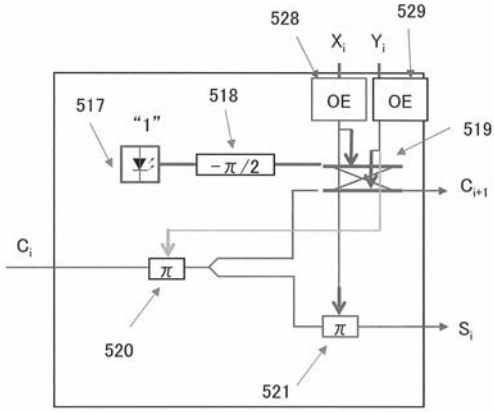
【 図 4 3 】



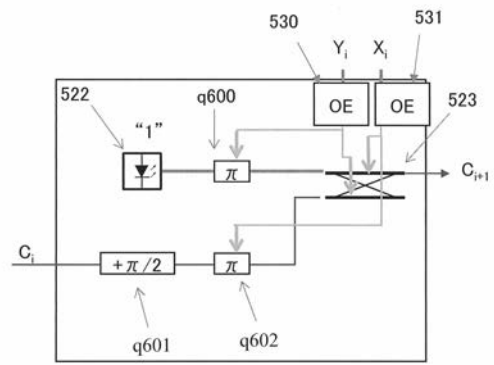
【 図 4 2 】



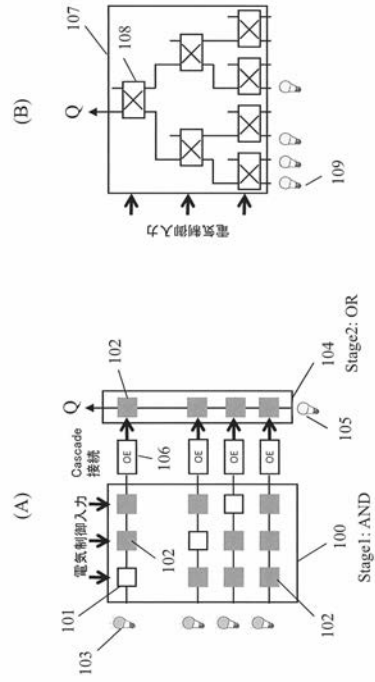
【 図 4 4 】



【 図 4 5 】



【 図 4 6 】



フロントページの続き

特許法第30条第2項適用申請有り [公開の事実1] 1 発行日:2016年3月3日 2 刊行物:
2016年 第63回 応用物理学会春季学術講演会 講演予稿集 03-624頁 3 公開者:新家 昭
彦、石原 亨、井上 弘士、野崎 謙悟、納富 雅也 [公開の事実2] 1 発行日:2016年6月9日
2 刊行物:電子情報通信学会技術研究報告Vol.116 No.93 109-114頁 3 公開
者:石原 亨、新家 昭彦、井上 弘士、野崎 謙悟、納富 雅也 [公開の事実3] 1 発行日:201
6年7月10日 2 刊行物:16th International Forum on MPSoC f
or Software-defined Hardware(MPSoC`16)(MPSoC ソフトウェ
ア ディファインド ハードウェア 第16回 国際フォーラム 配布資料) 3 公開者:新家 昭彦 [公
開の事実4] 1 発行日:2016年7月10日 2 刊行物:16th Internationa
l Forum on MPSoC for Software-defined Hardware(MPS
oC`16)(MPSoC ソフトウェア ディファインド ハードウェア 第16回 国際フォーラム 配布
資料) 3 公開者:石原 亨

(出願人による申告)平成28年度、国立研究開発法人科学技術振興機構、新たな光機能や光物性の発現・利活
用を基軸とする次世代フォトリソグラフィの基盤技術、産業技術力強化法第19条の適用を受ける特許出願

(72)発明者 納富 雅也

東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

(72)発明者 野崎 謙悟

東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

(72)発明者 石原 亨

京都府京都市左京区吉田本町36番地1 国立大学法人京都大学内

Fターム(参考) 2K102 BA08 BB04 BC04 BD01 DC07 DC08 EA21 EB20