

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-5825
(P2018-5825A)

(43) 公開日 平成30年1月11日(2018.1.11)

(51) Int.Cl.	F I	テーマコード (参考)
G06E 3/00 (2006.01)	G06E 3/00	5K102
H04B 10/80 (2013.01)	H04B 9/00 380	

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2016-136033 (P2016-136033)
(22) 出願日 平成28年7月8日 (2016.7.8)

(出願人による申告) 平成27年度、国立研究開発法人科学技術振興機構、新たな光機能や光物性の発現・利活用を基軸とする次世代フォトニクスの中核技術、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区大手町一丁目5番1号
(71) 出願人 504132272
国立大学法人京都大学
京都府京都市左京区吉田本町36番地1
(74) 代理人 100098394
弁理士 山川 茂樹
(74) 代理人 100153006
弁理士 小池 勇三
(74) 代理人 100064621
弁理士 山川 政樹
(72) 発明者 新家 昭彦
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

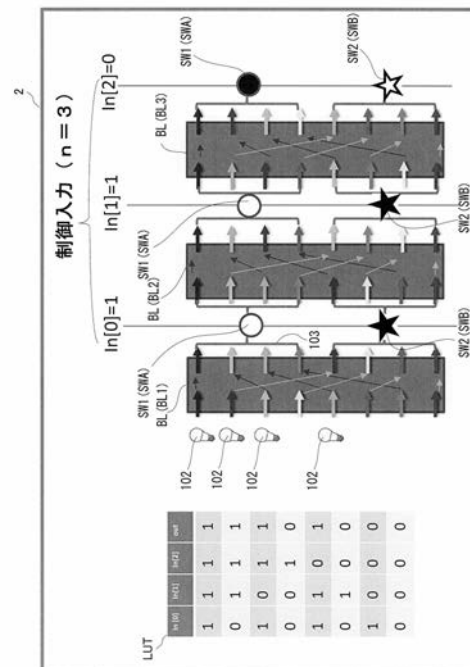
(54) 【発明の名称】 光演算器

(57) 【要約】

【課題】 演算の種類の設定を自由に変更できるという特徴を損なうことなく、光素子の数を大幅に削減し、低消費電力で駆動できるようにする。

【解決手段】 複数の光源102と複数の光スイッチSW1、SW2と、複数の光源102と複数の光スイッチSW1、SW2との間および複数の光スイッチSW1、SW2間を接続する光回路103とを備えた構成において、光スイッチSW1、SW2として、1つの制御入力に関連する複数の経路を束ねて光信号の遮断または通過を行うことが可能な光スイッチSWA、SWBを使用する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数の光源と、複数の光スイッチと、前記複数の光源と前記複数の光スイッチとの間および前記複数の光スイッチ間を接続する光回路とを備え、制御入力の組み合わせに応じて前記複数の光スイッチを駆動することによって前記光回路を通して1つの出力結果を出力する光演算器において、

前記光スイッチは、

1つの制御入力に関連する複数の経路を束ねて光信号の遮断または通過を行うことを特徴とする光演算器。

【請求項 2】

請求項 1 に記載された光演算器において、

前記光スイッチは、

前記複数の経路からくる光信号を1点に集光する集光手段と、

前記集光手段によって集光された光信号を通過または遮断する手段とを備えることを特徴とする光演算器。

【請求項 3】

請求項 1 に記載された光演算器において、

前記複数の光源は、

互いに異なる波長の光源であり、

前記光回路は、

前記複数の経路からの光信号を合波した後に前記光スイッチに送る合波器と、

前記光スイッチを通過した光信号を波長ごとに分波する分波器とを含む

ことを特徴とする光演算器。

【請求項 4】

請求項 3 に記載された光演算器において、

前記光回路は、

1つの制御入力に関連する複数の経路の光信号を遅延させる遅延回路を含み、

前記光スイッチは、

前記光回路を通過してきた光信号が遅延しているか否かで信号を通過または遮断する手段を備える

ことを特徴とする光演算器。

【請求項 5】

請求項 3 又は 4 に記載された光演算器において、

前記合波器及び前記分波器は、

アレイ導波路回折格子が用いられている

ことを特徴とする光演算器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、論理演算を光回路、または光回路と電気回路との混合回路で行う光演算器に関する。

【背景技術】**【0002】**

現在の電子演算回路は、処理速度を向上させるために、チップサイズや素子サイズを極限まで小さくする工夫がなされている。これは、回路内の抵抗 (R) とキャパシタンス (C) などが信号の伝搬を大きく遅延しているため、演算速度を上げるにはチップサイズや素子サイズを小さくするしかないためである。

【0003】

このため、狭面積の論理ブロックやコアに素子を詰め込み、マルチコア・メニーコア化などの工夫がなされている。しかし、それらをつなぐための配線が新たな「遅延」を生み

10

20

30

40

50

、演算の高速化に限界が見えつつある。

【0004】

一方、光通信などで用いられる光配線や光パスゲートは、その配線経路内のCやRに無依存で光信号を伝播させることができる。また、ナノフォトニクスの進展により、光パスゲートの消費エネルギーは飛躍的に改善され、そのエネルギーコスト[J/bit]は、CMOSゲートと光で同程度のレベルになりつつある。そのため、チップ内やチップ間の通信を光化する様々な研究がなされている。

【0005】

図11を用いてパスゲートを組み合わせた演算回路における演算プロセスについて説明する。2×1(2分岐)のパスゲート101をツリー状に接続すると、n桁の制御入力に対する真理値表(Look up table(LUT):図12参照)を再現する演算回路100を構成することができる。この演算回路100は、n桁の制御入力に対する全ての組み合わせに対し、「0」か「1」の信号を出力するもので、n桁の制御入力に対する全ての1ビット出力演算を実行する。

10

【0006】

この演算回路100において、パスゲート101としてCMOSゲートなどのパスゲート101Aを用いた演算回路100Aでは、図13に示されるように、n個のゲートのC、Rが連なるため、経路の応答速度が n^2 で劣化する。そのため、このような演算回路100A(電気回路)では、制御入力の桁nを $n < 4 \sim 6$ としてしか用いられない。

20

【0007】

図14に、パスゲート101として光パスゲート101Bを用い、ツリー構造の葉に相当する信号入力ポートに光源102を配置した例を示す。この演算回路100(100B)では、光パスゲート101Bを駆動することによって、ツリー構造の幹に相当する出力ポートから、 2^n 個の制御入力の組み合わせに対応する1つの光信号(1つの出力結果)を得ることができる。

【0008】

なお、この演算回路100Bにおいて、光パスゲート101Bは光信号を遮断または透過する2つの光パス(光スイッチ)SW1, SW2を備えており、複数の光源102と複数の光パスゲート101Bとの間および複数の光パスゲート101B間は光回路103によって接続される。

30

【0009】

この演算回路100Bでは、光源102の配置により、真理値表(LUT)の内容を変更できることから、演算の種類の設定を自由に変更できるという特徴を有する。また、光の伝播は電氣的なCRに依存しないため、これにより、CRに律速されない論理演算が可能となり、電気回路のレイテンシボトルネックが解消される。なお、この演算回路100Bにおいて、制御入力を電気信号とすれば、光回路と電気回路との混合回路で論理演算が行われるものとなり、制御入力を光信号とすれば、光回路のみで論理演算が行われるものとなる。

【先行技術文献】

【非特許文献】

40

【0010】

【非特許文献1】A. Tetsuya, "Photonic-Crystal Logic Devices Based on the Binary Decision Diagram," 信学会, エレクトロニクス(1), 386(2000)

【非特許文献2】S. Lin, "Demonstration of optical computing logics based on binary decision diagram," OPTICS EXPRESS 20, 1378 (2012)

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、図14に示されたような構成では、制御入力数の増大に伴って光スイッチ(光素子)の数が指数関数的に増大し、膨大な数の光素子を必要とする。このため、B

50

DD (Binary Decision Diagram) と呼ばれる手法により光素子の数を削減し回路を簡略化する方法が提案されている (例えば、非特許文献 1, 2 参照)。しかし、この方法では、特定用途の演算のみが取り扱えることになり、演算の種類の設定を自由に変更できる特徴が損なわれてしまう。

【0012】

本発明は、このような課題を解決するためになされたもので、その目的とするところは、演算の種類の設定を自由に変更できるという特徴を損なうことなく、光素子の数を大幅に削減し、低消費電力で駆動することができる光演算器を提供することにある。

【課題を解決するための手段】

【0013】

このような目的を達成するために本発明は、複数の光源 (102) と、複数の光スイッチ (SW1, SW2) と、複数の光源 (102) と複数の光スイッチ (SW1, SW2) との間および複数の光スイッチ間 (SW1, SW2) を接続する光回路 (103) とを備え、制御入力の組み合わせに応じて複数の光スイッチ (SW1, SW2) を駆動することによって光回路を (103) 通して1つの出力結果を出力する光演算器において、光スイッチ (SW1 (SWA), SW2 (SWB)) は、1つの制御入力に関連する複数の経路を束ねて光信号の遮断または通過を行うことを特徴とする。

【0014】

本発明において、光スイッチ (SWA, SWB) は、1つの制御入力に関連する複数の経路を束ねて光信号の遮断または通過を行う。これにより、制御入力を n 桁とした場合、光スイッチの数を $2 \times n$ 個に削減することが可能となる。また、遅延回路を用いるなどして、光スイッチの数を n 個に削減することも可能となる。このようにして、本発明では、演算の種類の設定を自由に変更できるという特徴を損なうことなく、光スイッチ (光素子) の数を大幅に削減し、低消費電力で駆動することができるようになる。

【0015】

なお、上記説明では、一例として、発明の構成要素に対応する図面上の構成要素を、括弧を付した参照符号によって示している。

【発明の効果】

【0016】

以上説明したことにより、本発明によれば、1つの制御入力に関連する複数の経路を束ねて1つの光スイッチによって光信号の遮断または通過を行うようにしたので、演算の種類の設定を自由に変更できるという特徴を損なうことなく、光素子の数を大幅に削減し、低消費電力で駆動することができるようになる、という効果が得られる。

【図面の簡単な説明】

【0017】

【図1】図1は、ツリー回路を構成する 2×1 (2分岐) の光パスゲートの2つの光パス (光スイッチ) をマークで表現した図である。

【図2】図2は、制御入力 (「0」, 「1」) と2つの光スイッチの通過 / 遮断の関係を示す図である。

【図3】図3は、1つの制御入力に関連する複数の経路を束ねて光の遮断または通過を行う光スイッチを用いた例 ($n = 3$ 段のケース) を示す図である。

【図4】図4は、 $n = 4$ 段のケースを示す図である。

【図5】図5は、信号経路の組み換えと信号を束ねる / 振り分ける機能をマトリックススイッチで実現した例を示す図である。

【図6】図6は、図3に示した演算回路で用いる光スイッチの一例を示す図である。

【図7】図7は、図3に示した演算回路で用いる光スイッチの別の例を示す図である。

【図8】図8は、波長を用いた合波・分波の入出力ポートが波長順に並ぶ合分波器を用いたときの構成を示す図である。

【図9】図9は、遅延回路を用いた構成を示す図である。

【図10】図10は、具体的な遅延量を示す図である。

10

20

30

40

50

【図 1 1】図 1 1 は、パスゲートを用いた演算回路を例示する図である。

【図 1 2】図 1 2 は、 n 桁の制御入力に対する真理値表を例示する図である。

【図 1 3】図 1 3 は、パスゲートとして CMOS ゲートなどを用いた場合の経路の応答速度の劣化を説明する図である。

【図 1 4】図 1 4 は、パスゲートとして光パスゲートを用いた演算回路を例示する図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。まず、実施の形態の説明に入る前に、本発明の概要について説明する。

10

【0019】

〔発明の概要〕

図 1 に、ツリー回路を構成する 2×1 (2 分岐) の光パスゲート 101B の 2 つの光パス (光スイッチ) をマークで表現した図を示す。この図では、光スイッチ SW1 を「 \square 」で表現し、光スイッチ SW2 を「 \square 」で表現している。また、この「 \square 」と「 \square 」において、「 \square 」, 「 \square 」は通過を意味し、「 \square 」, 「 \square 」は遮断を意味する。

【0020】

この例において、制御入力 $In[i]$ が「1」のとき、光スイッチ SW1 / SW2 は「 \square 」 / 「 \square 」とされ、制御入力 $In[i]$ が「0」のとき、光スイッチ SW1 / SW2 は「 \square 」 / 「 \square 」とされるものとする (図 2 参照)。

20

【0021】

このような n 個の制御入力を有するツリー回路では $2^n + 2^{n-1} + \dots + 2^1$ 個の光スイッチが必要となる。図 1 の例では、 $n = 3$ であるので、光スイッチ SW1, SW2 とし、 $2^3 + 2^2 + 2^1 = 14$ 個の光スイッチを必要としている。

【0022】

このツリー回路 1 において、もし光スイッチ SW1, SW2 が複数の信号をまとめて処理することが可能であれば (1 つの制御入力に関連する複数の経路を束ねて光信号の遮断または通過を行うことが可能であれば)、光スイッチ SW1, SW2 の数を $2 \times n$ 個に削減することができる (図 3 参照)。

【0023】

すなわち、図 1 に示したツリー回路 1 では、 $2^3 + 2^2 + 2^1 = 14$ 個の光スイッチを必要としていたのに対し、図 3 に示した演算回路 2 では、 $2 \times 3 = 6$ 個の光スイッチとすることができる。これにより、演算の種類の設定を自由に変更できるという特徴を損なうことなく、光スイッチ (光素子) の数を大幅に削減し、低消費電力で駆動することができるようになる。

30

【0024】

なお、ツリー回路 1 における光スイッチ SW1, SW2 と区別するために、この演算回路 2 で用いる光スイッチ SW1, SW2 を SWA, SWB とする。図 3 において、光スイッチ SWA を「 \square 」で表現し、光スイッチ SWB を「 \square 」で表現すること、「 \square 」, 「 \square 」は通過を意味し、「 \square 」, 「 \square 」は遮断を意味することは光スイッチ SW1, SW2 と同じである。

40

【0025】

この演算回路 2 は、光スイッチ SWA, SWB の前段に経路を組み替える素子と、信号を束ねる素子、後段に信号を振り分ける素子とを組み合わせれば実現可能である。図 3 に示した演算回路 2 では、光源 102 と 1 段目の光スイッチ SWA, SWB との間に機能ブロック BL1 を設け、1 段目の光スイッチ SWA, SWB と 2 段目の光スイッチ SWA, SWB との間に機能ブロック BL2 を設け、2 段目の光スイッチ SWA, SWB と 3 段目の光スイッチ SWA, SWB との間に機能ブロック BL3 を設けている。

【0026】

図 3 に示した演算回路 2 において、各機能ブロック BL は、信号を振り分ける機能 (経

50

路を組み替える機能)と信号を束ねる機能とを備えている。図4に $n = 4$ 段のケースを示す。各機能ブロックBLにおいて、束ねた信号を振り分ける際、その空間的な順序は、束ねる前後で同じとする。このようにすることにより、信号の振り分け方(ポートの入れ替え)は、各段の間で同じものを使用できる。

【0027】

図4の信号経路の組み換えと信号を束ねる/振り分ける機能は、図5に示される構成で実現できる。具体的には、経路の組み換えはマトリックススイッチMSで構成でき、光スイッチSWA, SWBで信号を空間的に重ね合わせずに伝播させることで、信号の空間的な順序を変えずに通過/遮断の制御を行うことができる。ただし、マトリックススイッチMSは一度適切に経路設定した後は動的に切り替える必要はないため光配線で作りこんでも良い。光配線の場合、交差が発生するので立体配線や方向性結合器を使うのが良い。

10

【0028】

〔実施の形態1〕

図6に図3に示した演算回路2で用いる光スイッチSWA, SWBの一例を示す。この例では、光スイッチSWA, SWBの領域を有する(「 \square 」, 「 \square 」の領域を有する)1つのスイッチを挿入するものとし、この1つのスイッチの「 \square 」, 「 \square 」の領域でそれぞれに係る経路をまとめて通過/遮断を行うようにしている。これにより、スイッチの数を削減することが出来るため、制御が簡便になる。

【0029】

〔実施の形態2〕

図7に図3に示した演算回路2で用いる光スイッチSWA, SWBの別の例を示す。この例では、レンズLNを用いて、光スイッチSWA, SWBの領域(「 \square 」, 「 \square 」の領域)に係る経路の光信号を1点に集光させ、その集光させた光信号を遮蔽壁(図示せず)によって通過または遮断するようにしている。1点に集光させることで、スイッチを小さくすることが可能となるため、低消費電力になる。

20

【0030】

集光部分に配置するスイッチは光を吸収するアブソーバや入射角とは異なる方向に散乱させるような拡散板やミラーであれば良い。スイッチ通過後はそれぞれの信号は異なる方向に進むため、分離することは容易である。また、もう一度レンズを挿入することで、各信号を平行にすることもできる。

30

【0031】

なお、この例ではレンズで1点に集光させるものとしたが、必ずしも1点に集光させる必要は無く、小型のスイッチでまとめて通過遮断を制御できる程度に光が局所的な領域を通過するようにすれば良い。

【0032】

〔実施の形態3〕

実施の形態3では、波長多重を用い、複数の信号を束ねて光スイッチSWA, SWBを通過させ、スイッチの大きさ・動作パワーを削減させるようにする。図8に、波長を用いた合波・分波の入出力ポートが波長順に並ぶ合分波器を用いたときの構成を示す。

【0033】

この構成において、複数の光源102は、互いに異なる波長の光源とされている。また、光回路103は複数の経路からの光信号を合波した後に光スイッチSWA, SWBへ送る合波器と、光スイッチSWA, SWBを通過した光信号を波長ごとに分波する分波器とを含む。この合波器と分波器は各機能ブロックBLに設けられている。

40

【0034】

この場合、信号の振り分け方(ポートの入れ替え)は、各段の間で異なるものとなるため、図5のマトリックススイッチMSの設定を変更する。この場合もスイッチを用いずに光配線で経路を作成しても良い。また、合波器及び分波器としては、アレイ導波路回折格子(AWG(arrayed-waveguide grating))を用いると良い。

【0035】

50

〔実施の形態４〕

図８に示した構成において、更にタイミングをずらして経路に信号を伝搬させることにより、光スイッチSWA、SWBの機能を１つにまとめることも可能である。

【００３６】

例えば、図９に示すように、遅延回路DL(DL0(遅延回路０)～DL3(遅延回路３))を用いた構成とする。この構成において、隣接する遅延回路DL間には、１つの光スイッチSWCを配置する。この光スイッチSWCは、入力が「１」のときに先行／遅行する信号を通過／遮断、入力が「０」のときに先行／遅行する遮断／通過させるよう動作する。

【００３７】

10

また、遅延回路DL0、DL1、DL2、DL3は、真理値表のIn[0]、In[1]、In[2]、In[3]において「０」の位置に対応する入力信号(制御入力「０」に関連する複数の経路の光信号)を、「１」の位置に対応する入力信号(制御入力「１」に関連する複数の経路の光信号)よりも１ビット以上遅延させるものとする。具体的な遅延量を図１０に示す。図１０において、２重丸は１ビット分の時間遅延線を示しており、１重丸は、２重丸の遅延分を補償するものである。

【００３８】

これにより、例えばIn[0]、In[1]、In[2]、In[3]への入力が、「０」、「０」、「１」、「１」の場合、図９に示されるように、全てのスイッチSWCを通過できる信号は、遅延回路DL0への入力が上から４番目の信号のみ、となる。この制御入力と信号出力との関係は演算の種類に対応しており、制御入力のための光源配置により変更が可能、つまり、光源配置により演算の種類を変更することができる回路となっている。また、光スイッチの数をn個に削減することができる。

20

【００３９】

以上の回路は、電気回路とは全く異なる手法で素子数を削減し、制御入力のための光源配置により演算の種類を自由に変更でき、光の伝搬だけで演算が完了することから、電子回路では困難な超低レイテンシ演算を提供し、動作周波数が頭打ち状態になりつつある電子回路の問題を解決することを可能とする。

【００４０】

〔実施の形態の拡張〕

30

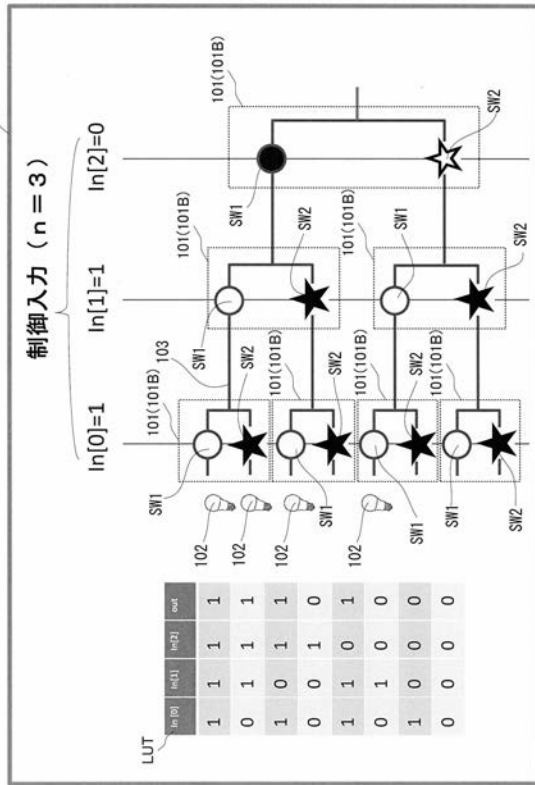
以上、実施の形態を参照して本発明を説明したが、本発明は上記の実施の形態に限定されるものではない。本発明の構成や詳細には、本発明の技術思想の範囲内で当業者が理解し得る様々な変更をすることができる。

【符号の説明】

【００４１】

２…演算回路、SWA、SWB、SWC…光スイッチ(光素子)、BL(BL1～BL4)…機能ブロック、MS…マトリックススイッチ、DL(DL0～DL3)…遅延回路。101(101B)…光パスゲート、102…光源、103…光回路、LUT…真理値表。

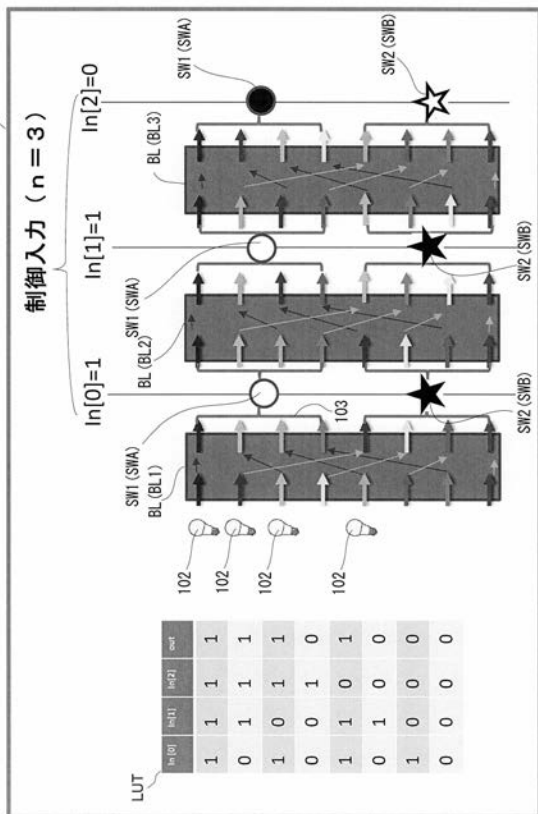
【図1】



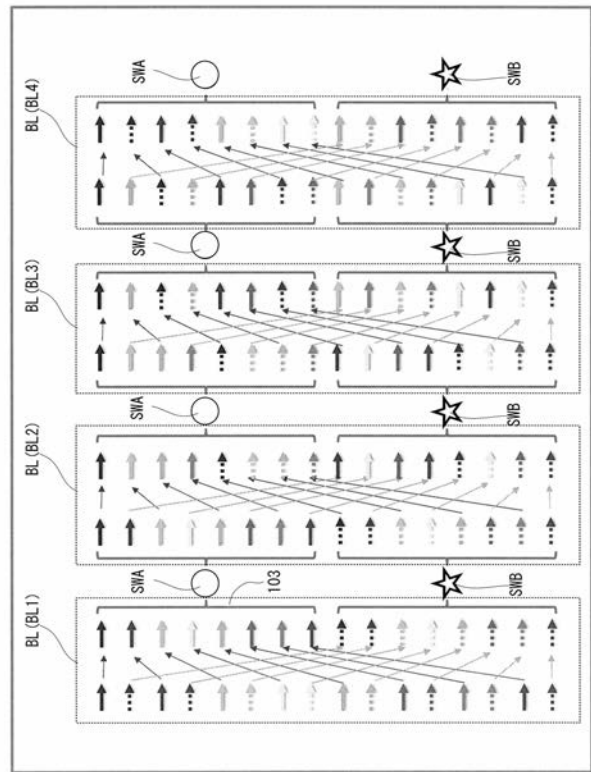
【図2】

in	通過	遮断
1	○	★
0	★	●

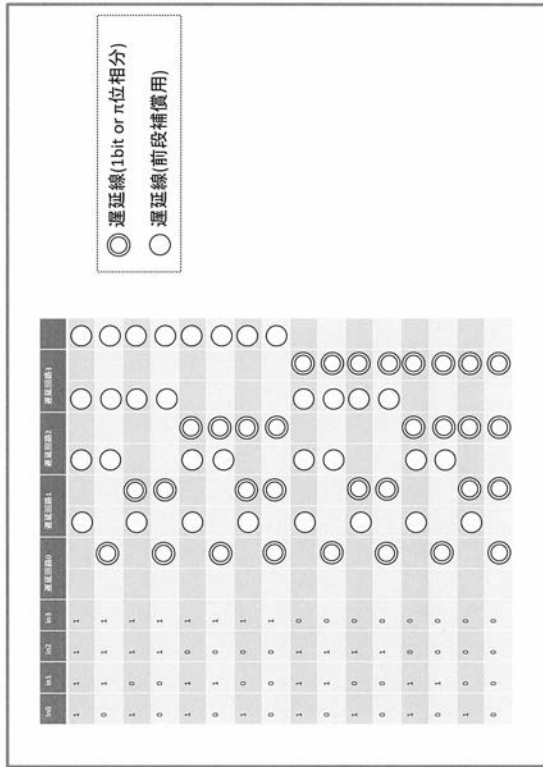
【図3】



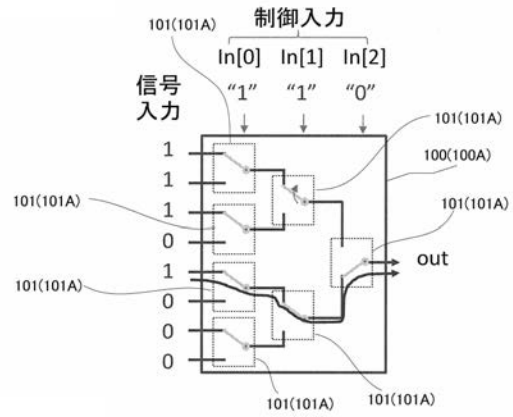
【図4】



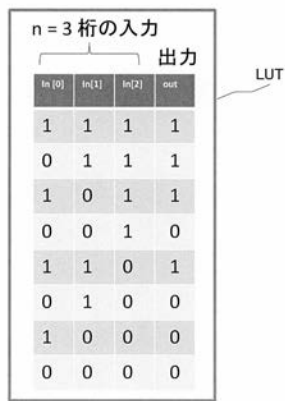
【図 1 0】



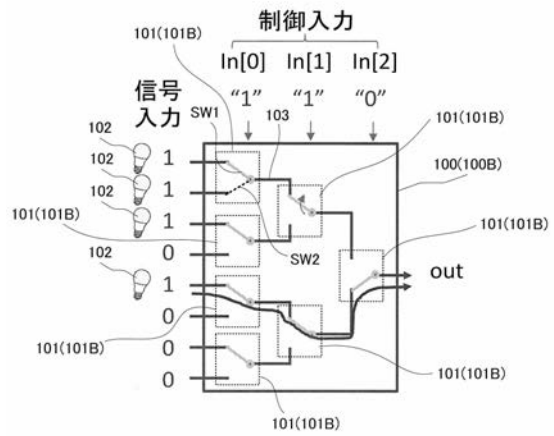
【図 1 1】



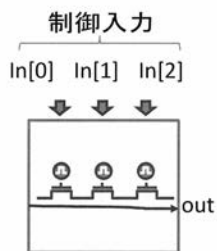
【図 1 2】



【図 1 4】



【図 1 3】



フロントページの続き

- (72)発明者 納富 雅也
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 野崎 謙悟
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 倉持 栄一
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 石原 亨
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- Fターム(参考) 5K102 AA15 AB15 AD01 NA01 PD11 PH45 PH47 PH48 RB01