

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-6646  
(P2018-6646A)

(43) 公開日 平成30年1月11日(2018.1.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/861 (2006.01)	HO 1 L 29/91 K	4M104
HO 1 L 29/868 (2006.01)	HO 1 L 29/91 F	
HO 1 L 29/872 (2006.01)	HO 1 L 29/86 3O1D	
HO 1 L 21/329 (2006.01)	HO 1 L 29/86 3O1F	
HO 1 L 29/06 (2006.01)	HO 1 L 29/86 3O1P	

審査請求 未請求 請求項の数 10 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2016-134310 (P2016-134310)  
(22) 出願日 平成28年7月6日(2016.7.6)

(出願人による申告)平成26年度、独立行政法人新エネルギー・産業技術総合開発機構 S I P (戦略的イノベーション創造プログラム) / 次世代パワーエレクトロニクス / S i Cに関する拠点型共通基盤技術開発 / S i C次世代パワーエレクトロニクスの統合的研究開発に係る委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 504132272  
国立大学法人京都大学  
京都府京都市左京区吉田本町36番地1  
110001427  
(74) 代理人 特許業務法人前田特許事務所  
(72) 発明者 木本 恒暢  
京都府京都市西京区京都大学桂 国立大学  
法人京都大学大学院工学研究科内  
(72) 発明者 丹羽 弘樹  
京都府京都市西京区京都大学桂 国立大学  
法人京都大学大学院工学研究科内  
(72) 発明者 須田 淳  
京都府京都市西京区京都大学桂 国立大学  
法人京都大学大学院工学研究科内

最終頁に続く

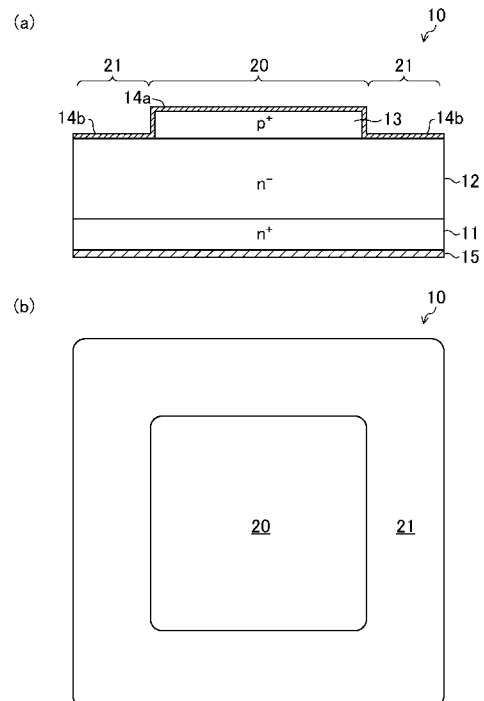
(54) 【発明の名称】 S i C半導体素子及びその製造方法

(57) 【要約】

【課題】オン電圧の低い、高耐圧・低損失の炭化珪素 ( S i C ) 半導体素子、及びその製造方法を提供する。

【解決手段】本発明の S i C 半導体素子 1 0 は、第 1 導電型の S i C 基板 1 1 の主面上に、 P i N ダイオードが形成された第 1 領域と、ショットキーバリアダイオードが形成された第 2 領域 2 1 とが並列して形成されており、 S i C 基板の主面上に、第 1 導電型の S i C からなる耐圧維持層 1 2 が形成され、第 1 領域 2 0 において、耐圧維持層 1 2 上に、第 2 導電型の S i C からなるエピタキシャル層 1 3 が選択的に形成され、かつ、エピタキシャル層上に、オーミック接合された第 1 電極 1 4 a が形成されており、第 2 領域 2 1 において、耐圧維持層 1 2 上に、ショットキー接合された第 2 電極 1 4 b が形成され、第 1 電極 1 4 a 及び第 2 電極 1 4 b は電氣的に導通している。

【選択図】図 2



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の SiC 基板の一方の主面上に、PIN ダイオードが形成された第 1 領域と、ショットキーバリアダイオード (SBD) が形成された第 2 領域とが並列して形成された SiC 半導体素子であって、

前記 SiC 基板の一方の主面上に、第 1 導電型の SiC からなる耐压維持層が形成されており、

前記第 1 領域において、前記耐压維持層上に、第 2 導電型の SiC からなるエピタキシャル層が選択的に形成され、かつ、前記エピタキシャル層上に、オーミック接合された第 1 電極が形成されており、

前記第 2 領域において、前記耐压維持層上に、ショットキー接合された第 2 電極が形成されており、

前記 SiC 基板の他方の主面上に、第 3 電極が形成されており、

前記第 1 電極及び前記第 2 電極は、電氣的に導通している、SiC 半導体素子。

## 【請求項 2】

前記第 1 領域の幅を  $P$ 、前記耐压維持層の厚みを  $d$  としたとき、 $P/d \geq 1$  を満たしている、請求項 1 に記載の SiC 半導体素子。

## 【請求項 3】

前記第 1 領域に並列する前記第 2 領域の幅を  $S$  としたとき、 $P \geq S$  を満たしている、請求項 2 に記載の SiC 半導体素子。

## 【請求項 4】

前記第 2 領域は、平面視で、前記第 1 領域を取り囲んで形成されている、請求項 1 ~ 3 の何れかに記載の SiC 半導体素子。

## 【請求項 5】

前記第 1 領域と前記第 2 領域との境界に沿って、前記耐压維持層の表面に、前記エピタキシャル層よりも低濃度の第 2 導電型の電界緩和領域が形成されている、請求項 1 に記載の SiC 半導体素子。

## 【請求項 6】

前記 PIN ダイオードは、メサ型構造をなしている、請求項 1 に記載の SiC 半導体素子。

## 【請求項 7】

前記第 2 領域において、前記耐压維持層の表面に、複数個の第 2 導電型のバリア領域が成され、前記 SBD は、接合障壁制御ショットキー構造をなしている、請求項 1 に記載の SiC 半導体素子。

## 【請求項 8】

請求項 1 ~ 7 の何れかに記載の SiC 半導体素子の製造方法であって、

第 1 導電型の SiC 基板の一方の主面上に、第 1 導電型の SiC からなる耐压維持層をエピタキシャル成長で形成する工程 (a) と、

前記耐压維持層上に、第 2 導電型の SiC からなるエピタキシャル層をエピタキシャル成長で形成する工程 (b) と、

前記エピタキシャル層の一部をエッチングにより選択的に除去して、前記耐压維持層を露出する工程 (c) と、

前記エピタキシャル層上にオーミック接合する第 1 電極を形成するとともに、露出した前記耐压維持層上にショットキー接合する第 2 電極を形成する工程 (d) とを有する、SiC 半導体素子の製造方法。

## 【請求項 9】

前記工程 (c) において、エッチングにより残存した前記エピタキシャル層は、メサ型構造をなしている、請求項 8 に記載の SiC 半導体素子の製造方法。

## 【請求項 10】

前記工程 (c) の後、前記工程 (d) の前に、残存した前記エピタキシャル層と、露出

10

20

30

40

50

した前記耐圧維持層との境界に沿って、前記耐圧維持層の表面に、イオン注入により、前記エピタキシャル層よりも低濃度の第2導電型の電界緩和領域を形成する、請求項8または9に記載のSiC半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高耐圧・低損失の炭化珪素(SiC)半導体素子、及びその製造方法に関する。

【背景技術】

10

【0002】

SiCは、シリコン(Si)に比べて絶縁破壊電界強度が約10倍高い等の優れた特性を有しており、高耐圧パワー半導体素子に好適な材料として注目されている。

【0003】

一般に、比較的耐圧の低いパワー半導体素子は電界効果トランジスタ(FET)などのユニポーラデバイスが用いられる。一方、高耐圧パワー半導体素子は、少数キャリア注入によって、耐圧維持層の電気伝導度を向上させる効果(伝導度変調効果)を活用したバイポーラデバイスであるPINダイオードやサイリスタ、絶縁ゲートバイポーラトランジスタ(IGBT)などを用いるのが一般的である。特に、電力インフラ、高速鉄道、医療用加速電源、産業用高圧電源などに用いられる電力変換器の高性能化、小型化のために、10

20

【0004】

非特許文献1には、200 $\mu$ m以上の厚さを有する高純度SiC成長層を活用し、空間変調された電界集中緩和構造を導入することによって、20kV超級の耐電圧を有するSiC PINダイオードが開示されている。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】N.Kaji et al., IEEE Trans. Electron Devices, vol.62(2015), p.374

【発明の概要】

30

【発明が解決しようとする課題】

【0006】

多くの電力変換システムでは、パワー素子を、定格値(仕様の最大値)の50%以下の電流で用いることが圧倒的に多い。超高耐圧応用で有望な整流ダイオードであるSiCを用いたPINダイオードもその限りではない。

【0007】

しかしながら、SiCは、禁制帯幅が約3.3eVと広いため、pn接合の拡散電位は、約2.8Vと高い。そのため、SiC PINダイオードは、電圧が約2.8Vになるまで、ほとんど電流が流れない固有の順方向特性を持つ。従って、低電流域で使用する場合でも、約3Vのオン電圧が必要となり、定格値(仕様の最大値)の50%以下の低電流域で使用する場合、電力損失が比較的大きくなってしまい、低損失というSiCの特徴を十分に発揮できない。

40

【0008】

本発明は、上記課題に鑑みなされたもので、その主な目的は、オン電圧の低い、高耐圧・低損失のSiC半導体素子、及びその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明に係るSiC半導体素子は、第1導電型のSiC基板の一方の主面上に、PINダイオードが形成された第1領域と、ショットキーバリアダイオードが形成された第2領域とが並列して形成されたSiC半導体素子であって、SiC基板の一方の主面上に、第

50

1 導電型の SiC からなる耐圧維持層が形成されており、第 1 領域において、耐圧維持層上に、第 2 導電型の SiC からなるエピタキシャル層が選択的に形成され、かつ、エピタキシャル層上に、オーミック接合された第 1 電極が形成されており、第 2 領域において、耐圧維持層上に、ショットキー接合された第 2 電極が形成されており、SiC 基板の他方の主面上に、第 3 電極が形成されており、第 1 電極及び前記第 2 電極は、電氣的に導通していることを特徴とする。

【0010】

本発明に係る SiC 半導体素子の製造方法は、上記 SiC 半導体素子の製造方法であって、第 1 導電型の SiC 基板の一方の主面上に、第 1 導電型の SiC からなる耐圧維持層をエピタキシャル成長で形成する工程 (a) と、耐圧維持層上に、第 2 導電型の SiC からなるエピタキシャル層をエピタキシャル成長で形成する工程 (b) と、エピタキシャル層の一部をエッチングにより選択的に除去して、耐圧維持層を露出する工程 (c) と、エピタキシャル層上にオーミック接合する第 1 電極を形成するとともに、露出した耐圧維持層上にショットキー接合する第 2 電極を形成する工程 (d) とを有することを特徴とする。

10

【発明の効果】

【0011】

本発明によれば、オン電圧の低い、高耐圧・低損失の SiC 半導体素子、及びその製造方法を提供することができる。

【図面の簡単な説明】

20

【0012】

【図 1】SiC の PIN ダイオード及びショットキーバリアダイオードの一般的な順方向特性を示した図である。

【図 2】本発明の一実施形態における SiC 半導体素子の構成を模式的に示した図で、(a) は断面図、(b) は平面図を示す。

【図 3】SiC 半導体素子の電流 - 電圧特性におけるスナップバック現象を説明した図である。

【図 4】スナップバック現象が発生する原因を説明した図である。

【図 5】スナップバック電圧を解析するための図である。

【図 6】PIN ダイオードの領域の幅を変えたときの順方向特性をシミュレーションにより求めた図である。

30

【図 7】スナップバック電圧の P / d 依存性を電流分布モデルにより算出したグラフである。

【図 8】試作した SiC 半導体素子の構成を模式的に示した断面図である。

【図 9】試作した SiC 半導体素子の基本特性を示した図で、(a) は順方向特性、(b) は逆方向特性を示す。

【図 10】試作した SiC 半導体素子の順方向特性を、単独で作製した PIN ダイオード及び SBD の順方向特性と比較したグラフである

【図 11】試作した SiC 半導体素子の順方向特性を、イオン注入により p<sup>+</sup> 層が形成されたハイブリッド構造の SiC 半導体素子の順方向特性と比較したグラフである。

40

【図 12】(a) ~ (e) は、SiC 半導体素子の製造方法を示した断面図である。

【図 13】SiC 半導体素子の変形例を示した平面図である。

【図 14】SiC 半導体素子の他の変形例を示した平面図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の実施形態に限定されるものではない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜変更は可能である。

【0014】

図 1 は、SiC パワーダイオードの一般的な順方向特性を示した図で、矢印 A で示した

50

グラフは、P i Nダイオードの特性を示し、矢印Bで示したグラフは、ショットキーバリアダイオード（以下、「S B D」という）特性を示す。

【0015】

図1に示すように、P i Nダイオードは、オン電圧（約3V）は高いものの、伝導度変調効果により、オン抵抗は小さい。一方、S B Dは、オン電圧（約1V）は低いが、オン抵抗は大きい。

【0016】

本発明は、S i Cパワー素子として、S i Cダイオードに着目し、低電流域では、オン電圧の低いS B Dとして動作し、高電流域では、オン抵抗の小さいP i Nダイオードとして動作するような、ハイブリッド構造を採用する。

10

【0017】

図2は、本発明の一実施形態におけるS i C半導体素子の構成を模式的に示した図で、(a)は断面図、(b)は平面図を示す。

【0018】

本実施形態におけるS i C半導体素子10は、 $n^+$ 型（第1導電型）のS i C基板11の一方の主面上に、P i Nダイオードが形成された第1領域20と、S B Dが形成された第2領域21とが並列して形成されている。本実施形態では、図2(b)に示すように、第2領域21は、平面視で、第1領域20を取り囲んで形成されている。

【0019】

図2(a)に示すように、S i C基板11の上面（一方の主面）上に、 $n^-$ 型（第1導電型）のS i Cからなる耐圧維持層12が形成されている。そして、第1領域20において、 $n^-$ 耐圧維持層12上に、 $p^+$ 型（第2導電型）のS i Cからなるエピタキシャル層13が選択的に形成されている。さらに、 $p^+$ エピタキシャル層13上に、オーミック接合されたアノード電極（第1電極）14aが形成されている。また、S i C基板11の裏面（他方の主面）上に、カソード電極（第3電極）15が形成されている。これにより、第1領域20において、P i Nダイオードが形成されている。

20

【0020】

一方、第2領域21において、 $n^-$ 耐圧維持層12上に、ショットキー接合されたアノード電極（第2電極）14bが形成されている。これにより、第2領域21において、S B Dが形成されている。

30

【0021】

ここで、第1電極14a及び第2電極14bは、電氣的に導通しており、S i C半導体素子10のアノード電極として機能する。通常、第1電極14a及び第2電極14bは、同一の金属材料等で一体的に形成される。例えば、第1電極14a及び第2電極14bをチタン(Ti)で形成した場合、 $p^+$ エピタキシャル層13とのオーミック接合を図るために、 $p^+$ エピタキシャル層13上に、例えば、チタンとアルミニウム(Al)の合金からなる接合層や、チタンとアルミニウムの積層構造(Ti/Al)（不図示）を形成しておくことが好ましい。これにより、チタンで構成された第1電極14aは、接合層を介して $p^+$ エピタキシャル層13とオーミック接合される。また、チタンで構成された第2電極14bは、 $n^-$ 耐圧維持層12とショットキー接合される。

40

【0022】

一方、第3電極15は、 $n^+$ 型S i C基板11とオーミック接合しており、S i C半導体素子10のカソード電極として機能する。例えば、第3電極15をニッケル(Ni)で形成することにより、 $n^+$ 型S i C基板11とオーミック接合することができる。

【0023】

このように、本実施形態におけるS i C半導体素子10は、S i C基板11上に、P i NダイオードとS B Dとが並列に形成されたハイブリッド構造をなす。これにより、S i C半導体素子10は、低電流域では、オン電圧の低いS B Dとして動作し、高電流域では、オン抵抗の小さいP i Nダイオードとして動作する。その結果、P i Nダイオード固有の高い耐圧を維持しつつ、低電流域において、オン電圧の低い低損失のS i C半導体素子

50

を実現することができる。

【0024】

また、本実施形態におけるSiC半導体素子10は、図2(a)に示すように、 $p^+$ エピタキシャル層13が、 $n^-$ 耐圧維持層12上をエピタキシャル成長により選択的に形成されたメサ構造をなしている。そのため、 $p^+$ エピタキシャル層13と $n^-$ 耐圧維持層12の接合界面近傍では、イオン注入により選択的に形成したプレーナ構造の場合に比べて、イオン注入による誘起欠陥がない。これにより、誘起欠陥による小数キャリアのライフタイムの短縮が起きないため、高い伝導度変調効果を維持することができる。その結果、PiNダイオード固有の低いオン抵抗を維持しつつ、低電流域において、オン電圧の低い低損失のSiC半導体素子を実現することができる。

10

【0025】

ところで、本実施形態におけるSiC半導体素子10は、等価回路的には、PiNダイオードと、SBDとが並列接続された構成をなしている。このような構成をなすSiC半導体素子10の電流-電圧特性は、図1を参照しながら説明すると、理想的には、電圧をゼロから上げていった場合、電流は、ある閾値電圧(SiCのpn接合の拡散電位)までの期間は、SBDの動作モードでほぼ線形に増加し、ある閾値電圧を超えると、PiNダイオードの動作モードに切り替わって、急激に増加する。

【0026】

しかしながら、図3に示すように、SiC半導体素子10の電流-電圧特性において、SBDの動作モード(SBDモード)から、PiNダイオードの動作モード(PiNモード)に切り替わるとき、矢印Cで示すように、電圧が不連続に降下する現象(スナップバック現象)が生じる場合がある。もし、このようなスナップバック現象が生じると、SiC半導体素子10の特性が安定しないため、実用上、大きな問題となる。また、SiC半導体素子10が、複数の第1領域(PiNダイオード形成領域)20を有する場合、図3に示すスナップバック電圧 $V_S$ がばらつくと、 $V_S$ の低い第1領域20のPiNダイオードに電流が集中することによって、その領域が破壊されるという問題が生じる。

20

【0027】

このようなスナップバック現象が発生する原因は、図4に示すように、SBDモードにおける電流分布に、横方向の広がりが生じ、その結果、PiNダイオードを構成する $p^+/n^-$ 接合に、印加電圧が全て印加されないため、ある閾値電圧になっても、PiNダイオードの動作が始まらないためである。

30

【0028】

次に、図5を参照しながら、SiC半導体素子10におけるスナップバック電圧 $V_S$ を、電流分布モデルを用いて解析する。

【0029】

図5に示すように、SBDモード時の電流分布の横方向の広がりを、傾斜線Gで近似する。そして、 $n^-$ 耐圧維持層12を、境界線Hによって、横方向の広がりがある領域12aと、横方向の広がりが無い領域12bと分ける。ここで、領域12aにおける抵抗成分を $R_{1SP}$ とし、領域12bにおける抵抗成分を $R_{2SP}$ とすると、 $p^+$ エピタキシャル層13の中央における $p^+/n^-$ 接合に印加される電圧 $V_J$ は、以下の式(1)で表される。

40

【0030】

【数1】

$$V_J = V - R_{2SP} \cdot J_{FS} \cdots (1)$$

【0031】

ここで、 $J_{FS}$ は、ユニポーラ動作時にSBD部を介して素子(セル)全体に流れる順方向電流密度である。

【0032】

50

$V_J$  が SiC の pn 接合の拡散電位  $V_d$  に等しいとき、PiN ダイオードの動作が始まる。このときのスナップバック電圧  $V_s$  は、以下の式 (2) で表される。

【0033】

【数2】

$$V_s = \phi'_B + (V_d - \phi'_B) \cdot \left\{ 1 + \frac{1 - r_p \tan \theta}{(r_p + r_s) \tan \theta \cdot \ln(1 + r_p/r_s)} \right\} \quad \dots(2)$$

【0034】

10

ここで、PiN ダイオードが形成される第1領域20の幅を  $P$ 、SBD が形成される第2領域21の幅を  $S$ 、 $n^-$  耐圧維持層12の厚みを  $d$  としたとき、 $r_p = P/d$ 、 $r_s = S/d$  である。ここで、 $r_p$ 、 $r_s$  は、PiN ダイオード領域の幅  $P$ 、及び SBD 領域の幅  $S$  を、 $n^-$  耐圧維持層12の厚み  $d$  で規格化した値である。また、第1領域20の幅  $P$  は、図5に示すように、第1領域20の全幅の  $1/2$  ( $P = S$ ) とする。なお、図2(b)に示した示したように、第1領域20が矩形の場合、第1領域20の幅  $P$  は、幅の狭い方の全幅の  $1/2$  とする。また、第2領域21の幅  $S$  は、第1領域20の外周を区画する辺と、第2領域21の外周を区画する辺との間の最小値とする。

【0035】

また、傾斜線  $G$  と境界線  $H$  との角度を  $\theta$  としている。また、 $\phi'_B$  は、SBD のショットキー接合における電圧降下で、以下の式 (3) で表される。

20

【0036】

【数3】

$$\phi'_B = \phi + \frac{kT}{q} \ln \left( \frac{P+S}{S} \cdot \frac{J_{FS}}{A^* T^2} \right) \quad \dots(3)$$

【0037】

ここで、 $A^*$  は、有効リチャードソン定数で、以下の式 (4) で表される。

30

【0038】

【数4】

$$A^* = \frac{4\pi q m^* k^2}{h^3} \quad \dots(4)$$

【0039】

ここで、 $m^*$  は電子の有効質量、 $q$  は電子の素電荷、 $k$  はボルツマン定数、 $h$  はプランク定数である。

40

【0040】

式 (2) で示されるように、スナップバック電圧  $V_s$  は、耐圧維持層12の構造によらず、( $r_p$ 、 $r_s$ ) によって決定される。また、 $r_p > (1/\tan \theta)$  のとき、スナップバックは発生しない。すなわち、スナップバックの発生の有無は、 $r_p$  ( $= P/d$ ) のみに依存する。

【0041】

図6は、本実施形態における SiC 半導体素子10において、PiN ダイオードの領域の幅  $P$  を変えたときの順方向特性 (電流 - 電圧特性) を、シミュレーションにより求めた図である。ここで、 $n^-$  耐圧維持層12の厚み  $d$  を  $100 \mu\text{m}$ 、不純物濃度を  $7 \times 10^{14} \text{cm}^{-3}$  としている。また、PiN ダイオード領域の幅  $P$  と、SBD 領域の幅  $S$  は、同

50

じ値にしている。図中の矢印  $K_1$ 、 $K_2$ 、 $K_3$ 、 $K_4$  で示したグラフは、それぞれ、P i Nダイオード領域の幅  $P$  を、 $50\ \mu\text{m}$ 、 $75\ \mu\text{m}$ 、 $100\ \mu\text{m}$ 、 $150\ \mu\text{m}$  と変えたときの順方向特性を示す。なお、矢印  $A$  で示した点線のグラフは、比較として、S i C半導体素子をP i Nダイオードのみで構成した場合の順方向特性を示す。

【0042】

ここで、シミュレーションは、二次元のポアソン方程式と二次元の電流連続の式（拡散、ドリフト）を同時に解く市販ソフトウェア（「DESSIS」；シノプシス社製）により行った。

【0043】

図6に示すように、P i Nダイオード領域の幅  $P$  が大きくなるとともに、スナップバック現象が抑制されることが分かる。これは、P i Nダイオード領域の幅  $P$  が大きくなると、図5における水平線  $H$  が下方にシフトし、抵抗  $R_{2SP}$  における電圧降下が減少するため、P i Nダイオードを構成する  $p^+ / n^-$  接合に印加される電圧が上昇するためである。

10

【0044】

図7は、本実施形態におけるS i C半導体素子10において、スナップバック電圧  $V_S$  の  $P/d$  依存性を、電流分布モデルより求めた上記式(3)を用いて計算した結果を示したグラフである。なお、 $n^-$  耐圧維持層12の厚み  $d$  は、 $100\ \mu\text{m}$  と  $150\ \mu\text{m}$  の2通りとし、P i Nダイオード領域の幅  $P$  と、SBD領域の幅  $S$  とを同じにした。また、SBDの動作時における電流分布の横方向の広がり角度（図5において、傾斜線  $G$  と境界線  $H$  との角度）を  $42^\circ$  とした。なお、本結果は上記の二次元シミュレーション結果と良い一致を示すことを確認している。

20

【0045】

図7に示すように、スナップバック電圧  $V_S$  は、 $n^-$  耐圧維持層12の構造によらず、 $P/d$  のみに依存することが分かる。これは、図5における抵抗  $R_{2SP}$  を構成する半導体領域の厚さが、 $d \cdot P \tan$  で与えられ、この抵抗  $R_{2SP}$  の影響が無視できるのは、 $d \cdot P \tan = d$ 、すなわち  $P/d = 1/\tan$  となる場合であるためである。

【0046】

また、図7に示すように、 $P/d = 1$  のとき、スナップバック電圧  $V_S$  は、S i Cの  $p-n$  接合の拡散電位（約  $2.8\ \text{V}$ ）に漸近する。従って、 $P/d = 1$ （より好ましくは  $P/d = 1.2$ ）とすることによって、スナップバック現象の発生を抑制することができる。

30

【0047】

以上、説明したように、本実施形態によるS i C半導体素子は、P i Nダイオードが形成された第1領域20と、SBDが形成された第2領域21とを並列して形成し、第1領域20において、 $p^+ / n^-$  接合を構成する  $p^+$  領域を、メサ構造からなる  $p^+$  エピタキシャル層13で構成することによって、オン電圧が低く、かつ、高耐圧・低損失のS i C半導体素子を実現することができる。

【0048】

また、第1領域20の幅を  $P$ 、 $n^-$  耐圧維持層12の厚みを  $d$  としたとき、 $P/d = 1$  にすることによって、スナップバック現象の発生を抑制したS i C半導体素子を実現することができる。

40

【0049】

図8は、試作したS i C半導体素子の構成を模式的に示した断面図である。なお、試作したS i C半導体素子は、図2に示した基本構成を備えると共に、実デバイスとして使用する際に要求される特性を満たす構成をさらに備えている。

【0050】

図8に示すように、試作したS i C半導体素子は、 $n^+$  型のS i C基板11の上面に、P i Nダイオードが形成された第1領域20と、SBDが形成された第2領域21とが並列して形成されている。

【0051】

50



具体的には、 $n^+$  SiC 基板 11 の上面に、SiC からなる  $n^-$  耐圧維持層 12 が形成されている。PiN ダイオードが形成される第 1 領域 20 には、 $n^-$  耐圧維持層 12 上に、SiC からなる  $p^+$  エピタキシャル層 13 が選択的に形成されている。さらに、 $p^+$  エピタキシャル層 13 上に、接合層 30 を介して、オーミック接合されたアノード電極 14a が形成されている。一方、SBD が形成される第 2 領域 21 には、 $n^-$  耐圧維持層 12 上に、ショットキー接合されたアノード電極 14b が形成されている。また、 $n^+$  SiC 基板 11 の裏面には、カソード電極 15 が形成されている。

#### 【0052】

$p^+$  エピタキシャル層 13 はメサ構造をしており、第 1 領域 20 と第 2 領域 21 との境界に沿って、 $n^-$  耐圧維持層 12 の表面に、低濃度の  $p^-$  電界緩和領域 31 が形成されている。これにより、逆バイアス時に  $p^-$  電界緩和領域 31 が空乏化し、メサ構造底部近傍に形成される pn 接合界面の電界集中を緩和することができる。

10

#### 【0053】

また、第 2 領域 21 に形成された SBD は、 $n^-$  耐圧維持層 12 の表面に、複数の離間した p バリア領域 32 が形成された接合障壁制御ショットキー構造をなしている。これにより、逆バイアス時に、p バリア領域 32 が、ショットキー界面の電界強度を低減し、これにより、逆バイアス時のリーク電流を低減することができる。

#### 【0054】

さらに、SBD が形成される第 2 領域 21 の外周部 22 には、 $n^-$  耐圧維持層 12 の表面に、複数の p イオン注入領域 36 が形成された終端構造が設けられている。ここで、各 p イオン注入領域 36 は、低濃度の  $p^-$  イオン注入領域 35 の中に形成され、最縁部に向かって、徐々に幅が狭くなっている。このような終端構造を設けることによって、逆バイアス時に終端構造部が内側から外周部に向かって徐々に空乏化して素子端部における電界集中を緩和し、オフ状態での耐圧を確保することができる。

20

#### 【0055】

図 9 は、試作した SiC 半導体素子の基本特性（電流 - 電圧特性）を示した図で、(a) は順方向特性、(b) は逆方向特性を示す。ここで、図 9 (a) において、左側の縦軸は、電流値（対数目盛）を示し、右側の縦軸は、電流密度を示している。なお、試作した SiC 半導体素子において、 $n^-$  耐圧維持層 12 の厚み  $d$  を  $95 \mu\text{m}$ 、不純物濃度を  $6 \times 10^{14} \text{cm}^{-3}$  とした。また、PiN ダイオード領域の幅  $P$ 、及び SBD 領域の幅  $S$  を、共に  $150 \mu\text{m}$  とした。

30

#### 【0056】

図 9 (a) に示すように、順方向特性において、約  $0.8 \text{V}$  で SBD ダイオードとして電流が立ち上がり、その後、約  $3.5 \text{V}$  で PiN ダイオードの動作モードに移行するというほぼ設計通りの特性が得られた。そして、SBD の動作モード (SBD モード) から、PiN ダイオードの動作モード (PiN モード) に切り替わるときに発生するスナップバック現象は見られなかった (このときの  $P/d$  は、 $1.05$ )。また、電流の片対数プロットから分かるように、SBD の特性も、ほぼ理想的なものが得られている (理想因子  $n = 1.01$ )。また、図 9 (b) に示すように、逆方向特性において、 $11.3 \text{kV}$  の高い絶縁破壊電圧が得られた。これは、 $n^-$  耐圧維持層 12 から計算される理想耐圧 ( $13.3 \text{kV}$ ) の  $85\%$  の耐圧に相当する。

40

#### 【0057】

図 10 は、試作した SiC 半導体素子の順方向特性を、同じ  $n^-$  耐圧維持層 12 に、それぞれ単独で作製した PiN ダイオード及び SBD の順方向特性と比較したグラフである。ここで、矢印  $M_1$  の実線で示したグラフが、本実施形態における SiC 半導体素子の順方向特性で、矢印 A 及び B の破線で示したグラフが、PiN ダイオード及び SBD の順方向特性である。なお、単独で作製した PiN ダイオード及び SBD の構造は、本実施形態における SiC 半導体素子の第 1 領域 20 及び第 2 領域 21 に作製した PiN ダイオード及び SBD の構造と同じである。また、単独で作製した PiN ダイオード及び SBD の平面視における面積は、本実施形態における SiC 半導体素子の第 1 領域 20 及び第 2 領域

50

21の面積を足した面積である。

【0058】

図10に示すように、本実施形態におけるSiC半導体素子のSBDの動作モードにおけるオン抵抗は、単独で作製したSBDのオン抵抗と、ほぼ同じ大きさを示した。これは、SBDが形成された第2領域21の面積が、単独で作製したSBDの面積の半分であるが、第2領域21での電流が、PINダイオードが形成された第1領域20に広がったために、オン抵抗が低減されたためと考えられる。

【0059】

一方、本実施形態におけるSiC半導体素子のPINダイオードの動作モードにおけるオン抵抗は、単独で作製したPINダイオードのオン抵抗よりも若干大きくなった。これは、SBDが形成された第2領域21の分だけ、伝導度変調効果が発揮される領域が減少したため、オン抵抗が増加したためと考えられる。従って、PINダイオードが形成される第1領域20の幅Pを、SBDが形成される第2領域の幅Sよりも大きくする( $P > S$ )にすることによって、矢印M<sub>2</sub>の一点鎖線で示したグラフのように、PINダイオードの動作モードにおけるオン抵抗を、単独で作製したPINダイオードのオン抵抗により近づけることができる。

10

【0060】

図11は、試作したSiC半導体素子の順方向特性を、同じn<sup>-</sup>耐圧維持層12の表面に、イオン注入によりp<sup>+</sup>層を形成してプレーナ型PINダイオードを作製したハイブリッド構造のSiC半導体素子(SBD構造は同じ)の順方向特性と比較したグラフである。ここで、矢印Mで示したグラフが、本実施形態におけるSiC半導体素子の順方向特性で、矢印Nで示したグラフが、イオン注入によりpn接合を形成したプレーナ型PINダイオードを備えたSiC半導体素子の順方向特性である。

20

【0061】

図11に示すように、本実施形態におけるSiC半導体素子のPINダイオードの動作モードにおけるオン抵抗は、プレーナ型PINダイオードを備えたSiC半導体素子のオン抵抗よりも著しく小さかった。これは、プレーナ型PINダイオードのp<sup>+</sup>イオン注入層には、イオン注入により誘起欠陥が多く発生し、これにより、少数キャリアのライフタイムが短縮されて、PINダイオードの動作モードにおけるオン抵抗が上昇したためと考えられる。これに対して、本実施形態におけるPINダイオードのp<sup>+</sup>エピタキシャル層は、イオン注入による誘起欠陥がないため、高い伝導度変調効果を維持することができ、その結果、低いオン抵抗を実現することができた。

30

【0062】

図12(a)~(e)は、本実施形態におけるSiC半導体素子の製造方法を示した断面図である。

【0063】

図12(a)に示すように、n<sup>+</sup>型(第1導電型)のSiC基板11の一方の主面上に、n<sup>-</sup>型(第1導電型)のSiCからなる耐圧維持層12をエピタキシャル成長で形成する。ここで、SiC基板11は、例えば、4H-SiC単結晶基板を用いることができる。また、n<sup>-</sup>耐圧維持層12は、例えば、不純物濃度が $1 \times 10^{14} \sim 2 \times 10^{15} \text{ cm}^{-3}$ の範囲が好ましい。また、n<sup>-</sup>耐圧維持層12の厚みは、30~300 $\mu\text{m}$ の範囲が好ましい。

40

【0064】

次に、図12(b)に示すように、n<sup>-</sup>耐圧維持層12上に、p<sup>+</sup>(第2導電型)のSiCからなるエピタキシャル層13をエピタキシャル成長で形成する。ここで、p<sup>+</sup>エピタキシャル層13は、例えば、不純物濃度が $1 \times 10^{18} \sim 3 \times 10^{20} \text{ cm}^{-3}$ の範囲が好ましい。また、p<sup>+</sup>エピタキシャル層13の厚みは、0.3~6 $\mu\text{m}$ の範囲が好ましい。

【0065】

次に、図12(c)に示すように、p<sup>+</sup>エピタキシャル層13の一部(第2領域21)

50

をエッチングにより選択的に除去して、 $n^-$ 耐圧維持層12aを露出する。エッチングは、例えば、 $p^+$ エピタキシャル層13の一部(第1領域20)に酸化膜を形成し、この酸化膜をマスクに、 $CF_4$ 、 $O_2$ の混合ガスを用いた反応性イオンエッチングにより行うことができる。このエッチングにより、第1領域20に残存した $p^+$ エピタキシャル層13aは、メサ型構造をなしている。また、エッチングは、異方性の強くないエッチングが好ましく、これにより、 $p^+$ エピタキシャル層13aは、側壁がやや傾斜したメサ構造が得られる。

#### 【0066】

次に、図12(d)に示すように、残存した $p^+$ エピタキシャル層13aと、露出した $n^-$ 耐圧維持層12aとの境界(第1領域20と第2領域21との境界)に沿って、 $n^-$ 耐圧維持層12の表面に、イオン注入により、 $p^+$ エピタキシャル層よりも低濃度の $p^-$ 型(第2導電型)の電界緩和領域31を形成する。 $p^-$ 電界緩和領域31は、例えば、アルミニウム(A1)をイオン注入により形成することができる。

10

#### 【0067】

なお、図8に示した第2領域(SBD領域)21の外周部22に終端構造を設ける場合には、 $p^-$ イオン注入領域35を、 $p^-$ 電界緩和領域31と同時にイオン注入で形成してもよい。

#### 【0068】

なお、 $p^+$ エピタキシャル層13aを、側壁がほぼ垂直なメサ構造に形成した場合、 $n^-$ 耐圧維持層12の表面に、斜めイオン注入により、第1領域20と第2領域21との境界に沿って、 $p^-$ 電界緩和領域31を形成することができる。

20

#### 【0069】

次に、図12(e)に示すように、 $p^+$ エピタキシャル層13a上にオーミック接合する第1電極14aを形成するとともに、露出した $n^-$ 耐圧維持層12a上にショットキー接合する第2電極14bを形成する。また、SiC基板11の他方の主面上に、第3電極15を形成する。ここで、第1電極14a及び第2電極14bは、例えば、チタン(Ti)で一体的に形成することができる。この場合、 $p^+$ エピタキシャル層13aとのオーミック接合を図るために、 $p^+$ エピタキシャル層13a上に、例えば、チタンとアルミニウム(A1)の合金からなる接合層や、チタンとアルミニウムの積層構造(Ti/A1)(不図示)を予め形成しておくことが好ましい。これにより、第1電極14aは、接合層を介して $p^+$ エピタキシャル層13とオーミック接合され、第2電極14bは、 $n^-$ 耐圧維持層12とショットキー接合される。また、第3電極15は、例えば、ニッケル(Ni)で形成することができる。これにより、第3電極15は、 $n^+$ SiC基板11とオーミック接合される。

30

#### 【0070】

以上、本発明を好適な実施形態により説明してきたが、こうした記述は限定事項ではなく、もちろん、種々の変更が可能である。

#### 【0071】

例えば、上記実施形態では、図2(b)に示したように、SBDが形成される第2領域21を、PiNダイオードが形成される第1領域20を取り囲むように形成したが、これに限定されず、第1領域20と第2領域21とが、平面視で並列して形成されていれば、第1領域20及び第2領域21は、どのような形状であってもよい。

40

#### 【0072】

図13は、本実施形態におけるSiC半導体素子の変形例を示した平面図である。

#### 【0073】

図13に示すように、PiNダイオードが形成される第1領域20は、細長い形状からなり、これが複数個、互いに離間して並列されている。また、SBDが形成される第2領域21は、複数個の第1領域20を取り囲んで形成されている。第1領域20及び第2領域21を、このように構成することによって、PiNダイオードを構成する第1領域20に確実に順方向電圧が印加されてスナッチバック現象を抑制でき、かつ多数素子の並列動

50

作によって大電流を得ることができる。

【 0 0 7 4 】

本変形例における第 1 領域 2 0 の幅 P は、図 1 3 に示すように、第 1 領域 2 0 における短辺の幅の  $1/2$  とする。また、第 2 領域 2 1 の幅 S は、隣接する第 1 領域 2 0 間の距離の  $1/2$  とする。

【 0 0 7 5 】

図 1 4 は、本実施形態における S i C 半導体素子の他の変形例を示した平面図である。

【 0 0 7 6 】

図 1 4 に示すように、P i N ダイオードが形成される第 1 領域 2 0 は、矩形からなり、これが、複数個、千鳥状に配列されている。また、S B D が形成される第 2 領域 2 1 は、複数個の第 1 領域 2 0 を取り囲んで形成されている。第 1 領域 2 0 及び第 2 領域 2 1 を、このように構成することによって、P i N ダイオードを構成する第 1 領域 2 0 に確実に順方向電圧が印加されてスナップバック現象を抑制でき、かつ多数素子の並列動作によって大電流を得ることができる。

10

【 0 0 7 7 】

本変形例における第 1 領域 2 0 の幅 P は、図 1 4 に示すように、第 1 領域 2 0 における短辺の幅の  $1/2$  とする。また、第 2 領域 2 1 の幅 S は、隣接する第 1 領域 2 0 間の最小距離の  $1/2$  とする。

【 0 0 7 8 】

なお、本実施形態における第 1 領域 2 0 の形状は、矩形に限定されず、多角形、円形、楕円形であってもよい。この場合、第 1 領域 2 0 の幅 P は、第 1 領域 2 0 の外周縁において、向かい合う二つの辺（または点）間の最小距離の  $1/2$  とする。

20

【 0 0 7 9 】

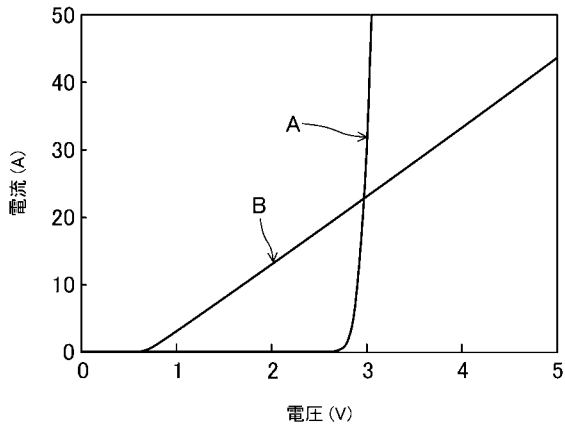
また、上記実施形態では、図 8 に示したように、試作した S i C 半導体素子の S B D を接合障壁制御ショットキー構造にしたが、勿論、S B D の構造はこれに限定されず、他の構造のものであってもよい。また、第 2 領域（S B D 領域）2 1 の外周部 2 2 に終端構造を設けたが、その構成は特に限定されず、また、必ずしも終端構造を設ける必要はない。

【 符号の説明 】

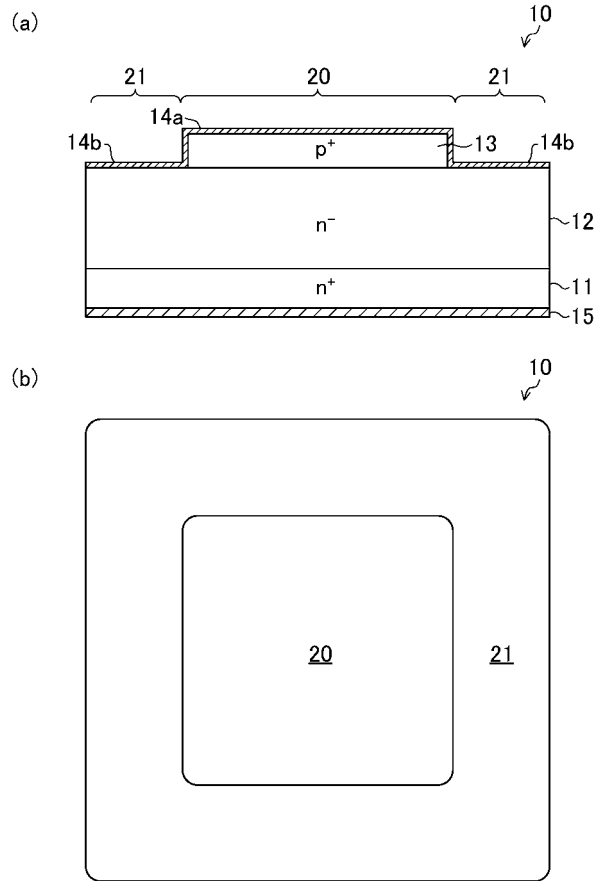
【 0 0 8 0 】

1 0	S i C 半導体素子	30
1 1	S i C 基板	
1 2	耐圧維持層	
1 3	エピタキシャル層	
1 4 a	第 1 電極（アノード電極）	
1 4 b	第 2 電極（アノード電極）	
1 5	第 3 電極（カソード電極）	
2 0	第 1 領域	
2 1	第 2 領域	
2 2	外周部	
3 0	接合層	40
3 1	電界緩和領域	
3 2	バリア領域	
3 3	酸化膜	
3 4	表面保護膜	
3 5、3 6	イオン注入領域	

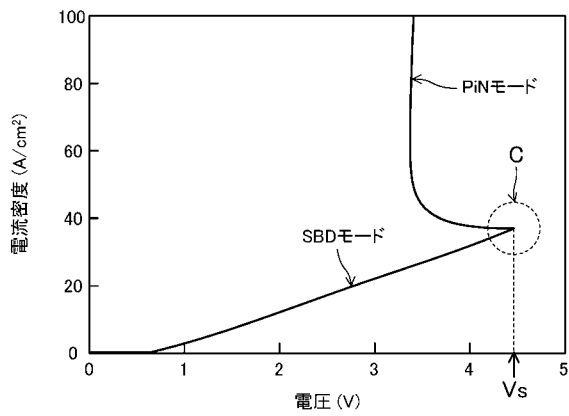
【 図 1 】



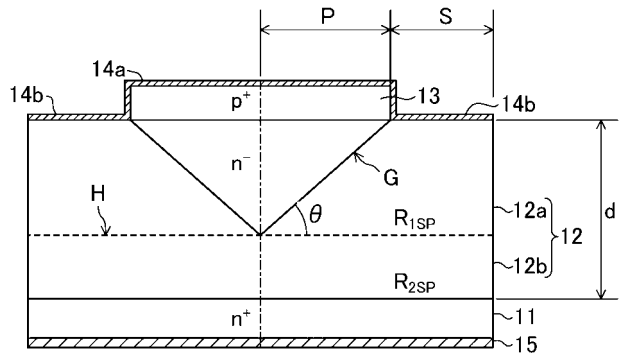
【 図 2 】



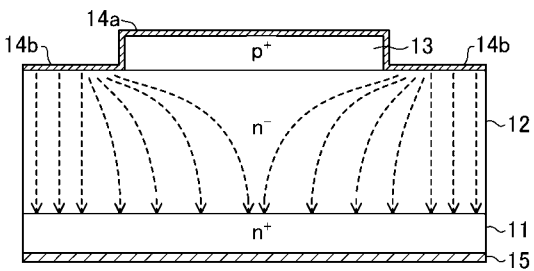
【 図 3 】



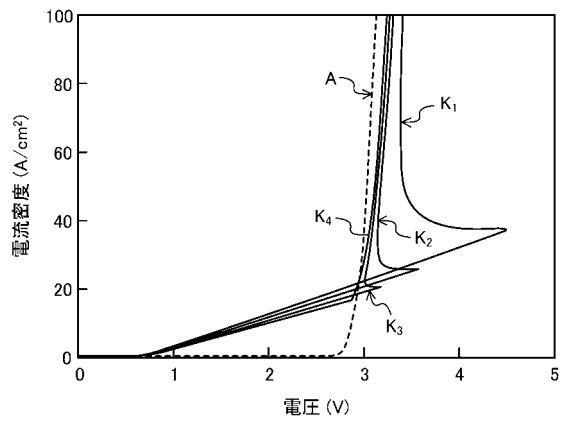
【 図 5 】



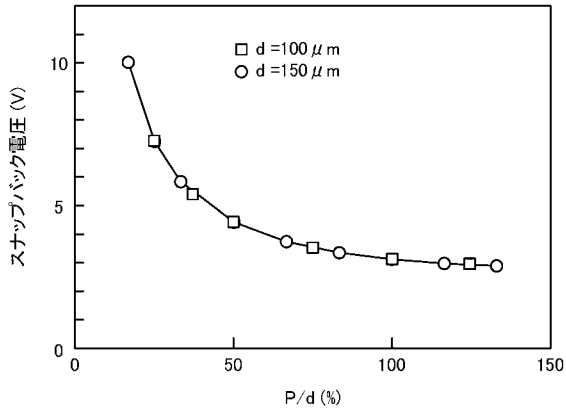
【 図 4 】



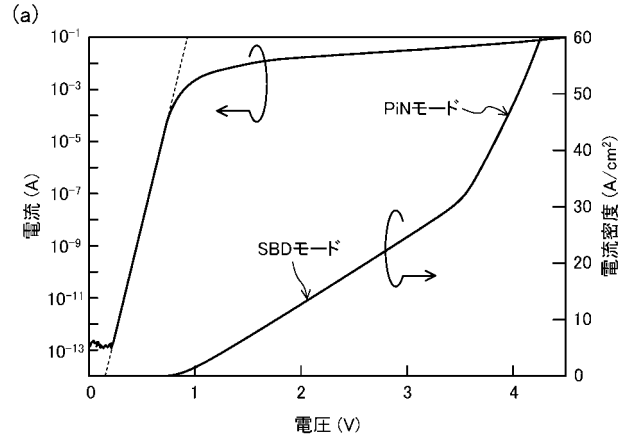
【 図 6 】



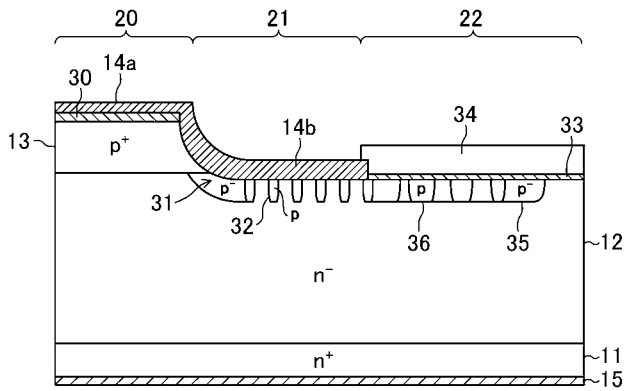
【 図 7 】



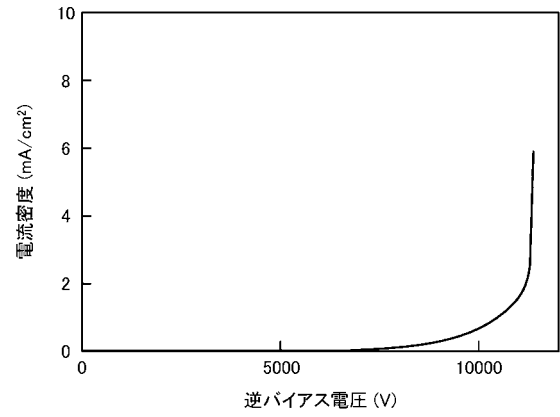
【 図 9 】



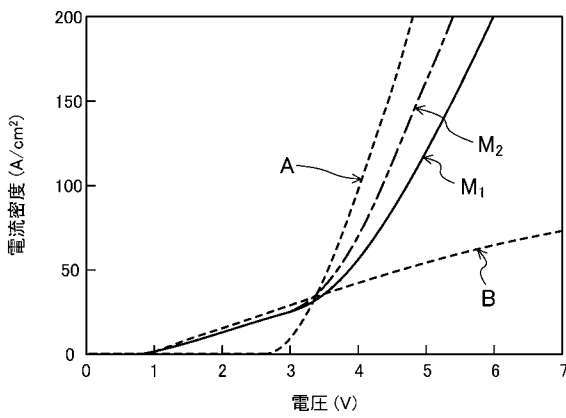
【 図 8 】



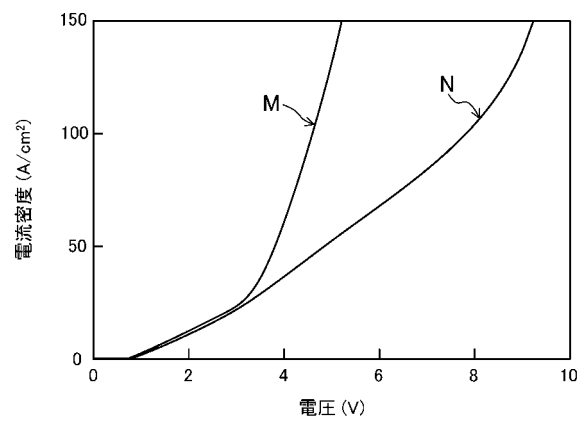
(b)



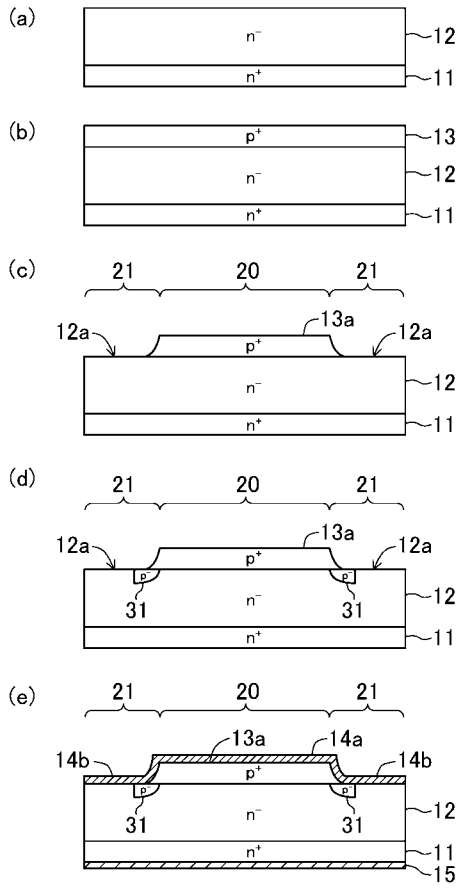
【 図 10 】



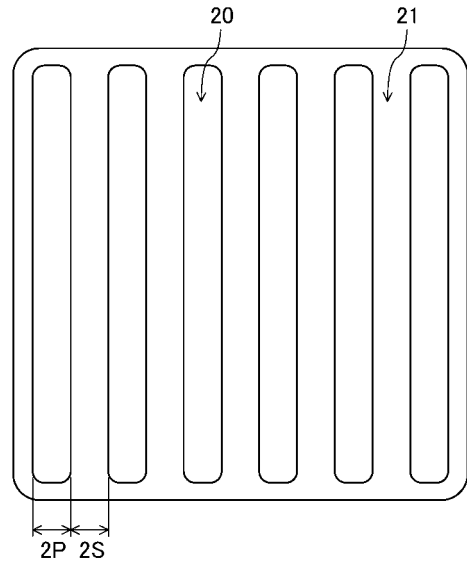
【 図 11 】



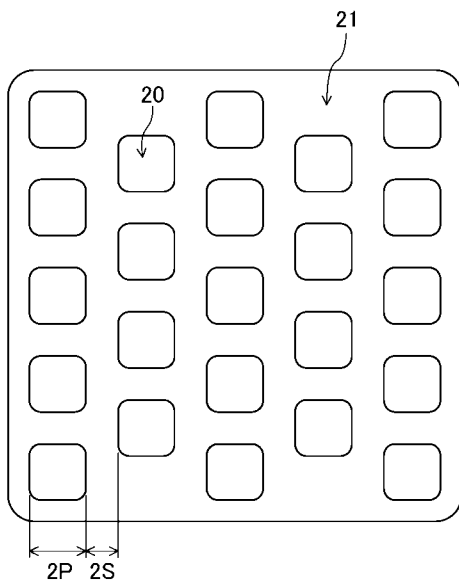
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 29/47</b>	<b>(2006.01)</b>	H 0 1 L	29/91	B
		H 0 1 L	29/91	D
		H 0 1 L	29/06	3 0 1 V
		H 0 1 L	29/06	3 0 1 M
		H 0 1 L	29/86	3 0 1 M
		H 0 1 L	29/06	3 0 1 G
		H 0 1 L	29/86	3 0 1 E
		H 0 1 L	29/48	D
		H 0 1 L	29/48	F

Fターム(参考) 4M104 AA03 BB05 BB14 CC01 CC03 FF03 FF13 FF32 FF35 GG02  
GG03 HH18