

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6718612号  
(P6718612)

(45) 発行日 令和2年7月8日(2020.7.8)

(24) 登録日 令和2年6月17日(2020.6.17)

(51) Int. Cl.		F I		
HO 1 L 21/337	(2006.01)	HO 1 L	29/80	C
HO 1 L 29/808	(2006.01)	HO 1 L	27/06	F
HO 1 L 21/8232	(2006.01)			
HO 1 L 27/06	(2006.01)			

請求項の数 3 (全 15 頁)

(21) 出願番号	特願2016-106386 (P2016-106386)	(73) 特許権者	504132272
(22) 出願日	平成28年5月27日 (2016.5.27)		国立大学法人京都大学
(65) 公開番号	特開2017-212397 (P2017-212397A)		京都府京都市左京区吉田本町36番地1
(43) 公開日	平成29年11月30日 (2017.11.30)	(74) 代理人	110001427
審査請求日	令和1年5月21日 (2019.5.21)		特許業務法人前田特許事務所
特許法第30条第2項適用	平成28年5月9日に16th International Workshop on Junction Technology (IWJT2016) にて発表	(72) 発明者	木本 恒暢
(出願人による申告) 平成25年度採択 国立研究開発法人科学技術振興機構 研究成果展開事業「スーパークラスタープログラム」に係る委託研究(研究課題名称: SiCパワーデバイスの高性能化)、産業技術力強化法第19条の適用を受ける特許出願			京都府京都市西京区京都大学桂 国立大学法人京都大学大学院工学研究科内
		(72) 発明者	藤原 寛朗
			京都府京都市西京区京都大学桂 国立大学法人京都大学大学院工学研究科内
		審査官	杉山 芳弘

最終頁に続く

(54) 【発明の名称】 SiC接合型電界効果トランジスタ及びSiC相補型接合型電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項1】

半絶縁性SiC基板と、  
前記半絶縁性SiC基板の主面側に形成された第1導電型の埋込チャンネル領域と、  
前記半絶縁性SiC基板の主面であって、前記埋込チャンネル領域上に形成された第2導電型のゲート領域と、  
前記半絶縁性SiC基板の主面であって、前記埋込チャンネル領域上に、前記ゲート領域を挟んで形成された第1導電型のソース領域及びドレイン領域と  
を備えたノーマリオフ型のSiC接合型電界効果トランジスタであって、  
前記埋込チャンネル領域の不純物濃度を $N$  ( $\text{cm}^{-3}$ )、前記埋込チャンネル領域の厚さを $L$  ( $\text{cm}$ )としたとき、 $NL^2 < 3 \times 10^7 \text{ cm}^{-1}$ を満たすことを特徴とするSiC接合型電界効果トランジスタ。

【請求項2】

前記埋込チャンネル領域、前記ゲート領域、前記ソース領域、及び前記ドレイン領域は、それぞれ、イオン注入層で構成されていることを特徴とする請求項1に記載のSiC接合型電界効果トランジスタ。

【請求項3】

半絶縁性SiC基板に、nチャンネル接合型電界効果トランジスタと、pチャンネル接合型電界効果トランジスタとが形成されたSiC相補型接合型電界効果トランジスタであって、

10

20

前記 n チャンネル接合型電界効果トランジスタ及び p チャンネル接合型電界効果トランジスタは、それぞれ、請求項 1 または 2 に記載のノーマリオフ型の SiC 接合型電界効果トランジスタで構成されており、

前記 n チャンネル接合型電界効果トランジスタのチャンネル領域または埋込チャンネル領域と、前記 p チャンネル接合型電界効果トランジスタのチャンネル領域または埋込チャンネル領域とは、前記半絶縁性 SiC 基板内において、互いに離間して形成されていることを特徴とする SiC 相補型接合型電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素 (SiC) 基板を用いて形成されたノーマリオフ型の SiC 接合型電界効果トランジスタ (以下、「SiC JFET」という)、及び、この JFET で構成された n チャンネル JFET 及び p チャンネル JFET を備えた SiC 相補型接合型電界効果トランジスタ (以下、「SiC 相補型 JFET」という) に関する。

【背景技術】

【0002】

炭化珪素 (SiC) は、絶縁破壊電界強度がシリコン (Si) に比べて約 10 倍高いため、Si の限界を超える高耐圧パワーデバイスが開発されている。

【0003】

一方、現在の半導体集積回路は、主にシリコン (Si) で作製されているが、産業分野においては、自動車や航空機のエンジン制御、自動車タイヤのモニター、宇宙用エレクトロニクスなど、Si では実現不可能な 200 以上の高温において動作する集積回路が渴望されている。

【0004】

SiC は、バンドギャップが Si に比べて約 3 倍高いため、500 以上の高温環境下で動作する集積回路が作製可能である。

【0005】

SiC 基板を用いて作製した集積回路として、例えば、非特許文献 1 には、相補型 MOSFET で構成された集積回路が、非特許文献 2 には、n チャンネル JFET で構成された集積回路が開示されている。また、特許文献 1 には、n チャンネル JFET と p チャンネル JFET とを半絶縁性の SiC 層で絶縁分離した相補型 JFET が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2011-166025 号公報

【非特許文献】

【0007】

【非特許文献 1】S.H. Ryu et al., IEEE Trans. Electron Devices, vol.45 (1998), p. 45.

【非特許文献 2】P.G. Neudeck et al., Phys. Stat. Sol. (a), vol.206 (2009), p.232

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、非特許文献 1 に開示された相補型 MOSFET は、SiC とゲート酸化膜との界面に高密度の欠陥や電荷が存在するため、しきい値電圧が温度により大きく変動し、安定した動作ができないという問題がある。また、ゲート酸化膜が高温で劣化するという問題もある。

【0009】

また、非特許文献 2 に開示された集積回路は、n チャンネル JFET のみを用いている

10

20

30

40

50

ため、相補型回路を組むことができず、消費電力が著しく大きいという問題がある。加えて、このnチャンネルJFETは、ノーマリオン型の素子であるため、駆動回路が複雑になるという問題がある。

【0010】

また、特許文献1に開示された相補型JFETは、nチャンネルJFETとpチャンネルJFETとを、ホットウォールCVD法で形成されたイントリンシックSiC層で絶縁分離する構造になっており、微細なトレンチ形成、埋め込み成長、表面平坦化研磨を繰り返す必要があるため、作製プロセスが非常に複雑になるという問題がある。

【0011】

今まで、SiC基板を用いた集積回路に関する研究はいくつか報告されているが、高温動作が確認されたに留まり、いずれも、高温で安定に動作しない、消費電力が大きい、広範囲でノーマリオフの動作が得られない、作製が困難、等の課題を残し、未だ実用化できるレベルには至っていない。

【0012】

本発明は、上記課題に鑑みなされたもので、その主な目的は、高温で安定に動作可能で、消費電力が極めて小さく、かつ作製が容易な、ノーマリオフ型のSiC接合型電界効果トランジスタ及びSiC相補型接合型電界効果トランジスタを提供することにある。

【課題を解決するための手段】

【0013】

本発明に係るSiC接合型電界効果トランジスタは、半絶縁性SiC基板と、半絶縁性SiC基板の主面に形成された第1導電型のチャンネル領域と、チャンネル領域の主面に形成された第2導電型のゲート領域と、チャンネル領域の主面であって、ゲート領域を挟んで形成された第1導電型のソース領域及びドレイン領域とを備え、チャンネル領域の不純物濃度を $N(\text{cm}^{-3})$ 、ゲート領域下におけるチャンネル領域の厚さを $D(\text{cm})$ としたとき、 $ND^2 < 3 \times 10^7 \text{cm}^{-1}$ を満たすことを特徴とする。

【0014】

本発明に係る他のSiC接合型電界効果トランジスタは、半絶縁性SiC基板と、半絶縁性SiC基板の主面側に形成された第1導電型の埋込チャンネル領域と、半絶縁性SiC基板の主面であって、埋込チャンネル領域上に形成された第2導電型のゲート領域と、半絶縁性SiC基板の主面であって、埋込チャンネル領域上に、ゲート領域を挟んで形成された第1導電型のソース領域及びドレイン領域とを備え、埋込チャンネル領域の不純物濃度を $N(\text{cm}^{-3})$ 、埋込チャンネル領域の厚さを $L(\text{cm})$ としたとき、 $NL^2 < 3 \times 10^7 \text{cm}^{-1}$ を満たすことを特徴とする。

【0015】

本発明に係るSiC相補型接合型電界効果トランジスタは、半絶縁性SiC基板に、nチャンネル接合型電界効果トランジスタと、pチャンネル接合型電界効果トランジスタとが形成されたSiC相補型接合型電界効果トランジスタであって、nチャンネル接合型電界効果トランジスタ及びpチャンネル接合型電界効果トランジスタは、それぞれ、上記のノーマリオフ型のSiC接合型電界効果トランジスタで構成されており、nチャンネル接合型電界効果トランジスタのチャンネル領域または埋込チャンネル領域と、pチャンネル接合型電界効果トランジスタのチャンネル領域または埋込チャンネル領域とは、半絶縁性SiC基板内において、互いに離間して形成されていることを特徴とする。

【0016】

本発明に係る他のSiC接合型電界効果トランジスタは、SiC基板と、SiC基板上に形成された第1導電型の低濃度エピタキシャル層と、低濃度エピタキシャル層の主面に形成された第2導電型のウェル領域と、ウェル領域内に形成された第1導電型のチャンネル領域と、チャンネル領域の主面に形成された第2導電型のゲート領域と、チャンネル領域の主面であって、ゲート領域を挟んで形成された第1導電型のソース領域及びドレイン領域とを備え、チャンネル領域の不純物濃度を $N(\text{cm}^{-3})$ 、ゲート領域下におけるチャンネル領域の厚さを $L(\text{cm})$ としたとき、 $NL^2 < 3 \times 10^7 \text{cm}^{-1}$ を満たすことを特徴とす

10

20

30

40

50

る。

【発明の効果】

【0017】

本発明によれば、高温で安定に動作可能で、消費電力が極めて小さく、かつ作製が容易な、ノーマリオフ型のSiC接合型電界効果トランジスタ及びSiC相補型接合型電界効果トランジスタを提供することができる。

【図面の簡単な説明】

【0018】

【図1】nチャンネル型のSiC JFETの構成を模式的に示した断面図である。

【図2】本発明の一実施形態におけるSiC JFETの構成を模式的に示した断面図である。

10

【図3】nチャンネル型、及びpチャンネル型のSiC JFETのしきい値電圧 $V_T$ の計算値を、それぞれ、 $N_D D_n^2$ 、 $N_A D_p^2$ に対してプロットしたグラフである。

【図4】ゲート電極に正の電圧 $V_G$ を印加したときに、ゲート領域とチャンネル領域との間のpn接合の順方向に流れるゲート電流 $I$ の $I - V_G$ 特性を示したグラフである。

【図5】拡散電位 $V_j$ の温度依存性を示したグラフである。

【図6】(a)~(c)は、本実施形態におけるSiC JFETを用いて構成したSiC相補型JFETでインバータ回路に構成した例を示した回路図である。

【図7】インバータ回路を構成する相補型SiC JFETの構造を模式的に示した断面図である。

20

【図8】半絶縁性のSiC基板に不純物をイオン注入した後、所定の温度でアニールを行って、不純物の電気活性率を測定した結果を示したグラフである。

【図9】半絶縁性のSiC基板に不純物を所定のドーズ量でイオン注入した後、1700の温度でアニールを行って、不純物の電気活性率を測定した結果を示したグラフである。

【図10】作製したnチャンネルJFETのドレイン電流 - ドレイン電圧特性を測定した結果を示した図である。

【図11】SiC相補型JFETで構成されたインバータ回路において、インバータ特性の温度依存性を、計算で求めた結果を示したグラフである。

【図12】SiC相補型JFETで構成されたインバータ回路において、論理しきい値 $V_{inv}$ の温度依存性を、計算で求めた結果を示したグラフである。

30

【図13】本発明の他の本実施形態におけるSiC相補型JFETの構成を模式的に示した断面図である。

【図14】(a)、(b)は、本発明の他の実施形態におけるSiC相補型JFETの構成を模式的に示した断面図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の実施形態に限定されるものではない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜変更は可能である。

40

【0020】

図1は、nチャンネル型のSiC JFETの構成を模式的に示した面図である。半絶縁性のSiC基板10の上に、n型のチャンネル領域11が形成され、チャンネル領域11の表面に、p<sup>+</sup>型のゲート領域14が形成されている。また、チャンネル領域11の表面に、ゲート領域14を挟んで、n<sup>+</sup>型のソース領域12及びn<sup>+</sup>型のドレイン領域13が形成されている。また、ソース領域12、ドレイン領域13、及びゲート領域14の表面には、それぞれ、ソース電極15、ドレイン電極16、及びゲート電極17が形成されている。

【0021】

なお、pチャンネル型のSiC JFETは、チャンネル領域11をp型に、ゲート領域14をn<sup>+</sup>型に、ソース領域12及びドレイン領域13をp<sup>+</sup>型に、それぞれ変えることに

50

よって、形成することができる。

【0022】

通常、SiC JFETは、ゲート電極17に電圧（ゲート電圧）を印加させることで、ゲート領域14直下のチャネル領域11を空乏化して、ソース領域12とドレイン領域13との間の電流（ドレイン電流）を遮断する。そのため、通常のSiC JFETでは、ゲート電圧が0V時に、ドレイン電流が流れるノーマリオン特性となる。

【0023】

しかしながら、図2に示すように、ゲート電圧が0V時に、ゲート領域14直下のチャネル領域11に形成される空乏層20の厚みを、ゲート領域14直下のチャネル領域11の厚みより厚くできれば、ノーマリオフ特性を有するJFETを実現することができる。

10

【0024】

nチャネル型のSiC JFETのしきい値電圧 $V_{Tn}$ は、半導体pn接合の空乏層解析モデルを使って、以下の式(1)で表すことができる。

【0025】

【数1】

$$V_{Tn} = V_{jn} - \frac{q}{2\epsilon_s} N_D D_n^2 \quad \dots(\text{式1})$$

【0026】

ここで、 $q$ は電子の電荷、 $\epsilon_s$ はSiCの誘電率、 $N_D$ はチャネル領域11の不純物（ドナー）濃度、 $D_n$ は、ゲート領域14直下のチャネル領域11の厚さである。また、 $V_{jn}$ は、ゲート領域14とチャネル領域11間のpn接合の拡散電位で、以下の式(2)で表される。

20

【0027】

【数2】

$$V_{jn} = \frac{kT}{q} \ln\left(\frac{np}{n_i^2}\right) \quad \dots(\text{式2})$$

30

【0028】

ここで、 $k$ はボルツマン定数、 $n$ はチャネル領域11の電子密度、 $p$ はゲート領域14の正孔密度、 $n_i$ は真性キャリア濃度である。

【0029】

同様に、pチャネル型のSiC JFETのしきい値電圧 $V_{Tp}$ は、以下の式(3)で表すことができる。

【0030】

【数3】

$$V_{Tp} = V_{jp} - \frac{q}{2\epsilon_s} N_A D_p^2 \quad \dots(\text{式3})$$

40

【0031】

ここで、 $N_A$ はチャネル領域の不純物（アクセプタ）濃度、 $D_p$ は、ゲート領域直下のチャネル領域の厚さである。また、 $V_{jp}$ は、ゲート領域とチャネル領域間のpn接合の拡散電位で、以下の式(4)で表される。

【0032】

【数4】

$$V_{jp} = \frac{kT}{q} \ln \left( \frac{np}{n_i^2} \right) \quad \dots(\text{式4})$$

【0033】

ここで、 $n$ はゲート領域の電子密度、 $p$ はチャネル領域の正孔密度である。

【0034】

図3は、上記式(1)～(4)に基づいて、 $n$ チャネル型、及び $p$ チャネル型のSiC JFETのしきい値電圧 $V_T$ の計算値を、それぞれ、 $N_D D_n^2$ 、 $N_A D_p^2$ に対して  
10  
プロットしたグラフである。ここで、矢印Aで示したグラフは、 $n$ チャネル型のしきい値電圧 $V_T$ 、矢印Bで示したグラフは、 $p$ チャネル型のしきい値電圧 $V_T$ を示す。なお、 $p$ チャネルJFETでは $V_T$ が負のときノーマリオフとなるので、同図では $n$ チャネルJFETと比較しやすいように、 $-V_T$ をプロットしている。

【0035】

図3に示すように、 $n$ チャネル型の場合、 $N_D D_n^2$ が $3.4 \times 10^7 \text{ cm}^{-1}$  (矢印P)より小さいとき、 $V_T$ が正になり、また、 $p$ チャネル型の場合、 $N_A D_p^2$ が $3.1 \times 10^7 \text{ cm}^{-1}$  (矢印Q)より小さいとき、 $V_T$ が正になる。すなわち、チャネル領域11の不純物濃度を $N (\text{cm}^{-3})$ 、ゲート領域14下におけるチャネル領域11の厚さを $D (\text{cm})$ としたとき、 $ND^2 < 3 \times 10^7 \text{ cm}^{-1}$ を満たせば、ノーマリオフ特性を  
20  
有するJFETを実現することができる。

【0036】

例えば、チャネル領域11の厚さ $D$ を $0.15 \mu\text{m}$ に設定したとき、チャネル領域11の不純物濃度 $N$ を、 $N < 1.3 \times 10^{17} \text{ cm}^{-3}$ に設定すれば、ノーマリオフ特性を有するJFETを実現することができる。

【0037】

なお、ノーマリオフ型のJFETでは、ゲート電極17に、 $0\text{V}$ より大きいゲート電圧を印加することによって、空乏層20の厚みが薄くなり、ソース領域12とドレイン領域13との間にドレイン電流が流れる。

【0038】

図4は、ゲート電極17に正の電圧 $V_G$ を印加したときに、ゲート領域14とチャネル領域11との間の $pn$ 接合の順方向に流れる電流(ゲート電流) $I$ の $I - V_G$ 特性を示したグラフである。ここで、矢印Aで示したグラフは、SiのJFETの特性を示し、矢印Bで示したグラフは、SiCのJFETの特性を示す、

図4に示すように、Si JFETの場合には、 $0\text{V} < V_G < 0.4\text{V}$ で、ゲート電流 $I$ がほぼゼロであるのに対し、SiC JFETの場合には、 $0\text{V} < V_G < 2.6\text{V}$ で、ゲート電流 $I$ がほぼゼロとなる。これは、SiCのバンドギャップがSiに比べて約3倍高いためである。従って、Si JFETの場合には、 $V_T$ は、 $0.2\text{V}$ 程度が限界であるのに対し、SiC JFETの場合には、 $1.0\text{V}$ の $V_T$ を設定することが可能となる  
40

【0039】

上記式(1)～(4)に示すように、しきい値電圧 $V_T$ の温度依存性は、拡散電位 $V_j$ の温度依存性による。

【0040】

図5は、拡散電位 $V_j$ の温度依存性を示したグラフである。ここで、矢印Aで示したグラフが $n$ チャネル型JFETの温度特性を示し、矢印Bで示したグラフが $p$ チャネル型JFETの温度特性を示す。なお、式(2)、(4)において、チャネル領域11のキャリア密度を、 $5 \times 10^{17} \text{ cm}^{-3}$ 、ゲート領域14のキャリア密度を、 $1 \times 10^{19} \text{ cm}^{-3}$ としている。

【0041】

10

20

30

40

50

図5に示すように、室温( $T_R$ )における拡散電位 $V_j$ と、600Kにおける拡散電位 $V_j$ との差 $V$ は、約0.3Vと非常に小さい。従って、SiC JFETのしきい値電圧 $V_T$ の温度依存性は非常に小さく、広い温度範囲において、安定した動作を示す集積回路を実現することが可能となる。

【0042】

本発明の一実施形態におけるSiC JFETは、図2に示したように、半絶縁性SiC基板10と、半絶縁性SiC基板10の主面に形成された第1導電型のチャネル領域11と、チャネル領域11の主面に形成された第2導電型のゲート領域14と、チャネル領域11の主面であって、ゲート領域14を挟んで形成された第1導電型のソース領域12及びドレイン領域13とを備えている。

10

【0043】

そして、チャネル領域11の不純物濃度を $N$ ( $\text{cm}^{-3}$ )、ゲート領域14下におけるチャネル領域11の厚さを $D$ ( $\text{cm}$ )としたとき、 $ND^2 < 3 \times 10^7 \text{ cm}^{-1}$ を満たしており、これにより、ノーマリオフ型のSiC JFETを実現することができる。

【0044】

本実施形態におけるSiC JFETは、チャネル領域11の不純物濃度と、ゲート領域14下におけるチャネル領域11の厚さを調整するだけで、ノーマリオフ動作するSiC JFETを実現することができる。また、広いゲート電圧領域で、ゲート電流の抑制ができるとともに、しきい値電圧の温度依存性が非常に小さいため、広い温度範囲において、安定した動作を示す集積回路を実現することができる。また、ゲート電圧の広い範囲でノーマリオフの特性が得られるため、安定した動作のSiC相補型JFETを実現できるとともに、消費電力が極めて小さい集積回路を実現することができる。

20

【0045】

図6(a)~(c)は、本実施形態におけるSiC JFETを用いて構成したSiC相補型JFETでインバータ回路に構成した例を示した回路図である。ここで、 $T_{r1}$ はノーマリオフ型のnチャネルJFET、 $T_{r2}$ はノーマリオフ型のpチャネルJFETである。また、図7は、このインバータ回路を構成する相補型SiC JFETの構造を模式的に示した断面図である。

【0046】

図7に示すように、半絶縁性SiC基板10のnチャネルJFET形成領域に、n型のチャネル領域11が形成され、pチャネルJFET形成領域に、p型のチャネル領域21が、それぞれ形成されている。また、n型のチャネル領域11の表面には、p<sup>+</sup>型のゲート領域14と、n<sup>+</sup>型のソース領域12及びドレイン領域13とが形成されている。また、p型のチャネル領域21の表面には、n<sup>+</sup>型のゲート領域24と、p<sup>+</sup>型のソース領域22及びドレイン領域23とが形成されている。また、ソース領域12、22、ドレイン領域13、23、及びゲート領域14、24の表面には、それぞれ、nチャネルJFET及びpチャネルJFETのソース電極15、25、ドレイン電極16、26、及びゲート電極17、27が形成されている。

30

【0047】

図6(a)~(c)及び図7に示すように、nチャネルJFET及びpチャネルJFETのゲート電極17、27は、インバータ回路の入力端子 $V_{in}$ に接続されている。また、nチャネルJFET及びpチャネルJFETのドレイン電極16、26は、インバータ回路の出力端子 $V_{out}$ に接続されている。また、nチャネルJFETのソース電極15は、グランドに接続され、pチャネルJFETのソース電極25は、電源( $V_{DD}$ )に接続されている。

40

【0048】

ここで、nチャネルJFETのチャネル領域11と、pチャネルJFETのチャネル領域21とは、半絶縁性SiC基板10内において、互いに離間して形成されている。これにより、nチャネルJFETとpチャネルJFETとは、半絶縁性SiC基板10によって絶縁分離される。

50

## 【 0 0 4 9 】

また、nチャネルJFETのチャネル領域11、及びpチャネルJFETのチャネル領域21は、イオン注入で形成された層（イオン注入層）で構成されている。また、各ゲート領域17、27、ソース電極15、25、及びドレイン領域13、23も、イオン注入層で構成されている。

## 【 0 0 5 0 】

イオン注入層は、通常のフォトリソグラフィ法を用いて、半絶縁性SiC基板10の所定領域に、不純物（ドナー、アクセプタ）を選択的にイオン注入して形成することができる。また、イオン注入の加速エネルギーとドーズ量を調整することによって、イオン注入層の厚さ及び不純物濃度を設定することができる。

10

## 【 0 0 5 1 】

n型の不純物（ドナー）としては、リン（P）、窒素（N）等を用いることができる。また、p型の不純物（アクセプター）としては、アルミニウム（Al）等を用いることができる。

## 【 0 0 5 2 】

図8は、半絶縁性のSiC基板に、n型不純物（P<sup>+</sup>）及びp型不純物（Al<sup>+</sup>）を、それぞれ室温でイオン注入した後、所定の温度でアニールを行って、各不純物の電気活性化率を測定した結果を示したグラフである。ここで、イオン注入のドーズ量は、それぞれ、 $1 \times 10^{14} \text{ cm}^{-2}$ （約 $10^{18} \text{ cm}^{-3}$ ）、加速エネルギーは、それぞれ、160 keVとした。また、アニール時間は、20分とした。なお、図中の矢印Aで示すグラフは、P<sup>+</sup>の電気活性化率、矢印Bで示すグラフは、Al<sup>+</sup>の電気活性化率を、それぞれ示す。

20

## 【 0 0 5 3 】

図8に示すように、n型不純物（P<sup>+</sup>）及びp型不純物（Al<sup>+</sup>）は、共に、イオン注入後に、1600以上の温度でアニールすることによって、電気活性化率を90%以上にすることができる。

## 【 0 0 5 4 】

また、1600以上の温度でアニールしても、SiC基板中にイオン注入された不純物の濃度プロファイルは、注入時の濃度プロファイルと、ほとんど変化がないことが、二次イオン質量分析法（SIMS）により確認されている。

30

## 【 0 0 5 5 】

図9は、半絶縁性のSiC基板に、n型不純物（P<sup>+</sup>）及びp型不純物（Al<sup>+</sup>）を、それぞれ、所定のドーズ量で、室温でイオン注入した後、1700の温度でアニールを行って、各不純物の電気活性化率を測定した結果を示したグラフである。ここで、イオン注入の加速エネルギーは、それぞれ、160 keVとした。また、アニール時間は、20分とした。

## 【 0 0 5 6 】

図9に示すように、n型不純物（P<sup>+</sup>）及びp型不純物（Al<sup>+</sup>）は、共に、ドーズ量が $10^{17} \sim 10^{19} \text{ cm}^{-3}$ の範囲において、イオン注入後に、所定の温度でアニールすることによって、電気活性化率を90%以上にすることができる。

40

## 【 0 0 5 7 】

このように、半絶縁性のSiC基板10の所定領域に、不純物（ドナー、アクセプタ）を選択的にイオン注入した後に、1600C以上の温度でアニールすることによって、十分に活性化され、かつ、不純物プロファイルの変動が僅かなイオン注入層を形成することができる。これにより、JFETのチャネル領域11、21、ゲート領域17、27、ソース電極15、25、及びドレイン領域13、23を、全てイオン注入層のみで構成しても、優れた特性のJFETを実現することができる。

## 【 0 0 5 8 】

図10は、本実施形態における構成のnチャネルJFETを作製して、ドレイン電流 - ドレイン電圧特性（ $I_D - V_D$ 特性）を測定した結果を示した図である。ここで、測定は

50



、600 Kの温度下で行った。また、各イオン注入層の形成は、以下の条件で行い、イオン注入後のアニールは、1700で行った。

【0059】

チャンネル領域：ドーパント ( $P^+$ )、総ドーズ量 ( $6.2 \times 10^{12} \text{ cm}^{-2}$ )、加速エネルギー ( $80 \sim 180 \text{ keV}$ )

ゲート領域：ドーパント ( $Al^+$ )、総ドーズ量 ( $2.3 \times 10^{14} \text{ cm}^{-2}$ )、加速エネルギー ( $10 \sim 45 \text{ keV}$ )

ソース・ドレイン領域：ドーパント ( $P^+$ )、総ドーズ量 ( $2.2 \times 10^{14} \text{ cm}^{-2}$ )、加速エネルギー ( $10 \sim 60 \text{ keV}$ )

上記の条件で作製したnチャンネルJFETは、チャンネル領域11の不純物濃度が  $4 \times 10^{17} \text{ cm}^{-3}$  で、ゲート領域14下におけるチャンネル領域11の厚さが70 nmであった。また、チャンネル領域11の長さは10  $\mu\text{m}$ 、幅は200  $\mu\text{m}$ であった。 10

【0060】

図10に示すように、作製したnチャンネルJFETは、ノーマリオフの動作を示し、600 Kの高温でも、優れた  $I_D - V_D$  特性を示した。

【0061】

本実施形態において、チャンネル領域11、21、ゲート領域14、24、ソース領域12、22、及びドレイン領域13、23を、全てイオン注入で形成しているため、相補型JFETを容易に作製することができる。また、半絶縁性SiC基板10に、互いに離間したチャンネル領域11、21を形成しているため、nチャンネルJFETとpチャンネルJFETとの絶縁分離を容易に行うことができる。加えて、イオン注入の加速エネルギーとドーズ量を調整することによって、チャンネル領域11、21の不純物濃度と、ゲート領域14、24下におけるチャンネル領域11、21の厚さを設定することができるため、JFETのノーマリオフ化を容易に行うことができる。 20

【0062】

本実施形態において、半絶縁性SiC基板10は、nチャンネルJFETとpチャンネルJFETとを絶縁分離できる程度に高抵抗なものであればよい。例えば、抵抗率が  $10^9 \text{ cm}$ 以上の半絶縁性SiC基板10を用いることができる。

【0063】

次に、図6(a)~(c)を参照しながら、相補型SiC JFETで構成されたインバータ回路の動作を説明する。 30

【0064】

図6(a)に示すように、インバータ回路の入力端子  $V_{in}$  が0 V (low) のとき、nチャンネルJFETはオフ(OFF)になり、pチャンネルJFETはオン(ON)になる。このため、インバータ回路の出力端子  $V_{out}$  は、 $V_{DD}$  とほぼ等しくなる。

【0065】

次に、図6(b)に示すように、入力端子  $V_{in}$  が  $1/2 V_{DD}$  まで上がると、nチャンネルJFET及びpチャンネルJFETは、共にオン(ON)になる。このため、出力端子  $V_{out}$  は、 $V_{DD}$  から0 V (low) に遷移する。

【0066】

次に、図6(c)に示すように、入力端子  $V_{in}$  が  $V_{DD}$  (High) のとき、nチャンネルJFETはオン(ON)になり、pチャンネルJFETはオフ(OFF)になる。このため、出力端子  $V_{out}$  は、0 V とほぼ等しくなる。このように、インバータ回路の出力端子  $V_{out}$  は、入力端子  $V_{in}$  と反対の電位が生じる。 40

【0067】

図11は、本実施形態におけるSiC相補型JFETで構成されたインバータ回路において、インバータ特性 ( $V_{out} - V_{in}$  特性)の温度依存性を、計算で求めた結果を示したグラフである。ここで、nチャンネルJFETのチャンネル幅を8  $\mu\text{m}$ 、チャンネル長を10  $\mu\text{m}$ 、しきい値電圧(室温)を0.84 Vとした。また、pチャンネルJFETのチャンネル幅を120  $\mu\text{m}$ 、チャンネル長を10  $\mu\text{m}$ 、しきい値電圧(室温)を-0.82 Vとした 50

。また、電源電圧 ( $V_{DD}$ ) を  $2V$  とした。この  $2V$  は、高温でもゲート電流がほぼゼロとなるゲート電圧の最大値に相当する、

図 11 に示したグラフは、温度を  $300K$ 、 $400K$ 、 $500K$ 、 $600K$  と変えたときのインバータ特性を、それぞれ重ねてプロットしたものである。図 11 において、太い実線が  $300K$ 、細かい実線が  $400K$ 、点線が  $500K$ 、破線が  $600K$  での特性をそれぞれ示す。このように、本実施形態における  $SiC$  相補型  $JFET$  で構成されたインバータ回路は、室温から  $600K$  の温度範囲において、変動の小さいインバータ特性を実現することができる。

【0068】

図 12 は、本実施形態における  $SiC$  相補型  $JFET$  で構成されたインバータ回路において、論理しきい値  $V_{inv}$  の温度依存性を、計算で求めた結果を示したグラフである。ここで、論理しきい値  $V_{inv}$  は、図 11 に示したように、インバータ回路の出力電圧  $V_{out}$  が、 $V_{DD}$  から  $0V$  に切り替わる入力電圧をいう。

【0069】

図 12 に示すように、本実施形態におけるインバータ回路は、室温から  $1000K$  の温度範囲において、論理しきい値  $V_{inv}$  の変化  $V$  が極めて小さい ( $0.06V$  程度)。これは、 $n$  チャネル  $JFET$  と  $p$  チャネル  $JFET$  のしきい値電圧の温度依存性がほぼ同じであるためである。

【0070】

図 13 は、本発明の他の本実施形態における  $SiC$  相補型  $JFET$  の構成を模式的に示した断面図である。本実施形態における  $SiC$  相補型  $JFET$  は、図 7 に示した  $SiC$  相補型  $JFET$  に対して、チャンネル領域 11、21 を、埋込型に変更したものである。

【0071】

図 13 に示すように、半絶縁性  $SiC$  基板 10 の  $n$  チャネル  $JFET$  形成領域に、 $n$  型の埋込チャンネル領域 11 が形成され、 $p$  チャネル  $JFET$  形成領域に、 $p$  型の埋込チャンネル領域 21 が、それぞれ形成されている。また、 $n$  型の埋込チャンネル領域 11 の上方には、 $p^+$  型のゲート領域 14 と、 $n^+$  型のソース領域 12 及びドレイン領域 13 とが形成されている。また、 $p$  型の埋込チャンネル領域 21 の上方には、 $n^+$  型のゲート領域 24 と、 $p^+$  型のソース領域 22 及びドレイン領域 23 とが形成されている。また、ソース領域 12、22、ドレイン領域 13、23、及びゲート領域 14、24 の表面には、それぞれ、 $n$  チャネル  $JFET$  及び  $p$  チャネル  $JFET$  のソース電極 15、25、ドレイン電極 16、26、及びゲート電極 17、27 が形成されている。

【0072】

本実施形態における埋込チャンネル領域 11、21 は、ゲート領域 14、24 よりも深い領域に、高い加速エネルギーで不純物をイオン注入することにより形成される。そのため、埋込チャンネル領域 11、21 の上方は、ソース領域 12、22、ドレイン領域 13、23、及びゲート領域 14、24 を除いて、半絶縁性  $SiC$  基板 10 になっている。すなわち、ソース領域 12、22 とゲート領域 14、24 との間、及びドレイン領域 13、23 とゲート領域 14、24 との間には、 $pn$  接合が形成されていない。これにより、 $JFET$  の端子間の容量を大幅に低減することができる。その結果、 $SiC JFET$  の高速動作が可能となる。

【0073】

なお、図 13 に示した  $SiC$  相補型  $JFET$  の構造は、単体の  $SiC JFET$  にも勿論適用することができる。

【0074】

すなわち、本発明の他の実施形態における  $SiC JFET$  は、半絶縁性  $SiC$  基板 10 と、半絶縁性  $SiC$  基板 10 の主面側に形成された第 1 導電型の埋込チャンネル領域 11 と、半絶縁性  $SiC$  基板 10 の主面であって、埋込チャンネル領域 11 上に形成された第 2 導電型のゲート領域 14 と、半絶縁性  $SiC$  基板 10 の主面であって、埋込チャンネル領域 11 上に、ゲート領域 14 を挟んで形成された第 1 導電型のソース領域 12 及びドレイン

10

20

30

40

50

領域 13 とを備えている。

【0075】

そして、埋込チャネル領域 11 の不純物濃度を  $N$  ( $\text{cm}^{-3}$ )、埋込チャネル領域 11 の厚さを  $L$  ( $\text{cm}$ ) としたとき、 $NL^2 < 3 \times 10^7 \text{ cm}^{-1}$  を満たしており、これにより、ノーマリオフ型の SiCFET を実現することができる。

【0076】

図 14 (a)、(b) は、本発明の他の実施形態における SiC 相補型 JFET の構成を模式的に示した断面図である。本実施形態における SiC 相補型 JFET は、図 7 に示した SiC 相補型 JFET に対して、半絶縁性 SiC 基板 10 を、表面に低濃度エピタキシャル層が形成された SiC 基板に変更したものである。

10

【0077】

以下、図 14 (a) を参照しながら、本実施形態における SiC 相補型 JFET の構成を説明する。

【0078】

図 14 (a) に示すように、高濃度 n 型 SiC 基板 10 上に、n 型の低濃度エピタキシャル層 41 が形成され、n チャネル JFET 形成領域に、p 型のウェル領域 50 が形成されている。そして、p 型のウェル領域 50 内に、n 型のチャネル領域 11 が形成され、n 型のチャネル領域 11 の表面には、p<sup>+</sup> 型のゲート領域 14 と、n<sup>+</sup> 型のソース領域 12 及びドレイン領域 13 とが形成されている。

【0079】

一方、n 型の低濃度エピタキシャル層 41 表面の p チャネル JFET 形成領域には、p 型のチャネル領域 21 が形成され、p 型のチャネル領域 21 の表面には、n<sup>+</sup> 型のゲート領域 24 と、p<sup>+</sup> 型のソース領域 22 及びドレイン領域 23 とが形成されている。

20

【0080】

本実施形態における SiC 相補型 JFET において、n チャネル JFET と p チャネル JFET とは、n 型の低濃度エピタキシャル層 41 と、p 型のウェル領域 50 との間の pn 接合に逆バイアスを印加することによって、絶縁分離される。

【0081】

多くの SiC パワーデバイスでは、表面に低濃度エピタキシャル層が形成された高濃度 SiC 基板を用いて形成される。そのため、本実施形態における SiC 相補型 JFET は、SiC パワーデバイスと、同一基板上に形成することができる。これにより、SiC パワーデバイスと集積回路とを同一チップ上に作製することが可能となる。

30

【0082】

図 14 (b) は、n チャネル JFET 形成領域の代わりに、p チャネル JFET 形成領域に、n 型のウェル領域 51 を形成したものである。この場合、高濃度 p 型 SiC 基板 10 上には、p 型の低濃度エピタキシャル層 41 が形成される。

【0083】

なお、図 14 (a)、(b) に示した SiC 相補型 JFET の構造は、単体の SiC JFET にも勿論適用することができる。

【0084】

すなわち、本発明の他の実施形態における SiC JFET は、SiC 基板 10 と、SiC 基板 10 上に形成された第 1 導電型の低濃度エピタキシャル層 41 と、低濃度エピタキシャル層 41 の主面に形成された第 2 導電型のウェル領域 50 と、ウェル領域 50 内に形成された第 1 導電型のチャネル領域 11 と、チャネル領域 11 の主面に形成された第 2 導電型のゲート領域 14 と、ゲート領域 14 を挟んで形成された第 1 導電型のソース領域 12 及びドレイン領域 13 とを備えている。

40

【0085】

そして、チャネル領域 11 の不純物濃度を  $N$  ( $\text{cm}^{-3}$ )、ゲート領域 14 下におけるチャネル領域 11 の厚さを  $L$  ( $\text{cm}$ ) としたとき、 $NL^2 < 3 \times 10^7 \text{ cm}^{-1}$  を満たしており、これにより、ノーマリオフ型の SiCFET を実現することができる。

50

【 0 0 8 6 】

以上、本発明を好適な実施形態により説明してきたが、こうした記述は限定事項ではなく、もちろん、種々の改変が可能である。

【 0 0 8 7 】

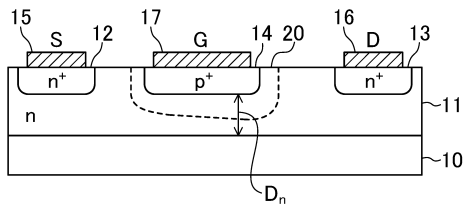
例えば、上記実施形態では、SiC相補型JFETをインバータ回路に適用した例を説明したが、他の集積回路に適用しても勿論構わない。

【符号の説明】

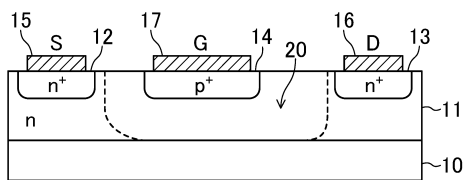
【 0 0 8 8 】

- 1 0 SiC基板
- 1 1、2 1 (埋込)チャンネル領域
- 1 2、2 2 ソース領域
- 1 3、2 3 ドレイン領域
- 1 4、2 4 ゲート領域
- 1 5、2 5 ソース電極
- 1 6、2 6 ドレイン電極
- 1 7、2 7 ゲート電極
- 2 0 空乏層
- 4 1 低濃度エピタキシャル層
- 5 0、5 1 ウェル領域

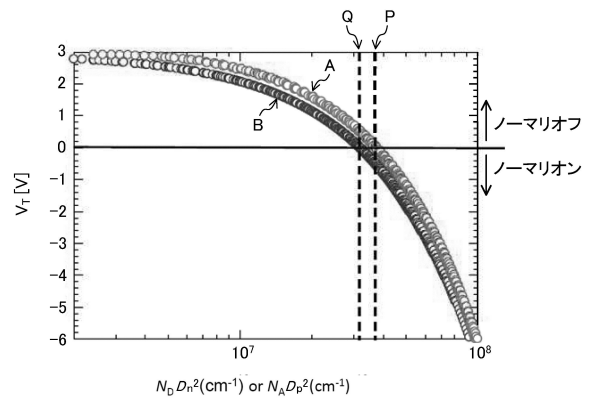
【 図 1 】



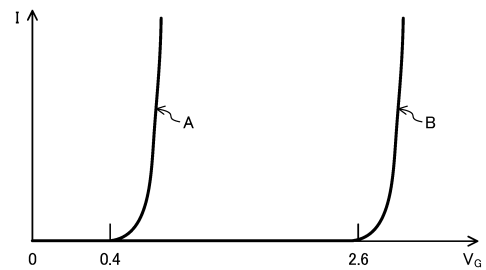
【 図 2 】



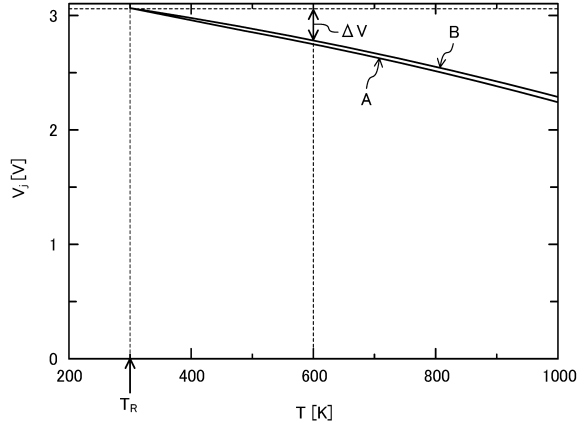
【 図 3 】



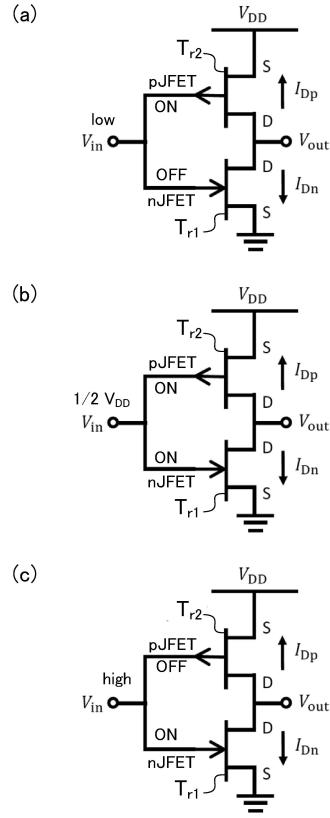
【 図 4 】



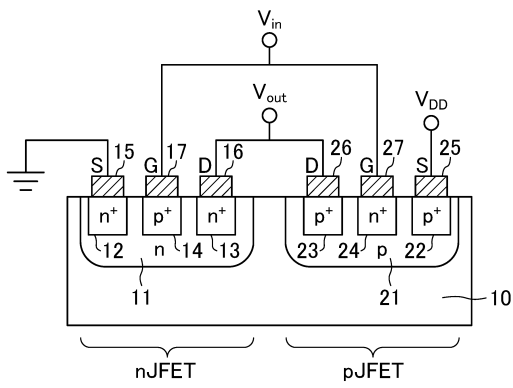
【図5】



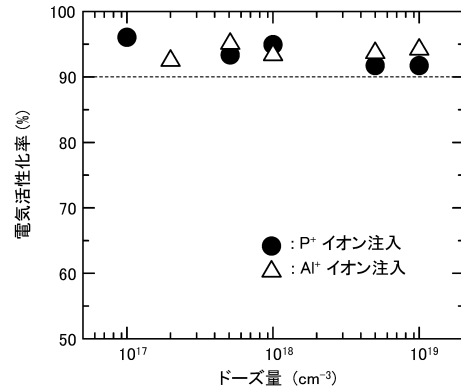
【図6】



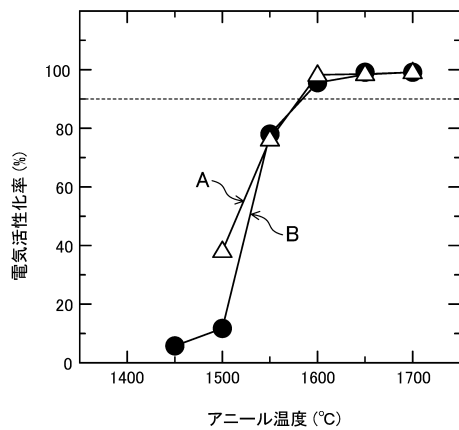
【図7】



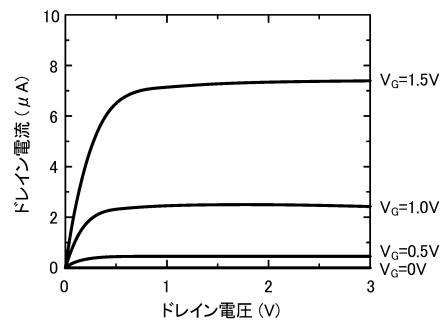
【図9】



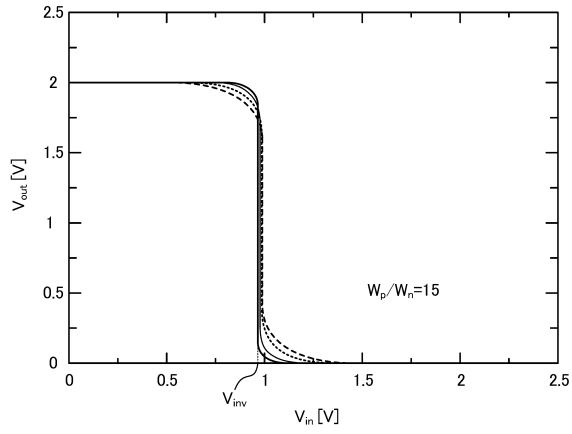
【図8】



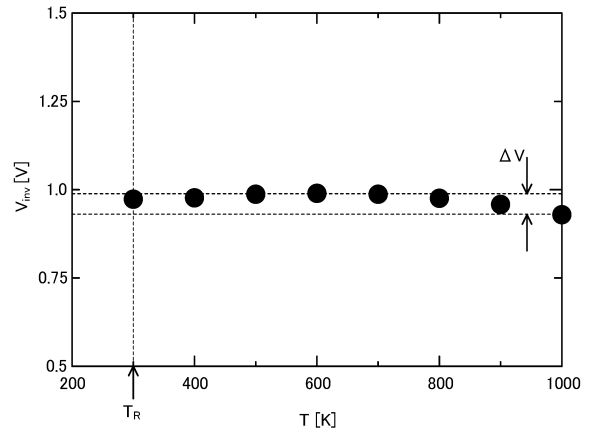
【図10】



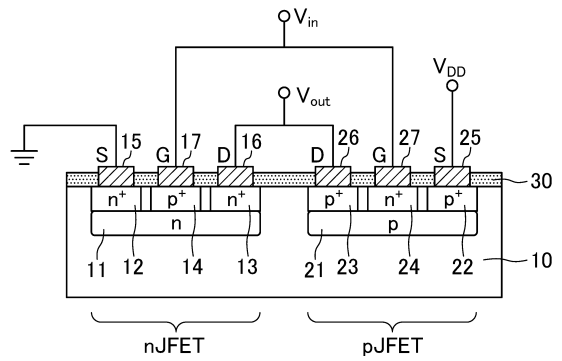
【 1 1 】



【 1 2 】

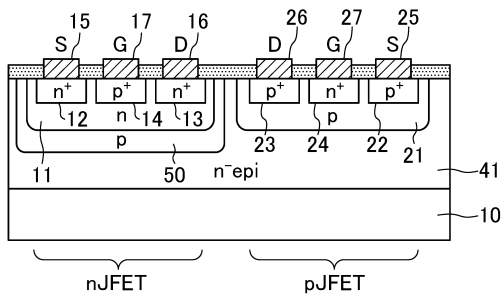


【 1 3 】

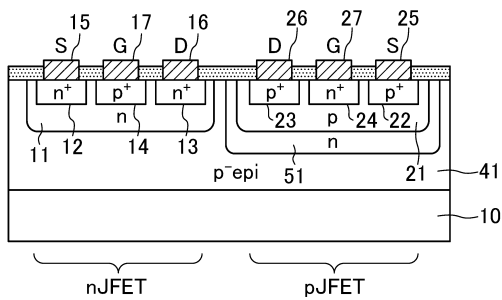


【 1 4 】

(a)



(b)



---

フロントページの続き

- (56)参考文献 特開2003-068762(JP,A)  
特開平10-247721(JP,A)  
特開2011-166025(JP,A)  
特開2005-191052(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/808  
H01L 21/337