

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-158041
(P2017-158041A)

(43) 公開日 平成29年9月7日(2017.9.7)

(51) Int.Cl.
H03K 19/14 (2006.01)

F I
H03K 19/14

テーマコード (参考)

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2016-39778 (P2016-39778)
(22) 出願日 平成28年3月2日 (2016.3.2)

(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区大手町一丁目5番1号
(71) 出願人 504132272
国立大学法人京都大学
京都府京都市左京区吉田本町36番地1
(74) 代理人 100098394
弁理士 山川 茂樹
(74) 代理人 100153006
弁理士 小池 勇三
(74) 代理人 100064621
弁理士 山川 政樹
(72) 発明者 新家 昭彦
東京都千代田区大手町一丁目5番1号 日
本電信電話株式会社内

最終頁に続く

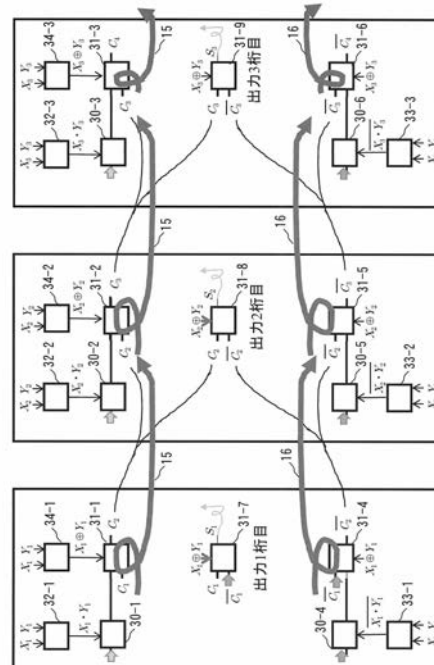
(54) 【発明の名称】 光論理回路および加算器

(57) 【要約】

【課題】 演算レベルで生じる遅延の問題を解決する。

【解決手段】 加算器は、複数ビットの信号XとYの加算の結果をビット毎に出力する光パスゲート31-7~31-9と、この光パスゲート31-7~31-9でのビット毎の加算に必要な桁上げ信号をビット毎に出力する光パスゲート31-1~31-3と、2×1光パスゲート31-1~31-3, 31-7~31-9を制御する制御信号として信号X, Yの排他的論理和の結果をビット毎に出力するXORゲート34-1~34-3と、信号X, Yのビット毎の論理積の結果を2×1光パスゲート31-1~31-3に入力するANDゲート32-1~32-3とを備える。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

複数ビットの信号 X と複数ビットの信号 Y との所望の論理演算の結果をビット毎に出力する第 1 の演算手段と、

この第 1 の演算手段でのビット毎の論理演算に必要な、上位ビットへの伝搬信号をビット毎に出力する第 2 の演算手段と、

前記信号 X , Y に基づいて前記第 1、第 2 の演算手段を制御する制御信号をビット毎に出力する第 3 の演算手段とを備え、

前記第 2 の演算手段は、ビット毎の構成がそれぞれ 1 つの光パスゲートからなり、各光パスゲートが直列に接続され、前記第 3 の演算手段で演算されたビット毎の制御信号が対応するビットの光パスゲートに入力されることを特徴とする光論理回路。

10

【請求項 2】

請求項 1 記載の光論理回路において、

前記光パスゲートは、ナノフォトニクス光ゲートであることを特徴とする光論理回路

【請求項 3】

請求項 1 または 2 記載の光論理回路において、

前記第 1、第 2、第 3 の演算手段の全てが光回路からなることを特徴とする光論理回路

【請求項 4】

請求項 1 または 2 記載の光論理回路において、

前記第 1 の演算手段は電気回路からなり、

前記第 2、第 3 の演算手段は光回路からなることを特徴とする光論理回路。

20

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の光論理回路において、

前記論理演算は、信号 X と信号 Y の加算であることを特徴とする光論理回路。

【請求項 6】

複数ビットの信号 X と複数ビットの信号 Y との加算の結果をビット毎に出力する第 1 の演算手段と、

この第 1 の演算手段でのビット毎の加算に必要な、上位ビットへの伝搬信号である桁上げ信号をビット毎に出力する第 2 の演算手段と、

前記第 1、第 2 の演算手段を制御する制御信号として前記信号 X , Y の排他的論理和の結果をビット毎に出力する X O R ゲートと、

前記信号 X , Y のビット毎の論理積の結果を前記第 2 の演算手段に入力する A N D ゲートとを備え、

前記第 1、第 2 の演算手段は、ビット毎の構成がそれぞれ 1 つの光パスゲートからなり、前記第 2 の演算手段を構成する各光パスゲートが直列に接続され、前記 X O R ゲートで演算されたビット毎の制御信号が対応するビットの光パスゲートに入力されることを特徴とする加算器。

30

【請求項 7】

請求項 6 記載の加算器において、

前記第 1 の演算手段を構成する各光パスゲートは、前記 X O R ゲートで演算されたビット毎の制御信号に応じて桁上げ信号またはその反転信号のいずれかを出力し、

前記第 2 の演算手段を構成する各光パスゲートは、前記 X O R ゲートで演算されたビット毎の制御信号に応じて桁上げ信号または前記 A N D ゲートの出力信号のいずれかを出力することを特徴とする加算器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、論理演算を光回路、または光回路と電気回路の混合回路で行う光論理回路と

50

、光論理回路の1例である加算器に関するものである。

【背景技術】

【0002】

現在の電子演算回路は、その処理速度を向上させるため、そのチップサイズや素子サイズを極限まで小さくする工夫がなされている。その理由は、回路内の抵抗(R)とキャパシタンス(C)とが信号の伝搬を大きく遅くしているため、演算速度を上げるにはチップサイズや素子サイズを小さくするしかないためである。そのため、狭面積の論理ブロックやコアに素子を詰め込み、マルチコア(multi-core)・メニーコア(many core)化などの工夫がなされているが、それらのコアを繋ぐための配線が新たな「遅延」を生み、演算の高速化に限界が見えつつある。

10

【0003】

一方、光通信などで用いられる光配線や光パスゲートは、その配線経路内のCやRに無依存で光信号を伝播させることができる。また、ナノフォトニクスの進展により、光ゲート(光パスゲート)の消費エネルギーは飛躍的に改善され、そのエネルギーコスト[J/bit]は、CMOSゲートと光で同程度のレベルになりつつある。そのため、チップ内やチップ間の通信を光化する様々な研究がなされている。

【0004】

図13は1ビット当たりのスイッチングエネルギー(=エネルギーコスト[J/bit])を説明する図で、CMOSゲートでは配線(wire)を含めると 10^{-15} J/bit以下になると想定されている(非特許文献1参照)。一方で、ナノフォトニクスの光ゲートのエネルギーコストは 10^{-15} J/bit程度のものが実現されており、CMOSゲートと同程度のエネルギーコストになりつつある(非特許文献2参照)。また、ナノフォトニクスの光ゲートは短尺化の面でも有利である(非特許文献5、6参照)。

20

【0005】

光パスゲートを組み合わせた構成における演算プロセスについて説明する。 2×1 の光パスゲートをツリー状に接続すると、図14のようなn桁の入力に対するルックアップテーブル(Look up table: LUT)を再現する回路を構成することができる(図15(A))。図14、図15(A)の例では $n = 3$ の場合を表している。

【0006】

図15(A)における11-1~11-7は光パスゲートである。各光パスゲート11-1~11-7は、ゲート入力“1”であるときに一方の光経路(図15(A)の例では上側の光経路)を選択し、ゲート入力“0”であるときに他方の光経路(下側の光経路)を選択する。この経路選択動作は、図3、図7、図8、図10、(図11は反対の経路を選択)で同じである。1段目の光パスゲート11-1~11-4はゲート入力 C_i に応じて動作し、2段目の光パスゲート11-5, 11-6はゲート入力 X_i に応じて動作し、3段目の光パスゲート11-7はゲート入力 Y_i に応じて動作する。図15(B)は1つの光パスゲートの等価回路を示す図である。

30

【0007】

図15(A)に示した論理ブロック10は、n桁の入力に対する全ての組み合わせに対して、“0”か“1”の光信号を出力するものであり、n桁の入力に対する全ての演算を実行するものである。このような構成における演算プロセスには、以下の3つの段階がある。

40

【0008】

1つ目の段階は、答えの準備である。 2×1 の光パスゲートを用いてツリー構造を構成すると、n入力に対し、 2^n 個の答え(“0”あるいは“1”の1bit)を事前に準備することになる。電気回路ではこの答えをメモリに記憶させ、光回路の場合は“1”の答えのところに光源101を配置する。例えば図15(A)の論理ブロック10は、 C_{i+1} の演算を行う回路となる。

【0009】

2つ目の段階は、出力経路の構築である。n段のツリー構造において、同一段では同じ

50

スイッチ動作を、全ての段で同時に行う。これにより、経路の構築はスイッチの数に依存せず、1つのスイッチのスイッチング時間で完了する。

【0010】

例えば図15(A)の例では、信号 $(C_i, X_i, Y_i) = (1, 1, 0)$ が入力されたとき、1段目の光パスゲート11-1~11-4と2段目の光パスゲート11-5, 11-6とが上側に切り替えられ、3段目の光パスゲート11-7が下側に切り替えられ、14で示される経路が構築される。このときの出力経路の等価回路を図16のように示すこととする。

【0011】

3つ目の段階は、答えの出力である。構築された経路を通して、事前に準備された1ビットの信号を出力する。電気回路の場合、1段目、2段目の動作は非常に容易に実現できる。つまり、膨大なメモリスイッチを使い 2^n 個の答えを記憶し、10ps程度のスイッチング時間で経路を構築すればよい。

10

【0012】

ただし、電気回路の場合、3段目のプロセスが非常に難しい。つまり、図16に示されるように、 n 個のトランジスタ12のC, Rが連なるため、経路の応答速度が n^2 で劣化する。そのため、電気回路では、図16に示すような接続は、 $n < 4 \sim 6$ でしか用いられない。

【0013】

このような回路を光化、つまり、光パスゲートをCMOSゲートのように組み合わせ、論理ブロックを構成する手法にはいくつかの提案がある(特許文献1、非特許文献3、非特許文献4参照)。

20

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開平4-299733号公報

【非特許文献】

【0015】

【非特許文献1】Rodney S.Tucker and Kerry Hinton, "Energy Consumption and Energy Density in Optical and Electronic Signal Processing", IEEE Photonics Journal, Volume 3, Number 5, October 2011, pp.821

30

【非特許文献2】Koji Takeda et al., "Few-fJ/bit data transmissions using directly modulated lambda-scale embedded active region photonic-crystal lasers", Nature Photonics 7, pp.569-575, 2013

【非特許文献3】James Hardy et al., "Optic inspired logic architecture", OPTICS EXPRESS, Vol.15, No.1, pp.150-165, 2007

【非特許文献4】Qianfan Xu et al., "Reconfigurable optical directed-logic circuits using microresonator-based optical switches", OPTICS EXPRESS, Vol.19, No.6, pp.5244-5259, 2011

【非特許文献5】Noritsugu Yamamoto et al., "Photonic crystal directional coupler switch with small switching length and wide bandwidth", OPTICS EXPRESS, Vol.14, No.3, pp.1223-1229, 2006

40

【非特許文献6】Kengo Nozaki et al., "All-optical switching for 10-Gb/s packet data by using an ultralow-power optical bistability of photonic-crystal nanocavities", OPTICS EXPRESS, Vol.23, No.23, pp.30379-30392, 2015

【発明の概要】

【発明が解決しようとする課題】

【0016】

以上の文献に示される従来技術では、チップ内やチップ間の通信を光化する技術や、論理ブロックを光化する技術が提案されている。しかしながら、回路の演算時間を律速する

50

演算経路(クリティカルパス)への配慮がなく、演算で生じる遅延を解決できていないという問題点があった。

【0017】

本発明は、上記課題を解決するためになされたもので、チップ内やチップ間の光配線や光ゲートだけでなく、さらに粒度を細かくトランジスタレベルまで光化を進め、演算レベルで生じる遅延の問題を根本から解決することができる光論理回路および加算器を提供することを目的とする。本発明では、電子チップにおける演算を律速するクリティカルパスを光化し、そのパスを光素子に適した構成に再構築し、パスの長さを短尺化することで、演算速度を飛躍的に改善する。

【課題を解決するための手段】

10

【0018】

本発明の光論理回路は、複数ビットの信号Xと複数ビットの信号Yとの所望の論理演算の結果をビット毎に出力する第1の演算手段と、この第1の演算手段でのビット毎の論理演算に必要な、上位ビットへの伝搬信号をビット毎に出力する第2の演算手段と、前記信号X、Yに基づいて前記第1、第2の演算手段を制御する制御信号をビット毎に出力する第3の演算手段とを備え、前記第2の演算手段は、ビット毎の構成がそれぞれ1つの光パスゲートからなり、各光パスゲートが直列に接続され、前記第3の演算手段で演算されたビット毎の制御信号が対応するビットの光パスゲートに入力されることを特徴とするものである。

【0019】

20

また、本発明の光論理回路の1構成例において、前記光パスゲートは、ナノフォトニクス光ゲートである。

また、本発明の光論理回路の1構成例において、前記第1、第2、第3の演算手段の全ては光回路からなるものである。

また、本発明の光論理回路の1構成例において、前記第1の演算手段は電気回路からなり、前記第2、第3の演算手段は光回路からなるものである。

また、本発明の光論理回路の1構成例において、前記論理演算は、信号Xと信号Yの加算である。

【0020】

また、本発明の加算器は、複数ビットの信号Xと複数ビットの信号Yとの加算の結果をビット毎に出力する第1の演算手段と、この第1の演算手段でのビット毎の加算に必要な、上位ビットへの伝搬信号である桁上げ信号をビット毎に出力する第2の演算手段と、前記第1、第2の演算手段を制御する制御信号として前記信号X、Yの排他的論理和の結果をビット毎に出力するXORゲートと、前記信号X、Yのビット毎の論理積の結果を前記第2の演算手段に入力するANDゲートとを備え、前記第1、第2の演算手段は、ビット毎の構成がそれぞれ1つの光パスゲートからなり、前記第2の演算手段を構成する各光パスゲートが直列に接続され、前記XORゲートで演算されたビット毎の制御信号が対応するビットの光パスゲートに入力されることを特徴とするものである。

30

また、本発明の加算器の1構成例において、前記第1の演算手段を構成する各光パスゲートは、前記XORゲートで演算されたビット毎の制御信号に応じて桁上げ信号またはその反転信号のいずれかを出力し、前記第2の演算手段を構成する各光パスゲートは、前記XORゲートで演算されたビット毎の制御信号に応じて桁上げ信号または前記ANDゲートの出力信号のいずれかを出力することを特徴とするものである。

40

【発明の効果】

【0021】

本発明によれば、複数ビットの信号Xと複数ビットの信号Yとの所望の論理演算の結果をビット毎に出力する第1の演算手段と、第1の演算手段でのビット毎の論理演算に必要な、上位ビットへの伝搬信号をビット毎に出力する第2の演算手段と、信号X、Yに基づいて第1、第2の演算手段を制御する制御信号をビット毎に出力する第3の演算手段とを設け、第2の演算手段のビット毎の構成を1つの光パスゲートとし、各光パスゲートを直

50

列に接続し、第3の演算手段で演算されたビット毎の制御信号を対応するビットの光パスゲートに入力することにより、回路の演算時間を律速する演算経路（クリティカルパス）を、光素子に適した構成に再構築し、クリティカルパスの長さを短尺化することができ、クリティカルパスを伝搬する光の伝搬速度で論理演算を実行することが可能となる。

【0022】

また、本発明では、複数ビットの信号Xと複数ビットの信号Yとの加算の結果をビット毎に出力する第1の演算手段と、第1の演算手段でのビット毎の加算に必要な、上位ビットへの伝搬信号である桁上げ信号をビット毎に出力する第2の演算手段と、第1、第2の演算手段を制御する制御信号として信号X、Yの排他的論理和の結果をビット毎に出力するXORゲートと、信号X、Yのビット毎の論理積の結果を第2の演算手段に入力するANDゲートとを設け、第1、第2の演算手段のビット毎の構成をそれぞれ1つの光パスゲートとし、第2の演算手段を構成する各光パスゲートを直列に接続し、XORゲートで演算されたビット毎の制御信号を対応するビットの光パスゲートに入力することにより、加算器の演算時間を律速する演算経路（クリティカルパス）を、光素子に適した構成に再構築し、クリティカルパスの長さを短尺化することができ、クリティカルパスを伝搬する光の伝搬速度で信号X、Yの加算を実行することが可能となる。

10

【図面の簡単な説明】

【0023】

【図1】論理ブロックの接続方法を説明する図である。

【図2】従来の加算器の構成を示すブロック図である。

20

【図3】従来の加算器の詳細な構成を示すブロック図である。

【図4】従来の加算器のクリティカルパスを説明する図である。

【図5】本発明におけるクリティカルパスの短縮化を説明する図である。

【図6】本発明の第1の実施の形態に係る加算器の構成を示すブロック図である。

【図7】本発明の第1の実施の形態に係る加算器のANDゲートの構成を示す図である。

【図8】本発明の第1の実施の形態に係る加算器のXORゲートの構成を示す図である。

【図9】本発明の第2の実施の形態に係る加算器の構成を示すブロック図である。

【図10】本発明の第2の実施の形態に係る加算器の詳細な構成を示すブロック図である。

【図11】本発明の第2の実施の形態に係る加算器のSUMゲートの構成を示す図である。

30

【図12】本発明の第3の実施の形態に係る加算器の構成を示すブロック図である。

【図13】電子デバイスおよび光学デバイスの1ビット当たりのスイッチングエネルギーを示す図である。

【図14】ルックアップテーブルの真理値表を示す図である。

【図15】図14のルックアップテーブルに対応する論理ブロックの構成を示す図および光パスゲートの等価回路図である。

【図16】出力経路の等価回路図である。

【発明を実施するための形態】

【0024】

40

[第1の実施の形態]

以下、本発明の実施の形態について図面を参照して説明する。本発明では、図16で説明した電気回路における3段目のプロセスの問題点を光化で解決する。つまり、光信号の伝搬が、経路のキャパシタ（C）にも抵抗（R）にも無依存である特徴を利用する。このような光化により、出力経路を光信号が伝搬する時間で、演算を完了させることが可能となる。

【0025】

また、下記に示す手法により、回路の演算時間を律速する演算経路（クリティカルパス）を、光素子に適した構成に再構築し、ナノフォトニクスによる光素子の小型化によりパスの長さを短尺化することで、演算速度を飛躍的に改善する。

50

【0026】

本発明では、便宜上、論理ブロックの複数個の組み合わせ方を、図1(A)、図1(B)に示す2種類に分類する。ここで、シリアル接続は、図1(A)に示すように、前段と後段の論理ブロック10のトランジスタ12のソースとドレインが直列に連なる接続、カスケード接続は、図1(B)に示すように、前段の論理ブロック10の最終段のトランジスタ12を通過した信号が次段の論理ブロック10の初段のトランジスタ12のゲートにされる接続、と定義することとする。

【0027】

例えば加算器($X + Y$)の場合、3入力(X_i, Y_i, C_i)の論理ブロックの組み合わせで構成することができる。ここで、 X_i, Y_i は加算される*i*桁目の値、 C_i は*i*-1桁からの桁上げの値である。3入力の論理ブロックをLUTで構成する場合、図15(A)の答えに図14における C_{i+1} の出力配列を用いると桁上げ演算を実現することができ、図15(A)の答えに図14における S_i の出力配列を用いると各桁の和算を実現することができる。

10

【0028】

従来の加算器の回路構成は図2となる。ここでは簡単のため、論理ブロック10の組み合わせを、図16の等価回路の表記を用いて表している。上段の論理ブロック10-1~10-4は桁上げの値 $C_{i+1}, C_{i+2}, C_{i+3}, C_{i+4}$ を演算する論理ブロック、下段の論理ブロック10-5~10-8は各桁の和算を行なう論理ブロックである。

【0029】

複数ビットからなるXと複数ビットからなるYを加算する場合には、論理ブロック10-5~10-8で各桁ごとの加算を行うとともに、論理ブロック10-1~10-4で上位の桁への桁上げの値を演算する。図3は図2の加算器の詳細な構成を示すブロック図である。

20

【0030】

図2、図3に示したような回路構成において演算時間を決定するものは、もっとも長い経路(クリティカルパス)である。本発明では、シリアル接続を積極的に利用し、この接続を演算のクリティカルパスに利用することを提案する。その手法について具体例を挙げて説明する。

【0031】

まず、図2、図3の回路のクリティカルパスを抽出する。図2、図3に示した加算器のクリティカルパスを抽出した構成を図4に示す。図2~図4の15で示されている経路がクリティカルパスである。桁上げの信号が通る経路が最も長くなっており、かつ、前段の論理ブロック10の桁上げ演算が完了しないと、次段の論理ブロック10の演算ができない構成となっている。電気回路の場合、32ビットの加算にかかる時間は約1nsとされている。

30

【0032】

次に、クリティカルパスを最短化する。図4における1桁の演算は、クリティカルパス上にシリアルに接続された3つのトランジスタ12(光パスゲート)で実行されているが、これらの演算の全ては必ずしもクリティカルパス上に存在する光パスゲートで実行されなくてもよい。

40

【0033】

例えば図5に示すように、クリティカルパス外のXOR(排他的論理和)ゲート21-1~21-3で演算した結果をそれぞれ光パスゲート20-1~20-3へのゲート入力信号として用いることにより、クリティカルパス上の光パスゲート数を最小(ここでは1つ)に削減することが可能となる。

【0034】

さらに、次段ブロックへの接続をカスケードからシリアルに変更する。演算の条件により、カスケードに入力されている信号をシリアルに変更することができる。図5の例では*i*桁からの桁上げ信号 C_{i+1} を*i*+1桁の光パスゲート20-2に入力し、*i*+1桁から

50

の桁上げ信号 C_{i+2} を $i + 2$ 桁の光パスゲート 20 - 3 に入力するというようにシリアル接続している。

【0035】

これにより、クリティカルパスの経路の構築が各桁で同時に行えるようになり、経路の構築時間がクリティカルパス上の光パスゲート数（桁数）に無依存となる。さらに、構築された経路に光信号を通すだけで桁上げ演算が完了するため、演算時間が光の伝搬時間と等しくなる。

【0036】

次に、本実施の形態の加算器の具体的な回路構成を図6に示す。ここでは、それぞれ3ビットの X 、 Y を加算する構成を例に挙げて説明する。本実施の形態の加算器は、 1×1 光パスゲート 30 - 1 ~ 30 - 6 と、 2×1 光パスゲート 31 - 1 ~ 31 - 9 と、AND（論理積）ゲート 32 - 1 ~ 32 - 3 と、NAND（否定論理積）ゲート 33 - 1 ~ 33 - 3 と、XOR（排他的論理和）ゲート 34 - 1 ~ 34 - 3 とから構成される。なお、本実施の形態は、信号および回路を全て光化した構成の例である。

10

【0037】

ANDゲート 32 - 1 は、1桁目の X 、 Y の値 X_1 、 Y_1 の論理積を演算し、ANDゲート 32 - 2 は、2桁目の X 、 Y の値 X_2 、 Y_2 の論理積を演算し、ANDゲート 32 - 3 は、3桁目の X 、 Y の値 X_3 、 Y_3 の論理積を演算する。

【0038】

ANDゲート 32 - 1 の出力信号は 1×1 光パスゲート 30 - 1 のゲート入力信号となり、ANDゲート 32 - 2 の出力信号は 1×1 光パスゲート 30 - 2 のゲート入力信号となり、ANDゲート 32 - 3 の出力信号は 1×1 光パスゲート 30 - 3 のゲート入力信号となる。

20

【0039】

NANDゲート 33 - 1 は、1桁目の X 、 Y の値 X_1 、 Y_1 の否定論理積を演算し、NANDゲート 33 - 2 は、2桁目の X 、 Y の値 X_2 、 Y_2 の否定論理積を演算し、NANDゲート 33 - 3 は、3桁目の X 、 Y の値 X_3 、 Y_3 の否定論理積を演算する。

【0040】

NANDゲート 33 - 1 の出力信号は 1×1 光パスゲート 30 - 4 のゲート入力信号となり、NANDゲート 33 - 2 の出力信号は 1×1 光パスゲート 30 - 5 のゲート入力信号となり、NANDゲート 33 - 3 の出力信号は 1×1 光パスゲート 30 - 6 のゲート入力信号となる。

30

【0041】

XORゲート 34 - 1 は、1桁目の X 、 Y の値 X_1 、 Y_1 の排他的論理和を演算し、XORゲート 34 - 2 は、2桁目の X 、 Y の値 X_2 、 Y_2 の排他的論理和を演算し、XORゲート 34 - 3 は、3桁目の X 、 Y の値 X_3 、 Y_3 の排他的論理和を演算する。

【0042】

XORゲート 34 - 1 の出力信号（制御信号）は 2×1 光パスゲート 31 - 1、31 - 4、31 - 7 のゲート入力信号となり、XORゲート 34 - 2 の出力信号（制御信号）は 2×1 光パスゲート 31 - 2、31 - 5、31 - 8 のゲート入力信号となり、XORゲート 34 - 3 の出力信号（制御信号）は 2×1 光パスゲート 31 - 3、31 - 6、31 - 9 のゲート入力信号となる。

40

【0043】

図7はANDゲート 32 - 1 の構成を示す図である。ANDゲート 32 - 1 は、光パスゲート 320 ~ 322 によって構成される。各光パスゲート 320 ~ 322 は、ゲート入力が“1”のときに一方の光経路（図7の例では上側の光経路）を選択し、ゲート入力が“0”のときに他方の光経路（下側の光経路）を選択する。

【0044】

1段目の光パスゲート 320、321 はゲート入力 X_i に応じて動作し、2段目の光パスゲート 322 はゲート入力 Y_i に応じて動作する。図15(A)で説明した論理プロッ

50

クの場合と同様に、 X_1 、 Y_1 の2つの入力に対し4個の答えを事前に準備する必要がある。したがって、“1”の答えのところに光源を配置して光を入力すればよい。ANDゲート32-2、32-3の構成はANDゲート32-1と同じである。

【0045】

図8はXORゲート34-1の構成を示す図である。XORゲート34-1は、光パスゲート340~342によって構成される。1段目の光パスゲート340、341はゲート入力 X_1 に応じて動作し、2段目の光パスゲート342はゲート入力 Y_1 に応じて動作する。

【0046】

ANDゲート32-1の場合と同様に、 X_1 、 Y_1 の2つの入力に対し4個の答えを事前に準備する必要がある。したがって、“1”の答えのところに光源を配置して光を入力すればよい。XORゲート34-2、34-3の構成はXORゲート34-1と同じである。

NANDゲート33-1~33-3についても光パスゲートの組み合わせで容易に実現することができる。

【0047】

1×1光パスゲート30-1~30-3は、ANDゲート32-1~32-3からのゲート入力“1”のときにオン状態となって入力経路からの光信号を通過させ、ゲート入力“0”のときにオフ状態となって光信号を遮断する。同様に、1×1光パスゲート30-4~30-6は、NANDゲート33-1~33-3からのゲート入力“1”のときにオン状態となり、ゲート入力“0”のときにオフ状態となる。

【0048】

1×1光パスゲート30-1~30-6の出力信号は2×1光パスゲート31-1~31-3、31-4~31-6に入力される。なお、各1×1光パスゲート30-1~30-6の入力経路には光源を配置して光を入力する必要がある。

【0049】

2×1光パスゲート31-1~31-3は、XORゲート34-1~34-3からのゲート入力“1”のときに一方の光経路（桁上げ信号 C_1 ~ C_3 ）を選択し、ゲート入力“0”のときに他方の光経路（1×1光パスゲート30-1~30-3の出力）を選択する。この2×1光パスゲート31-1~31-3の出力信号は上位の桁への桁上げ信号 C_2 ~ C_4 となる。例えば桁上げ信号 C_2 は2×1光パスゲート31-2、31-8に入力され、桁上げ信号 C_3 は2×1光パスゲート31-3、31-9に入力される。

【0050】

2×1光パスゲート31-4~31-6は、XORゲート34-1~34-3からのゲート入力“0”のときに一方の光経路（1×1光パスゲート30-4~30-6の出力）を選択し、ゲート入力“1”のときに他方の光経路（桁上げ信号 $\overline{C_1}$ ~ $\overline{C_3}$ ）を選択する。

【0051】

この2×1光パスゲート31-4~31-6の出力信号は桁上げ信号 C_2 ~ C_4 に対して相補な桁上げ信号 $\overline{C_2}$ ~ $\overline{C_4}$ となる。桁上げ信号 $\overline{C_2}$ は2×1光パスゲート31-5、31-8に入力され、桁上げ信号 $\overline{C_3}$ は2×1光パスゲート31-6、31-9に入力される。

【0052】

2×1光パスゲート31-7~31-9は、XORゲート34-1~34-3からのゲート入力“1”のときに一方の光経路（桁上げ信号 $\overline{C_1}$ ~ $\overline{C_3}$ ）を選択し、ゲート入力“0”のときに他方の光経路（桁上げ信号 C_1 ~ C_3 ）を選択する。この2×1光パスゲート31-7~31-9の出力が、各桁の和算の結果を示す出力信号 S_1 ~ S_3 となる。

【0053】

なお、1桁目の演算で使用する桁上げ信号 C_1 は“0”であるから、これと相補な桁上げ信号 $\overline{C_1}$ として“1”を入力する必要がある。2×1光パスゲート31-4、31

10

20

30

40

50

- 7のバー C_1 の入力には光源を配置して光を入力する必要がある。

【0054】

図6中の15, 16で示されている経路が加算器のクリティカルパスである。図6に示した構成は図5の構成と等価であり、クリティカルパス15上の光パスゲートに、クリティカルパス外で実行されたXとYのXORの演算結果を入力している。また、下段のクリティカルパス16は、上段クリティカルパス15と相補な桁上げ信号が伝搬する経路となっている。

【0055】

本実施の形態では、クリティカルパス上にシリアルに接続される光パスゲートに光を伝搬させるだけで、桁上げ計算が完了する。各桁の和算は、クリティカルパスからの分岐信号を使って演算され、その演算は他の桁に影響を及ぼさない。つまり、クリティカルパスを伝搬する光の伝搬速度で和算を実行することが可能となる。

10

【0056】

[第2の実施の形態]

次に、本発明の第2の実施の形態について説明する。図9は本実施の形態の加算器の構成を示すブロック図であり、図6と同一の構成には同一の符号を付してある。本実施の形態の加算器は、 1×1 光パスゲート30-1~30-3と、 2×1 光パスゲート31-1~31-3, 31-7~31-9と、ANDゲート32-1~32-3と、XORゲート34-1~34-3と、光・光ゲート35-1, 35-2とから構成される。

【0057】

20

第1の実施の形態では、図6に示した下段のクリティカルパス16は、桁上げ信号 C_2 , C_3 の反転信号バー C_2 , バー C_3 を作るために使われている。そのため、反転機能を有する回路を用いれば、図6の下段の回路、すなわち 1×1 光パスゲート30-4~30-6と 2×1 光パスゲート31-4~31-6とNANDゲート33-1~33-3とを省くことが可能である。

【0058】

本実施の形態の例では、光・光ゲート35-1は、 2×1 光パスゲート31-1から出力された桁上げ信号 C_2 から反転信号バー C_2 を生成し、桁上げ信号 C_2 と反転信号バー C_2 とを 2×1 光パスゲート31-8に入力する。

【0059】

30

同様に、光・光ゲート35-2は、 2×1 光パスゲート31-2から出力された桁上げ信号 C_3 から反転信号バー C_3 を生成し、桁上げ信号 C_3 と反転信号バー C_3 とを 2×1 光パスゲート31-9に入力する。

その他の構成は第1の実施の形態で説明したとおりである。

【0060】

図10は図9に示した本実施の形態の加算器の詳細な構成を示すブロック図である。なお、図10の例では、それぞれ4ビットのX, Yを加算する構成を示している。

SUMゲート36-1~36-4は、図6の 2×1 光パスゲート31-7~31-9と光・光ゲート35-1, 35-2とを合わせた構成に相当する。

【0061】

40

図11はSUMゲート36-1の構成を示す図である。SUMゲート36-1は、NOTゲート360と、光パスゲート361とから構成される。NOTゲート360は、桁上げ信号 C_1 から反転信号バー C_1 を生成する。光パスゲート361は、 2×1 光パスゲート31-7と同じものである。SUMゲート36-2~36-4の構成はSUMゲート36-1と同じである。

【0062】

こうして、本実施の形態では、第1の実施の形態と比較して構成を簡略化することができる。

なお、図9、図10の例では、図6に示した下段の回路を省いているが、下段の回路で演算した桁上げ信号バー C_2 , バー C_3 の反転信号 C_2 , C_3 を光・光ゲートで生成すること

50

により、図 6 の上段の回路、すなわち 1×1 光パスゲート 30 - 1 ~ 30 - 3 と 2×1 光パスゲート 31 - 1 ~ 31 - 3 と AND ゲート 32 - 1 ~ 32 - 3 とを省くようにしてもよい。

【 0063 】

[第 3 の実施の形態]

次に、本発明の第 3 の実施の形態について説明する。図 12 は本実施の形態の加算器の構成を示すブロック図であり、図 6 と同一の構成には同一の符号を付してある。本実施の形態の加算器は、 1×1 光パスゲート 30 - 1 ~ 30 - 3 と、 2×1 光パスゲート 31 - 1 ~ 31 - 3 と、AND ゲート 32 - 1 ~ 32 - 3 と、XOR ゲート 34 - 1 ~ 34 - 3 と、電気スイッチ 37 - 1 ~ 37 - 3 と、OE 変換器 38 - 1, 38 - 2 とから構成される。

10

【 0064 】

本発明では、和算については桁ごとに完了しており、他の桁に影響を与えないため、図 9 に示した中段の回路、すなわち 2×1 光パスゲート 31 - 7 ~ 31 - 9 と光・光ゲート 35 - 1, 35 - 2 との部分で電気信号で処理しても、光を用いた場合とほぼ同程度の演算速度を得ることができる。

【 0065 】

電気スイッチ 37 - 1 ~ 37 - 3 は、XOR ゲート 34 - 1 ~ 34 - 3 からのゲート入力が “ 1 ” のときに一方の電気経路（桁上げ信号 $\overline{C}_1 \sim \overline{C}_3$ ）を選択し、ゲート入力が “ 0 ” のときに他方の電気経路（桁上げ信号 $C_1 \sim C_3$ ）を選択する。この電気スイッチ 37 - 1 ~ 37 - 3 の出力が各桁の和算の結果を示す出力信号 $S_1 \sim S_3$ となる。桁上げ信号 C_1 は “ 0 ” であるから、その反転信号 \overline{C}_1 として “ 1 ” に相当する電気信号を電気スイッチ 37 - 1 に入力する必要がある。

20

【 0066 】

OE 変換器 38 - 1 は、 2×1 光パスゲート 31 - 1 から出力された桁上げ信号 C_2 （光信号）を電気信号に変換すると同時に、この変換した桁上げ信号 C_2 の反転信号 \overline{C}_2 を生成し、桁上げ信号 C_2 と反転信号 \overline{C}_2 とを電気スイッチ 37 - 2 に入力する。

【 0067 】

同様に、OE 変換器 38 - 2 は、 2×1 光パスゲート 31 - 2 から出力された桁上げ信号 C_3 （光信号）を電気信号に変換すると同時に、この変換した桁上げ信号 C_3 の反転信号 \overline{C}_3 を生成し、桁上げ信号 C_3 と反転信号 \overline{C}_3 とを電気スイッチ 37 - 3 に入力する。

30

その他の構成は第 1 の実施の形態で説明したとおりである。

【 0068 】

更に、図 9 に示した上段のゲート、すなわち、AND ゲート 32 - 1 ~ 32 - 3 と、XOR ゲート 34 - 1 ~ 34 - 3 を電気スイッチとし、かつ、 1×1 光パスゲート 30 - 1 ~ 30 - 3 とそれに付随する光源の組み合わせを、AND ゲート 32 - 1 ~ 32 - 3 からのゲート入力が “ 1 ” のときに ON となる光源に置き換えてもよい。これらの部分はクリティカルパス外に存在するため、これらの部分を電気信号で処理しても光を用いた場合とほぼ同程度の演算時間を得ることができる。本実施の形態のように、上段のクリティカルパス 15 を構成する経路のみを光に置き換え、その他の回路を電気で構成しても、光の伝搬速度で演算を実行することが可能となる。

40

【 0069 】

第 1 ~ 第 3 の実施の形態で説明した回路は、トランジスタレベルまで光化を進めた構成となっており、電子回路と光回路の融合を容易にし、電子回路の得意分野（膨大な素子の超高集積・並列処理による、超高スループット演算）と、光回路の得意分野（情報を光の速度で伝搬させながら、光の伝搬速度で演算を完了させる、超低レイテンシ演算）の両立が可能となり、動作周波数が頭打ち状態になりつつある電子回路の問題を解決することを可能とする。

【 0070 】

50

なお、第1～第3の実施の形態では、加算器としての構成のみを説明したが、回路がクリティカルパスを擁する場合、（桁ごとに完了する演算と、他の桁の影響を受ける演算がある場合には、他の桁の影響を受ける演算がクリティカルパスになる）加算器以外の回路でも本発明を適用できるのは言うまでもない。例えば次のように回路構成を変更すると減算器となる。具体的には、入力Yの全ての信号をYの論理否定として入力し、かつ、最下位桁の C_1 に論理値1を入力する、つまり、信号 C_1 として“1”を入力し、信号 \bar{C}_1 には入力しない。このように加算器の構成は様々な演算回路に応用することが可能で、その適用例としては、乗算器、除算器、あるいは単数もしくは複数の条件から一致するビット列を検出する一致検出回路等がある。

【0071】

また、光パスゲートとしてナノフォトニクス光ゲート（非特許文献5、6）を用いることで、短尺化＝高速化を図ることができる。

【0072】

なお、クリティカルパス上のパスゲート（31-1～31-6）として電気的な経路切替えが可能な構成で、光信号でゲートを操作しなくても良い構成を用いてもよい。これにより、従来光素子を利用することが可能である。

【産業上の利用可能性】

【0073】

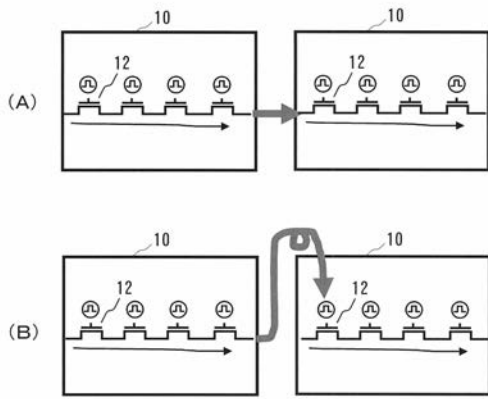
本発明は、光回路、または光回路と電気回路の混合回路で行う論理演算に適用することができる。

【符号の説明】

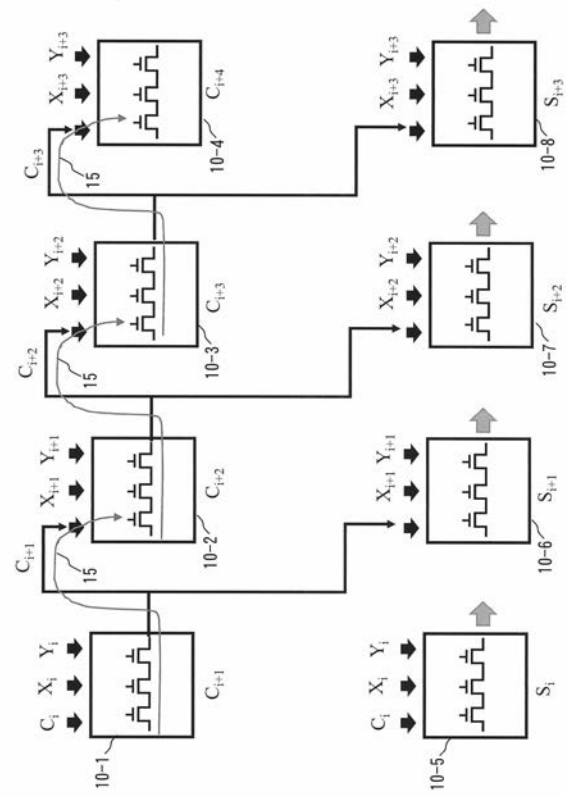
【0074】

30-1～30-6...1×1光パスゲート、31-1～31-9...2×1光パスゲート、32-1～32-3...ANDゲート、33-1～33-3...NANDゲート、34-1～34-3...XORゲート、35-1, 35-2...光・光ゲート、36-2～36-4...SUMゲート、37-1～37-3...電気スイッチ、38-1, 38-2...OE変換器、320～322, 340～342, 361...光パスゲート、360...NOTゲート。

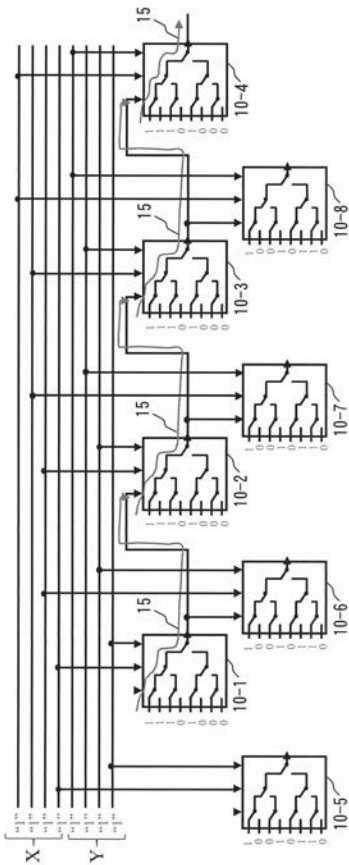
【 図 1 】



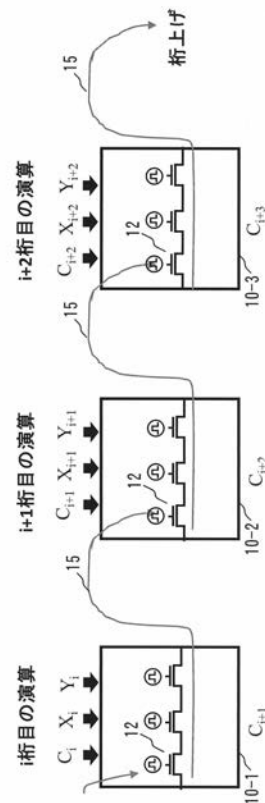
【 図 2 】



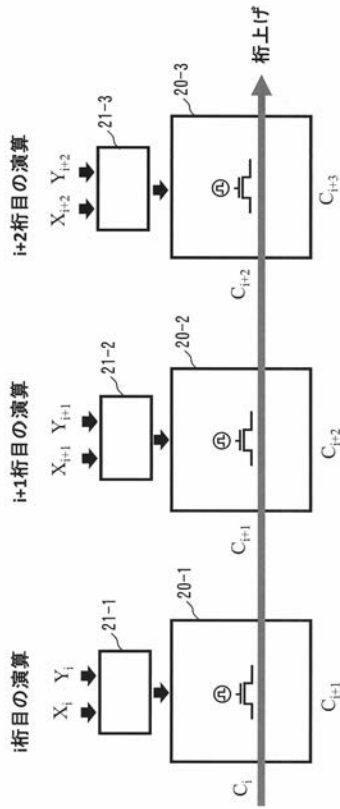
【 図 3 】



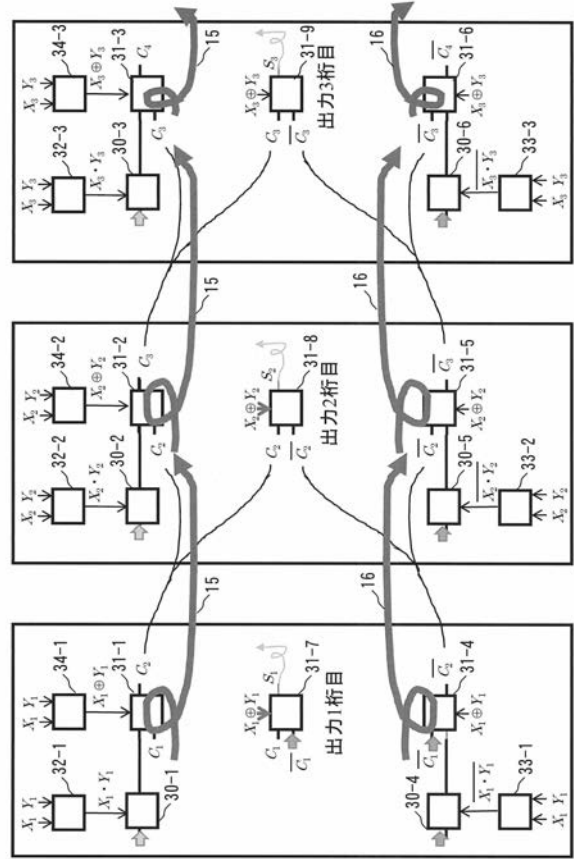
【 図 4 】



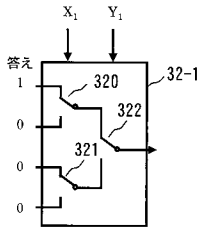
【図5】



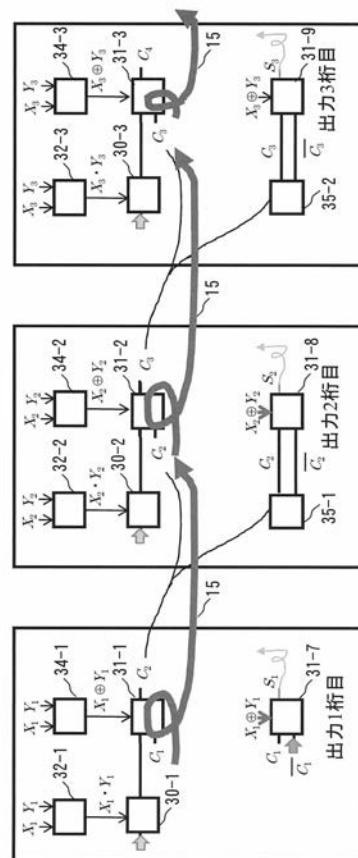
【図6】



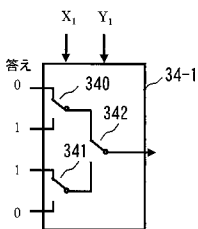
【図7】



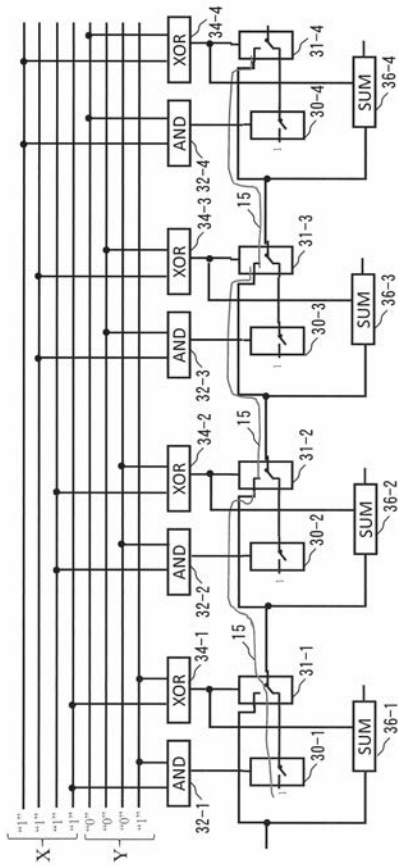
【図9】



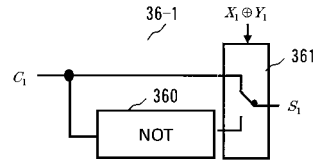
【図8】



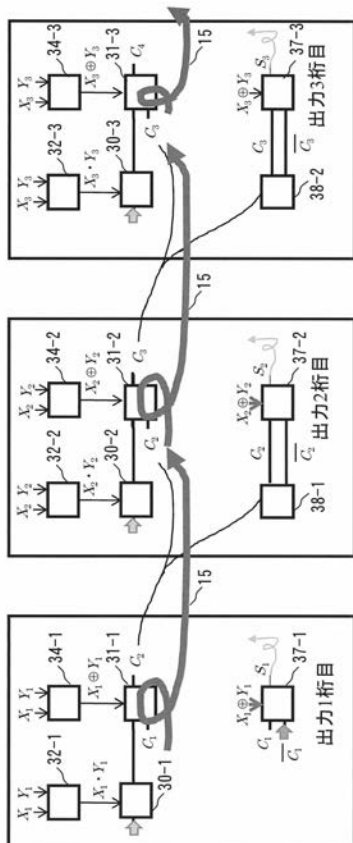
【図 1 0】



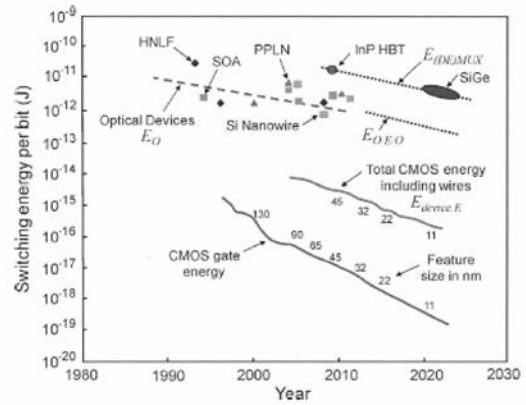
【図 1 1】



【図 1 2】



【図 1 3】

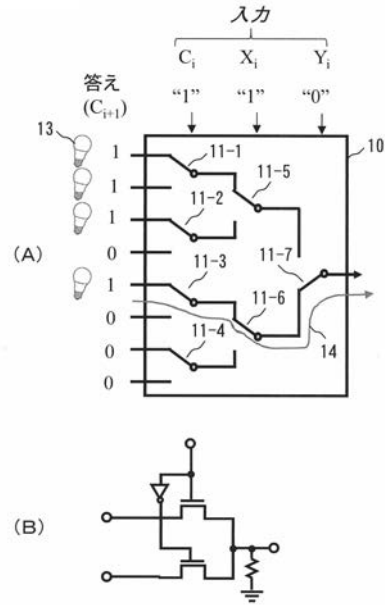


【 図 1 4 】

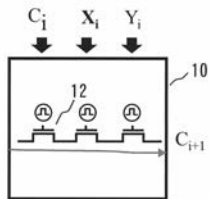
n = 3 桁の入力 出力

C_i	X_i	Y_i	C_{i+1}	S_i
1	1	1	1	1
1	1	0	1	0
1	0	1	1	0
1	0	0	0	1
0	1	1	1	0
0	1	0	0	1
0	0	1	0	1
0	0	0	0	0

【 図 1 5 】



【 図 1 6 】



フロントページの続き

- (72)発明者 納富 雅也
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 野崎 謙悟
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 石原 亨
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 井上 弘士
福岡県筑紫野市二日市西4-6-7