

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6553713号  
(P6553713)

(45) 発行日 令和1年7月31日(2019.7.31)

(24) 登録日 令和1年7月12日(2019.7.12)

(51) Int.Cl.		F I			
<b>H03K</b>	<b>3/353</b>	<b>(2006.01)</b>	<b>H03K</b>	<b>3/353</b>	<b>A</b>
<b>G11C</b>	<b>11/412</b>	<b>(2006.01)</b>	<b>G11C</b>	<b>11/412</b>	
<b>G11C</b>	<b>11/417</b>	<b>(2006.01)</b>	<b>G11C</b>	<b>11/417</b>	<b>100</b>

請求項の数 12 (全 30 頁)

(21) 出願番号	特願2017-509877 (P2017-509877)	(73) 特許権者	503360115
(86) (22) 出願日	平成28年3月24日 (2016. 3. 24)		国立研究開発法人科学技術振興機構
(86) 国際出願番号	PCT/JP2016/059453		埼玉県川口市本町四丁目1番8号
(87) 国際公開番号	W02016/158691	(74) 代理人	100087480
(87) 国際公開日	平成28年10月6日 (2016. 10. 6)		弁理士 片山 修平
審査請求日	平成29年10月5日 (2017. 10. 5)	(72) 発明者	菅原 聡
(31) 優先権主張番号	特願2015-75481 (P2015-75481)		神奈川県横浜市緑区長津田町4259 国
(32) 優先日	平成27年4月1日 (2015. 4. 1)		立大学法人東京工業大学内
(33) 優先権主張国	日本国(JP)	(72) 発明者	山本 修一郎
			神奈川県横浜市緑区長津田町4259 国
			立大学法人東京工業大学内
		審査官	工藤 一光

最終頁に続く

(54) 【発明の名称】 電子回路

(57) 【特許請求の範囲】

【請求項1】

各々、第1電源電圧が供給される第1電源と前記第1電源電圧より低い第2電源電圧が供給される第2電源との間に接続され、伝達特性にヒステリシスを有する第1モードと伝達特性にヒステリシスがなない第2モードとが切り替わる第1インバータ回路および第2インバータ回路を備え、前記第1インバータ回路の出力ノードが前記第2インバータ回路の入力ノードに接続され前記第2インバータ回路の出力ノードが前記第1インバータ回路の入力ノードに接続されるようにループ状に接続された双安定回路と、

前記第1インバータ回路および前記第2インバータ回路を前記第1モードとする第1信号として、第1制御ノードに第1レベルを出力しかつ第2制御ノードに前記第1レベルより高い第2レベルを出力し、前記第1インバータ回路および前記第2インバータ回路を前記第2モードとする第2信号として、前記第1制御ノードに第3レベルを出力し、かつ前記第2制御ノードに前記第3レベルより低い第4レベルを出力する制御回路と、

前記第1インバータ回路および前記第2インバータ回路が前記第1モードのとき前記第1電源電圧と前記第2電源電圧の差である電源電圧として第1電圧を供給し、前記第1インバータ回路および前記第2インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、

を具備し

前記第1インバータ回路および前記第2インバータ回路は、

ソースが前記第1電源にドレインが出力ノードに接続されるように前記第1電源と前記

10

20

出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数の第1 PチャンネルFETと、

ソースが前記第2電源にドレインが前記出力ノードに接続されるように前記第2電源と前記出力ノードとの間に前記互いに直列に接続され、ゲートが共通に入力ノードに接続された複数の第1 NチャンネルFETと、

前記複数の第1 PチャンネルFET間に設けられた第1中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記第1制御ノードに接続された第2 PチャンネルFETと、

前記複数の第1 NチャンネルFET間に設けられた第2中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記第2制御ノードに接続された第2 NチャンネルFETと、

を備えることを特徴とする電子回路。

**【請求項2】**

各々、第1電源電圧が供給される第1電源と前記第1電源電圧より低い第2電源電圧が供給される第2電源との間に接続され、伝達特性にヒステリシスを有する第1モードと伝達特性にヒステリシスがない第2モードとが切り替わる第1インバータ回路および第2インバータ回路を備え、前記第1インバータ回路の出力ノードが前記第2インバータ回路の入力ノードに接続され前記第2インバータ回路の出力ノードが前記第1インバータ回路の入力ノードに接続されるようにループ状に接続された双安定回路と、

前記第1インバータ回路および前記第2インバータ回路を前記第1モードとする第1信号として、制御ノードに第1レベルを出力し、前記第1インバータ回路および前記第2インバータ回路を前記第2モードとする第2信号として、前記制御ノードに前記第1レベルより低い第2レベルを出力する制御回路と、

前記第1インバータ回路および前記第2インバータ回路が前記第1モードのとき前記第1電源電圧と前記第2電源電圧の差である電源電圧として第1電圧を供給し、前記第1インバータ回路および前記第2インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、

を具備し、

前記第1インバータ回路および前記第2インバータ回路は、

ソースが前記第1電源にドレインが出力ノードに接続され、ゲートが入力ノードに接続された第1 PチャンネルFETと、

ソースが前記第2電源にドレインが前記出力ノードに接続されるように前記第2電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数の第1 NチャンネルFETと、

前記複数の第1 NチャンネルFET間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記制御ノードに接続された第2 NチャンネルFETと、

を備えることを特徴とする電子回路。

**【請求項3】**

各々、第1電源電圧が供給される第1電源と前記第1電源電圧より低い第2電源電圧が供給される第2電源との間に接続され、伝達特性にヒステリシスを有する第1モードと伝達特性にヒステリシスがない第2モードとが切り替わる第1インバータ回路および第2インバータ回路を備え、前記第1インバータ回路の出力ノードが前記第2インバータ回路の入力ノードに接続され前記第2インバータ回路の出力ノードが前記第1インバータ回路の入力ノードに接続されるようにループ状に接続された双安定回路と、

前記第1インバータ回路および前記第2インバータ回路を前記第1モードとする第1信号として、制御ノードに第1レベルを出力し、前記第1インバータ回路および前記第2インバータ回路を前記第2モードとする第2信号として、前記制御ノードに前記第1レベルより高い第2レベルを出力する制御回路と、

前記第1インバータ回路および前記第2インバータ回路が前記第1モードのとき前記第

10

20

30

40

50

1 電源電圧と前記第 2 電源電圧の差である電源電圧として第 1 電圧を供給し、前記第 1 インバータ回路および前記第 2 インバータ回路が前記第 2 モードのとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路と、  
を具備し、

前記第 1 インバータ回路および前記第 2 インバータ回路は、  
ソースが前記第 1 電源にドレインが出力ノードに接続されるように前記第 1 電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数の第 1 P チャネル F E T と、

ソースが前記第 2 電源にドレインが前記出力ノードに接続され、ゲートが入力ノードに接続された第 1 N チャネル F E T と、

前記複数の第 1 P チャネル F E T 間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記制御ノードに接続された第 2 P チャネル F E T と、  
を備えることを特徴とする電子回路。

【請求項 4】

前記双安定回路は、前記第 1 モードにおいてデータを保持しデータの書き込みおよび読み出しが行なわれず、前記第 2 モードにおいてデータの書き込みおよび読み出しが行なわれることを特徴とする請求項 1 から 3 のいずれか一項記載の電子回路。

【請求項 5】

前記電源供給回路は、前記制御回路が前記第 1 信号を出力した後に、前記第 2 電圧を前記第 1 電圧に切り替え、前記制御回路が前記第 2 信号を出力する前に、前記第 1 電圧を前記第 2 電圧に切り替えることを特徴とする請求項 1 から 4 のいずれか一項記載の電子回路。

【請求項 6】

前記第 1 インバータ回路および第 2 インバータ回路は、前記第 1 モード、前記第 2 モード、および第 3 モードに切り替わり、

前記第 3 モードは、前記第 1 モードより小さい前記ヒステリシスを有し、

前記制御回路は、前記第 1 インバータ回路および第 2 インバータ回路に、前記第 1 インバータ回路および第 2 インバータ回路を前記第 3 モードとする第 3 信号を出力し、

前記電源供給回路は、前記第 1 インバータ回路および第 2 インバータ回路が前記第 3 モードのとき前記電源電圧として前記第 2 電圧より低い第 3 電圧を供給することを特徴とする請求項 1 から 5 のいずれか一項記載の電子回路。

【請求項 7】

前記第 1 インバータ回路および前記第 2 インバータ回路により形成されるループ内にクロック信号に同期しオンおよびオフするスイッチと、

前記第 1 インバータ回路および前記第 2 インバータ回路が前記第 1 モードのとき前記スイッチに前記クロック信号を供給せず、前記第 1 インバータ回路および前記第 2 インバータ回路が前記第 2 モードのとき前記スイッチに前記クロック信号を供給するクロック供給回路と、

を具備することを特徴とする請求項 1 から 6 のいずれか一項記載の電子回路。

【請求項 8】

前記電源供給回路は、前記第 1 電源および前記第 2 電源の少なくとも一方と前記第 1 インバータ回路および前記第 2 インバータ回路との間に接続された M O S F E T を含むことを特徴とする請求項 1 から 7 のいずれか一項記載の電子回路。

【請求項 9】

第 1 電源電圧が供給される第 1 電源と前記第 1 電源電圧より低い第 2 電源電圧が供給される第 2 電源との間に接続され、伝達特性にヒステリシスを有する第 1 モードと伝達特性にヒステリシスがなない第 2 モードとが切り替わり、

ソースが前記第 1 電源にドレインが出力ノードに接続されるように前記第 1 電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数

10

20

30

40

50

の第 1 P チャンネル F E T と、

ソースが前記第 2 電源にドレインが出力ノードに接続されるように前記第 2 電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に前記入力ノードに接続された複数の第 1 N チャンネル F E T と、

前記複数の第 1 P チャンネル F E T 間に設けられた第 1 中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が第 1 制御ノードに接続された第 2 P チャンネル F E T と、

前記複数の第 1 N チャンネル F E T 間に設けられた第 2 中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が第 2 制御ノードに接続された第 2 N チャンネル F E T と、

を備えるインバータ回路と、

前記インバータ回路を前記第 1 モードとする第 1 信号として、前記第 1 制御ノードに第 1 レベルを出力しかつ前記第 2 制御ノードに前記第 1 レベルより高い第 2 レベルを出力し、前記インバータ回路を前記第 2 モードとする第 2 信号として、前記第 1 制御ノードに第 3 レベルを出力し、かつ前記第 2 制御ノードに前記第 3 レベルより低い第 4 レベルを出力する制御回路と、

前記インバータ回路が前記第 1 モードのとき前記第 1 電源電圧と前記第 2 電源電圧との差である電源電圧として第 1 電圧を供給し、前記インバータ回路が前記第 2 モードのとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路と、

を具備することを特徴とする電子回路。

【請求項 10】

第 1 電源電圧が供給される第 1 電源と前記第 1 電源電圧より低い第 2 電源電圧が供給される第 2 電源との間に接続され、伝達特性にヒステリシスを有する第 1 モードと伝達特性にヒステリシスがない第 2 モードとが切り替わり、

ソースが前記第 1 電源にドレインが出力ノードに接続され、ゲートが入力ノードに接続された第 1 P チャンネル F E T と、

ソースが前記第 2 電源にドレインが前記出力ノードに接続されるように前記第 2 電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に前記入力ノードに接続された複数の第 1 N チャンネル F E T と、

前記複数の第 1 N チャンネル F E T 間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続された第 2 N チャンネル F E T と、

を備えるインバータ回路と、

前記インバータ回路を前記第 1 モードとする第 1 信号として、前記制御ノードに第 1 レベルを出力し、前記インバータ回路を前記第 2 モードとする第 2 信号として、前記制御ノードに前記第 1 レベルより低い第 2 レベルを出力する制御回路と、

前記インバータ回路が前記第 1 モードのとき前記第 1 電源電圧と前記第 2 電源電圧との差である電源電圧として第 1 電圧を供給し、前記インバータ回路が前記第 2 モードのとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路と、

を具備することを特徴とする電子回路。

【請求項 11】

第 1 電源電圧が供給される第 1 電源と前記第 1 電源電圧より低い第 2 電源電圧が供給される第 2 電源との間に接続され、伝達特性にヒステリシスを有する第 1 モードと伝達特性にヒステリシスがない第 2 モードとが切り替わり、

ソースが前記第 1 電源にドレインが出力ノードに接続されるように前記第 1 電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数の第 1 P チャンネル F E T と、

ソースが前記第 2 電源にドレインが前記出力ノードに接続され、ゲートが前記入力ノードに接続された複数の第 1 N チャンネル F E T と、

前記複数の第 1 P チャンネル F E T 間に設けられた中間ノードにソースおよびドレインの

10

20

30

40

50

一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続された第2 PチャンネルFETと、  
を備えるインバータ回路と、

前記インバータ回路を前記第1モードとする第1信号として、前記制御ノードに第1レベルを出力し、前記インバータ回路を前記第2モードとする第2信号として、前記制御ノードに前記第1レベルより高い第2レベルを出力する制御回路と、

前記インバータ回路が前記第1モードのとき前記第1電源電圧と前記第2電源電圧との差である電源電圧として第1電圧を供給し、前記インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、  
を具備することを特徴とする電子回路。

10

【請求項12】

前記インバータ回路を有する論理回路を具備することを特徴とする請求項9から11のいずれか一項記載の電子回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路に関し、例えばインバータ回路を有する電子回路に関する。

【背景技術】

【0002】

CMOS (Complementary Metal Oxide Semiconductor) 集積回路等の集積回路の消費電力を削減する技術として、例えばパワーゲーティング (PG) 技術がある。パワーゲーティング技術においては、電源遮断時の情報の保持が課題となる。このような情報の保持のため、記憶回路に不揮発性メモリ等の不揮発性回路を用いることが検討されている (特許文献1)。また、集積回路の消費電力を低減するため、低電圧駆動技術が検討されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開2013/172066号

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

しかしながら、従来CMOSで構成されていた記憶回路に不揮発性メモリを用いると、システムの動作速度などの性能が劣化する、さらに、製造工程が複雑になる。また、ロジック回路の電源電圧を低減すると、トランジスタのバラツキ耐性とノイズ耐性などの回路性能が劣化し安定動作が難しくなる。

【0005】

本発明は上記課題に鑑みなされたものであり、電子回路の消費電力を削減することを目的とする。

【課題を解決するための手段】

40

【0006】

本発明は、各々、第1電源電圧が供給される第1電源と前記第1電源電圧より低い第2電源電圧が供給される第2電源との間に接続され、伝達特性にヒステリシスを有する第1モードと伝達特性にヒステリシスがない第2モードとが切り替わる第1インバータ回路および第2インバータ回路を備え、前記第1インバータ回路の出力ノードが前記第2インバータ回路の入力ノードに接続され前記第2インバータ回路の出力ノードが前記第1インバータ回路の入力ノードに接続されるようにループ状に接続された双安定回路と、前記第1インバータ回路および前記第2インバータ回路を前記第1モードとする第1信号として、第1制御ノードに第1レベルを出力しかつ第2制御ノードに前記第1レベルより高い第2レベルを出力し、前記第1インバータ回路および前記第2インバータ回路を前記第2モー

50

ドとする第2信号として、前記第1制御ノードに第3レベルを出力し、かつ前記第2制御ノードに前記第3レベルより低い第4レベルを出力する制御回路と、前記第1インバータ回路および前記第2インバータ回路が前記第1モードのとき前記第1電源電圧と前記第2電源電圧の差である電源電圧として第1電圧を供給し、前記第1インバータ回路および前記第2インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、を具備し前記第1インバータ回路および前記第2インバータ回路は、ソースが前記第1電源にドレインが出力ノードに接続されるように前記第1電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数の第1PチャンネルFETと、ソースが前記第2電源にドレインが前記出力ノードに接続されるように前記第2電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数の第1NチャンネルFETと、前記複数の第1PチャンネルFET間に設けられた第1中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記第1制御ノードに接続された第2PチャンネルFETと、前記複数の第1NチャンネルFET間に設けられた第2中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記第2制御ノードに接続された第2NチャンネルFETと、を備えることを特徴とする電子回路である。

10

## 【0007】

上記構成において、前記双安定回路は、前記第1モードにおいてデータを保持しデータの書き込みおよび読み出しが行なわれず、前記第2モードにおいてデータの書き込みおよび読み出しが行なわれる構成とすることができる。

20

## 【0008】

上記構成において、前記電源供給回路は、前記制御回路が前記第1信号を出力した後に、前記第2電圧を前記第1電圧に切り替え、前記制御回路が前記第2信号を出力する前に、前記第1電圧を前記第2電圧に切り替える構成とすることができる。

## 【0009】

上記構成において、前記第1インバータ回路および第2インバータ回路は、前記第1モード、前記第2モード、および第3モードに切り替わり、前記第3モードは、前記第1モードより小さい前記ヒステリシスを有し、前記制御回路は、前記第1インバータ回路および第2インバータ回路に、前記第1インバータ回路および第2インバータ回路を前記第3モードとする第3信号を出力し、前記電源供給回路は、前記第1インバータ回路および第2インバータ回路が前記第3モードのとき前記電源電圧として前記第2電圧より低い第3電圧を供給する構成とすることができる。

30

## 【0010】

上記構成において、前記第1インバータ回路および前記第2インバータ回路により形成されるループ内にクロック信号に同期しオンおよびオフするスイッチと、前記第1インバータ回路および前記第2インバータ回路が前記第1モードのとき前記スイッチに前記クロック信号を供給せず、前記第1インバータ回路および前記第2インバータ回路が前記第2モードのとき前記スイッチに前記クロック信号を供給するクロック供給回路と、を具備する構成とすることができる。

40

## 【0014】

上記構成において、前記電源供給回路は、前記第1電源および前記第2電源の少なくとも一方と前記第1インバータ回路および前記第2インバータ回路との間に接続されたMOSFETを含む構成とすることができる。

## 【0015】

本発明は、第1電源電圧が供給される第1電源と前記第1電源電圧より低い第2電源電圧が供給される第2電源との間に接続され、伝達特性にヒステリシスを有する第1モードと伝達特性にヒステリシスがない第2モードとが切り替わり、

ソースが前記第1電源にドレインが出力ノードに接続されるように前記第1電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に入力ノードに接続された複数

50

の第1 PチャンネルFETと、ソースが前記第2電源にドレインが前記出力ノードに接続されるように前記第2電源と前記出力ノードとの間に互いに直列に接続され、ゲートが共通に前記入力ノードに接続された複数の第1 NチャンネルFETと、前記複数の第1 PチャンネルFET間に設けられた第1中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が第1制御ノードに接続された第2 PチャンネルFETと、前記複数の第1 NチャンネルFET間に設けられた第2中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が第2制御ノードに接続された第2 NチャンネルFETと、を備えるインバータ回路と、前記インバータ回路を前記第1モードとする第1信号として、前記第1制御ノードに第1レベルを出力しかつ前記第2制御ノードに前記第1レベルより高い第2レベルを出力し、前記インバータ回路を前記第2モードとする第2信号として、前記第1制御ノードに第3レベルを出力し、かつ前記第2制御ノードに前記第3レベルより低い第4レベルを出力する制御回路と、前記インバータ回路が前記第1モードのとき前記第1電源電圧と前記第2電源電圧との差である電源電圧として第1電圧を供給し、前記インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、を具備することを特徴とする電子回路である。

【0018】

上記構成において、前記インバータ回路を有する論理回路を具備する構成とすることができる。

【発明の効果】

【0020】

本発明によれば、電子回路の消費電力を削減することができる。

【図面の簡単な説明】

【0021】

【図1】図1(a)および図1(b)は、実施例1に係る電子回路を示す回路図である。

【図2】図2(a)および図2(b)は、実施例1の変形例1に係る電子回路の回路図である。

【図3】図3は、実施例1の変形例1におけるインバータ回路の伝達特性を示す図である。

【図4】図4(a)および図4(b)は、実施例1の変形例1における時間に対する出力電圧を示した図である。

【図5】図5(a)から図5(e)は、実施例1の変形例1におけるタイミングチャートである。

【図6】図6(a)は、実施例2に係る電子回路の記憶セルを示す回路図、図6(b)は電子回路を示す回路図である。

【図7】図7(a)および図7(b)は、実施例2における記憶セルの特性を示す図である。

【図8】図8(a)および図8(b)は、実施例2におけるそれぞれインバータモードおよびシュミットリガモードにおける記憶セルの特性を示す図である。

【図9】図9(a)および図9(b)は、それぞれ実施例2の変形例1および2に係る電子回路を示す回路図である。

【図10】図10は、実施例2の変形例3に係る電子回路の回路図である。

【図11】図11は、実施例2の変形例4に係る電子回路の回路図である。

【図12】図12(a)から図12(e)は、実施例2の変形例3におけるタイミングチャートである。

【図13】図13は、実施例2の変形例5に係る電子回路の回路図である。

【図14】図14は、実施例2の変形例6に係る電子回路の回路図である。

【図15】図15(a)および図15(b)は、実施例2の変形例5の制御回路を示す回路図であり、図15(c)は、タイミングチャートである。

10

20

30

40

50

【図16】図16(a)および図16(b)は、実施例2の変形例5の制御回路を示す別の回路図であり、図16(c)は、タイミングチャートである。

【図17】図17(a)および図17(b)は、実施例3に係る電子回路の回路図である。

【図18】図18は、実施例3の変形例1に係る電子回路の回路図である。

【図19】図19(a)から図19(c)は、それぞれ実施例4、実施例4の変形例1および実施例4の変形例2に係る電子回路の回路図である。

【図20】図20は、実施例5におけるインバータ回路の伝達特性を示す図である。

【図21】図21は、実施例5を用いたNAND回路の回路図である。

【図22】図22(a)は、実施例6に係る電子回路のブロック図、図22(b)は、実施例6の各モードの動作を示す図である。

10

【図23】図23(a)および図23(b)は、実施例7に係る電子回路の回路図である。

【発明を実施するための形態】

【0022】

CMOS集積回路における低電圧動作は、その低消費電力化に極めて有効である。記憶回路では、低電圧でデータを保持することで、記憶回路の重要な課題である待機時電力を削減することができる。ロジック回路では、低電圧動作を行うことで、動作速度は劣化するが、演算のエネルギー効率を高めることが可能となる。以下、記憶回路とロジック回路における低電圧動作の現状と課題について述べる。

20

【0023】

記憶回路では、データを保持し待機状態にあるときの電力(待機時電力)の削減が重要な課題の1つとなる。パワーゲーティング(PG)はCMOS集積回路における待機時電力削減技術として広く用いられている。しかし、マイクロプロセッサなどのロジックシステムでは、PGによって電源遮断を行う領域(パワードメイン)内に、揮発性の記憶回路が用いられていることが一般的である。このため、PGでは、パワードメイン内のデータの保持が重要な課題となっている。

【0024】

記憶回路のデータが失われない程度に供給電圧を低く抑えて(例えば、電源電圧の8割程度)、データを保持する方法は、SRAM(Static Random Access Memory)などで構成される記憶回路に用いられている。この方法では、待機時電力の削減には効果があるが、データ保持のための電圧を大幅に下げることができないため、電源遮断ほどの電力削減効果はない。したがって、この方法は本来のPGほどの待機時電力の削減はできない。

30

【0025】

また、記憶回路に効果的なPGを行なうため、近年では不揮発性メモリを用いたデータの保持が検討されている。この方法は電源を遮断してもデータを保持できるため、完全な電源遮断によるPGを実行でき、記憶回路の待機時電力の削減の効果は大きい。しかし、不揮発性メモリを用いることによる回路性能の劣化が問題となる。このため、不揮発性メモリを用いないメモリ動作と不揮発性の記憶とを分離できる不揮発性記憶回路の導入など、いくつかの試みが検討されている。しかし、不揮発性メモリとCMOSロジック回路の混載には、例えば製造工程が複雑になる、およびこれに伴う製造コストの増大等の課題も多く、実現に至っていない。

40

【0026】

シュミットトリガインバータで構成した双安定回路を用いた記憶回路では、極めて低い電圧(例えば0.3Vまたはこれ以下)でデータの保持ができる。このため、電源遮断並の待機時電力の大幅削減が可能となる。しかし、シュミットトリガインバータの構造に起因して、その動作速度が劣化するなど回路性能が劣化してしまうといった問題が生じる。

【0027】

そこで、記憶回路の待機時電力を大きく削減するため、極めて低い電圧(例えば、パワードメインのパワースイッチを遮断したときに発生する仮想電源の電圧、0.2-0.3

50



V程度であることが多い)でデータを保持することと、書き込みおよび/または読み出しといった通常のメモリ動作においては、従来の記憶回路(SRAMまたはフリップフロップ)程度に十分に高速動作できることと、が求められる。

【0028】

次に、ロジック回路の低電圧動作について、現状と課題を述べる。近年、ウエラブルデバイスなどに用いるロジックシステムの高エネルギー効率化による超低消費電力化技術が重要になってきている。ウエラブルデバイスは“always-on”デバイスとも呼ばれている。ウエラブルデバイスの低消費電力化には、演算処理のエネルギー効率を最大限に高めて、無駄なエネルギー消費を極力省くことが重要となる。

【0029】

一般に、CMOSロジックの消費電力は電源電圧の低減とともに削減できる。しかし、消費エネルギーは電源電圧の削減に対して単調減少せず、ある電圧まで下げるとそこで極小点を持ち、さらに電圧を下げると消費エネルギーはむしろ増大してしまう。これは、低電圧化にともないCMOSの動作速度が急激に遅くなり、この伸びた動作時間内に消費する待機時(スタティック)エネルギーが増大するためである。

【0030】

ウエラブルデバイスのバックグラウンドにおける情報処理は、高速演算である必要がない。このことから、このバックグラウンド演算には、エネルギー消費が極小となる低電圧化の動作が重要になると考えられる。しかし、このようなエネルギー極小点となる電圧は0.3-0.5V程度と極めて低く、ノイズや素子のバラツキによって、ロジックシステムを安定に動作させることが難しくなる。また、バックグラウンドではない通常電圧(フルスウィング)動作では、スマートフォンなどと同程度の高速な情報処理が求められる。

【0031】

したがって、ウエラブルデバイスのようなロジックシステムでは、エネルギー極小点となる低電圧における高エネルギー効率および安定動作と、通常電圧による高速演算と、の両立が求められる。

【0032】

以下に説明する実施例では、シュミットトリガインバータモード(シュミットトリガモードともいう)と通常のインバータモードで動作できるインバータ回路を用いた記憶回路によって、通常電圧駆動時における高速動作と、非常に低い電圧によるデータの保持を実現できる記憶回路を提供する。

【0033】

また、シュミットトリガモードと通常のインバータモードで動作できるインバータ回路を用いたロジック回路によって、エネルギー効率の高い低電圧動作と、通常電圧駆動による高速動作を実現できるロジック回路を提供する。

【実施例1】

【0034】

図1(a)および図1(b)は、実施例1に係る電子回路を示す回路図である。図1(a)に示すように、電子回路100は、インバータ回路10、制御回路20および電源供給回路30を備える。インバータ回路10は、入力ノード $N_{in}$ 、出力ノード $N_{out}$ 、中間ノード $N_{m1}$ 、 $N_{m2}$ およびFET(Field Effect Transistor)11から16を備える。FET11、12および15はPチャネルFETであり、FET11および12は第1PチャネルFETであり、FET15は第2PチャネルFETである。FET13、14および16はNチャネルFETであり、FET13および14は第1NチャネルFETであり、FET15は第2NチャネルFETである。FET15および16は、FET11から14が形成するインバータへのフィードバックトランジスタとして機能できる。

【0035】

電源線36とグランド線38との間に、複数のFET11から14が直列に接続されている。FET11のソースが電源線36に接続され、FET14のソースがグランド線38に接続されている。FET11のドレインとFET12のソースは中間ノード $N_{m1}$ に

10

20

30

40

50

接続されている。F E T 1 3 のソースと F E T 1 4 のドレインは中間ノード N m 2 に接続されている。F E T 1 2 および 1 3 のドレインは共通に出力ノードに接続されている。F E T 1 1 から 1 4 のゲートは共通に入力ノード N i n に接続されている。

【 0 0 3 6 】

F E T 1 5 のソースおよびドレインの一方は中間ノード N m 1 に、ゲートは出力ノード N o u t に、ソースおよびドレインの他方は制御ノード N F P に接続されている。F E T 1 6 のソースおよびドレインの一方は中間ノード N m 2 に、ゲートは出力ノード N o u t に、ソースおよびドレインの他方は制御ノード N F N に接続されている。

【 0 0 3 7 】

制御回路 2 0 は、制御ノード N F P および N F N に、それぞれ電圧 V F P および V F N を印加する。電圧 V F P および V F N は、ハイレベルまたはローレベルである。制御回路 2 0 が電圧 V F P としてハイレベルを出力し、電圧 V F N としてローレベルを出力すると、インバータ回路 1 0 は通常のインバータとして動作する。これをインバータモードという。制御回路 2 0 が電圧 V F P としてローレベルを出力し、電圧 V F N としてハイレベルを出力すると、インバータ回路 1 0 はシュミットトリガインバータとして動作する。これをシュミットトリガモードという。なお、ハイレベルおよびローレベルは、例えば電源線 3 6 およびグランド線 3 8 の電圧に相当する。インバータモードにおいて、ハイレベルがローレベルより高い電圧であればよい。また、シュミットトリガモードにおいても、ハイレベルがローレベルより高い電圧であればよい。インバータモードのハイレベルとシュミットトリガモードのハイレベルは同じ電圧でもよく、異なった電圧でもよい。インバータモードのローレベルとシュミットトリガモードのローレベルは同じ電圧でもよく、異なった電圧でもよい。例えば、ハイレベルは電源から供給される電源電圧 V D D (例えば図 1 7 ( a ) を参照) でもよく、ローレベルはグランドの電圧でもよい。

【 0 0 3 8 】

電源供給回路 3 0 は、電源線 3 6 とグランド線 3 8 との間に電源電圧を供給する。電源供給回路 3 0 は、例えば電子回路に供給されている電源電圧から仮想電源電圧 V V D D を生成し電源線 3 6 に供給する。また電源供給回路 3 0 は、仮想電源電圧 V V D D として第 1 電圧と第 1 電圧より高い第 2 電圧とを切り替える。電源供給回路 3 0 は、例えば後述するパワースイッチ、電圧レギュレータまたは D C ( Direct Current ) - D C コンバータなどである。

【 0 0 3 9 】

図 1 ( a ) において、電源供給回路 3 0 は、電源線 3 6 に接続されており、電源線 3 6 とグランド線 3 8 との間に供給される電源電圧を低くするとき電源線 3 6 の仮想電源電圧 V V D D を低くし、電源電圧を高くするとき仮想電源電圧 V V D D を高くしている。図 1 ( b ) に示すように、電源供給回路 3 0 は、グランド線 3 8 に接続されており、電源線 3 6 とグランド線 3 8 との間に供給される電源電圧を低くするときグランド線 3 8 の仮想グランド電圧 V G N D を高くし、電源電圧を高くするとき仮想グランド電圧 V G N D を低くしてもよい。電源供給回路 3 0 は仮想電源電圧 V V D D と仮想グランド電圧 V G N D の両方を切り替えてもよい。

【 0 0 4 0 】

図 2 ( a ) および図 2 ( b ) は、実施例 1 の変形例 1 に係る電子回路の回路図である。図 2 ( a ) に示すように、電子回路 1 0 0 a において、制御回路 2 0 はインバータ 2 2 および 2 4 を備えている。インバータ 2 4 の入力ノードには制御信号 C T R L が入力する。インバータ 2 4 の出力ノードは制御ノード N F P に接続されている、インバータ 2 2 の入力ノードはインバータ 2 4 の出力ノードに接続され、出力ノードは制御ノード N F N に接続されている。インバータ 2 2 および 2 4 には仮想電源電圧 V V D D が供給されている。その他の構成は図 1 ( a ) と同じであり説明を省略する。制御信号 C T R L がハイレベルのときインバータ回路 1 0 はシュミットトリガモードとなり、ローレベルのときインバータ回路 1 0 はインバータモードとなる。

【 0 0 4 1 】

10

20

30

40

50

図2(b)に示すように、電子回路100bにおいては、インバータ24の出力ノードは制御ノードNFNに接続されている、インバータ22の入力ノードはインバータ24の出力ノードに接続され、出力ノードは制御ノードNFPに接続されている。制御信号CTRLがローレベルと有的时候インバータ回路10はシュミットトリガモードとなり、ハイレベルのときインバータ回路10はインバータモードとなる。図2(a)のように、制御信号CTRLは制御ノードNFP側から入力してもよい。また、図2(b)のように、制御信号CTRLは制御ノードNFN側から入力してもよい。

#### 【0042】

図2(a)の電子回路100aを用い、インバータ特性をシミュレーションした。図3は、実施例1の変形例1におけるインバータ回路の伝達特性を示す図である。実線は、制御信号CTRLがローレベルであるインバータモードの伝達特性である。破線は制御信号CTRLがハイレベルであるシュミットトリガモードの伝達特性である。図3に示すように、インバータモードでは、FET15および16はそれぞれ中間ノードNm1およびNm2をハイレベルおよびローレベルにしようとする。このため、伝達特性のヒステリシスがなく通常のインバータとして動作する。シュミットトリガモードでは、FET15および16は、出力ノードNoutの信号をそれぞれ中間ノードNm1およびNm2に正にフィードバックする。このため、伝達特性にヒステリシスが生ずる。また、出力電圧Voutのハイレベルからローレベルへの変化およびローレベルからハイレベルへの変化が急峻である。このため、シュミットトリガモードでは、インバータ回路10は仮想電源電圧VDDが低いときにおいても安定に動作できる。

#### 【0043】

図4(a)および図4(b)は、実施例1の変形例1における時間に対する出力電圧を示した図である。一点鎖線は、入力電圧Vinを、点線はFET15および16を備えないインバータを、実線はインバータモードを、破線はシュミットトリガモードを示す。図4(a)は、入力電圧Vinがローレベルからハイレベルに切り替わることを示し、図4(b)は、ハイレベルからローレベルに切り替わることを示す。図4(a)および図4(b)に示すように、シュミットトリガモードでは、インバータと比べ出力電圧Voutの切り替わりが遅い。インバータモードでは、FET15および16がプルアップおよびプルダウンをアシストするため、インバータと同程度で出力電圧Voutが切り替わる。このように、シュミットトリガモードでは、動作速度が遅いが、インバータモードでは高速動作が可能となる。

#### 【0044】

図5(a)から図5(e)は、実施例1の変形例1におけるタイミングチャートである。図5(a)は、時間に対する制御ノードNFNおよびNFPの電圧VFNおよびVFPを示す図、図5(b)は、時間に対する制御信号CTRLおよび仮想電源電圧VDDを示す図、図5(c)は、時間に対する出力電圧Voutおよび入力電圧Vinを示す図、図5(d)は、時間に対するインバータ回路10、インバータ22および24のスイッチングにともなう貫通電流を示す図、図5(e)は、時間に対する消費電流を示す図である。図5(e)において、各電圧が切り替わったときの過度応答はシミュレーションの都合上正確ではないが、安定した後の電流値は正確である。

#### 【0045】

図5(b)において制御信号CTRLがハイレベルの期間がシュミットトリガモード、ローレベルの期間がインバータモードである。インバータモードにおいては、図5(a)に示すように、電圧VFPはハイレベル、電圧VFNはローレベルである。図5(c)に示すように、入力電圧Vinがローレベルのとき出力電圧Voutはハイレベル、入力電圧Vinがハイレベルのとき出力電圧Voutはローレベルである。図5(d)に示すように、インバータ回路10、インバータ22および24の出力が切り替わる時に貫通電流が流れる。図5(e)に示すように、消費電流は229nAである。

#### 【0046】

シュミットトリガモードにおいて、図5(b)に示すように、仮想電源電圧VDDを

10

20

30

40

50

1.2Vから順次切り替え0.8Vおよび0.3Vに設定した。1.2Vは、インバータ回路10が通常動作する仮想電源電圧V<sub>VDD</sub>である。0.8Vは、通常のインバータをいわゆるスリープモードとして動作させるときの仮想電源電圧V<sub>VDD</sub>に相当する。0.3Vは、通常のインバータは動作しない仮想電源電圧V<sub>VDD</sub>である。図5(a)および図5(c)のように、電圧V<sub>FN</sub>および出力電圧V<sub>out</sub>は仮想電源電圧V<sub>VDD</sub>にともない低くなる。図5(e)のように、仮想電源電圧V<sub>VDD</sub>が0.8Vのとき、消費電流は67nA、仮想電源電圧V<sub>VDD</sub>が0.3Vのとき消費電流は8nAとなる。よって、シュミットトリガモードにおいて仮想電源電圧V<sub>VDD</sub>を低く(例えば0.3V)することにより、消費電力を抑制できる。例えば、インバータモードでは、仮想電源電圧V<sub>VDD</sub>を1.2Vとして高速動作させ、シュミットトリガモードでは、仮想電源電圧V<sub>VDD</sub>を0.3Vとし消費電力を削減できる。シュミットトリガモードにおいて仮想電源電圧V<sub>VDD</sub>を0.3Vに低下させたときの消費電力は、インバータモードにおいて仮想電源電圧V<sub>VDD</sub>を1.2Vとしたときの数%となる。また、通常のインバータのスリープモードと比べても消費電力を低減できる。さらに低電圧動作も可能である。

#### 【0047】

実施例1によれば、インバータ回路10は、電源電圧が供給される電源線(正電源)とグランド線(負電源)との間に接続され、シュミットトリガモード(第1モード)と、インバータモード(第2モード)と、が切り替わる。制御回路20は、インバータ回路10をシュミットトリガモードとする第1信号と、インバータモードとする第2信号と、を出力する。電源供給回路30は、シュミットトリガモードのとき電源電圧として第1電圧を供給し、インバータモードのとき第1電圧より高い第2電圧を供給する。これにより、インバータ回路10をインバータモードおよびシュミットトリガモードとして動作させることができる。インバータモードにおいては、インバータ回路10は高速動作可能となる。シュミットトリガモードでは、インバータ回路10は低電源電圧でも動作可能なヒステリシスを有する急峻な伝達特性を有し、消費電力を抑制できる。第1モードは伝達特性にヒステリシスを有するモードでありかつ第2モードは伝達特性にヒステリシスがないうモードである、および/または、第1モードは第2モードより伝達特性の入力電圧に対する出力電圧の変化が急峻であればよい。例えば、記憶回路では、シュミットトリガモードにおいて、ヒステリシスが大きく急峻であることが好ましい。ロジック回路では、シュミットトリガモードにおいて、インバータモードより伝達特性が急峻であることが好ましい。

#### 【0048】

インバータ回路10の回路構成は図1(a)および図1(b)には限られず、制御回路20からの信号により、伝達特性のヒステリシスの有無が切り替わる回路であればよい。例えば、FET15、16は、FET11および12と、FET13および14と、に、出力ノードN<sub>out</sub>の信号を制御回路20から入力する第1信号および第2信号に応じフィードバックするフィードバック回路であればよい。また、図1(a)および図1(b)のような回路構成のインバータ回路10では、制御回路20は、第1信号および第2信号として、FET15および16の制御ノードN<sub>FP</sub>およびN<sub>FN</sub>に、ハイレベルおよびローレベルを切り替えて出力する。これにより、インバータ回路10の伝達特性におけるヒステリシスの有無を切り替えることができる。

#### 【0049】

制御回路20は、インバータモードとする第2信号として、FET15の制御ノードN<sub>FP</sub>にハイレベルを出力し、FET16の制御ノードN<sub>FN</sub>にローレベルを出力する。また、制御回路20は、シュミットトリガモードとする第1信号として、FET15の制御ノードN<sub>FP</sub>にローレベルを出力し、FET16の制御ノードN<sub>FN</sub>にハイレベルを出力する。これにより、FET15および16は、制御ノードN<sub>FP</sub>およびN<sub>FN</sub>に第2信号が入力したとき、インバータ回路10をインバータモードとし、制御ノードN<sub>FP</sub>およびN<sub>FN</sub>に第1信号が入力したとき、インバータ回路10をシュミットトリガモードとすることができる。

#### 【0050】

10

20

30

40

50

さらに、制御回路20は、FET15の制御ノードNFPとFET16の制御ノードNFNとの間に接続されたインバータ(反転回路)22を備える。これにより、制御回路20は、制御ノードNFPとNFNの電圧を簡単に反転できる。

#### 【0051】

シミュレーションでは、インバータ22および24の電源電圧を仮想電源電圧VDDとしているが任意の電源電圧でもよい。また、制御回路20は、インバータ22および24を用いずに第1信号および第2信号を生成してもよい。例えば、制御回路20は、NAND回路および/またはNOR等の論理ゲートを組み合わせた回路でもよい。

#### 【0052】

図5(b)のように、電源供給回路30は、制御回路20がインバータ回路10をシュミットリガモードとする第1信号を出力した後に、仮想電源電圧VDDを高い第2電圧から低い第1電圧に切り替える。電源供給回路30は、制御回路20がインバータ回路10をインバータモードとする第2信号を出力する前に、仮想電源電圧VDDを低い第1電圧から高い第2電圧に切り替える。これにより、仮想電源電圧VDDが低い第1電圧の間、インバータ回路10を安定に動作できる。例えば、後述する実施例2では、双安定回路がデータを安定に保持できる。なお、インバータモードの伝達特性は、ヒステリシスが狭い伝達特性でもよい。実質的にヒステリシスがなければよい。例えばシュミットリガモードのように、意図的にヒステリシスを形成してなければよい。

#### 【実施例2】

#### 【0053】

実施例2は、実施例1のインバータ回路を用いた記憶回路の例である。図6(a)は、実施例2に係る電子回路の記憶セルを示す回路図、図6(b)は電子回路を示す回路図である。図6(a)に示すように、電子回路104は、記憶セル102、制御回路20および電源供給回路30を備える。記憶セル102は、インバータ回路10aおよび10b、FET41および42を備える。インバータ回路10aおよび10bは実施例1のインバータ回路10である。インバータ回路10aおよび10bはループ状に接続され、双安定回路40を形成する。すなわち、インバータ回路10aの出力ノードNoutがインバータ回路10bの入力ノードNinに接続され、インバータ回路10bの出力ノードNoutがインバータ回路10aの入力ノードNinに接続されている。インバータ回路10aおよび10bの出力ノードNoutはそれぞれ記憶ノードN2およびN1となる。FET41および42はNチャンネルFETである。FET41のソースおよびドレインの一方は記憶ノードN2に、ソースおよびドレインの他方はビット線BLに、ゲートはワード線WLに接続されている。FET42のソースおよびドレインの一方は記憶ノードN1に、ソースおよびドレインの他方はビット線BLBに、ゲートはワード線WLに接続されている。

#### 【0054】

図6(b)に示すように、電子回路104は、メモリ領域70、列ドライバ71、行ドライバ72および制御部73を備えている。メモリ領域70内には記憶セル102がマトリックス状に配列されている。列ドライバ71は、アドレス信号により列を選択し、選択した列のビット線BLおよびBLBに電圧等を印加する。行ドライバ72は、アドレス信号により行を選択し、選択した行のワード線WLに電圧を、選択した行の制御線に電圧VFPおよびVFNを印加する。制御部73は、列ドライバ71および行ドライバ72等を制御する。制御部73は、読み出し回路および書き込み回路(不図示)を用い、例えばワード線WLとビット線BLおよびBLBとにより選択された記憶セル102にデータの書き込みおよび記憶セル102からデータの読み出しを行なう。

#### 【0055】

制御回路20および電源供給回路30の機能は実施例1およびその変形例と同じである。制御回路20は、行ごとに設けられていてもよいし、記憶セル102ごとに設けられていてもよい。簡略化の観点から、制御回路20は行ごとに設けることが好ましい。電源供給回路30は、メモリ領域70内の記憶セル102に共通に設けられていてもよいし、メ

10

20

30

40

50

メモリ領域70を複数の領域に分割し、分割された領域ごとに設けられていてもよい。例えば、電源供給回路30は、行ごとに設けられていてもよい。

【0056】

記憶セル102の特性をシミュレーションした。図7(a)および図7(b)は、実施例2における記憶セルの特性を示す図であり、記憶ノードN1の電圧V1に対する記憶ノードN2の電圧V2を示す図である。図7(a)は、はじめに記憶ノードN2が記憶点になっていた(すなわち、記憶ノードN2がハイレベルとなっている)ときを示す。図7(b)は、はじめに記憶ノードN1が記憶点になっていた(すなわち、記憶ノードN1がハイレベルとなっている)ときを示す。仮想電源電圧V<sub>VDD</sub>は0.3Vとしてシミュレーションした。

10

【0057】

図7(a)および図7(b)に示すように、インバータモードでは、記憶ノードN1とN2に対し対称な特性となる。一方、シュミットトリガモードでは、記憶点を有する側のバタフライカーブの開口が大きくなる。これは、図3のように、シュミットトリガモードでは、インバータ回路10の伝達特性にヒステリシスを有するためである。さらに、バタフライカーブの開口が正方形に近い。これは、図3のように、入力電圧V<sub>in</sub>に対し出力電圧outが急峻に変化するためである。開口の中に入る正方形の辺の長さがノイズマージンに対応する。すなわち、正方形が大きいとノイズマージンが大きいことを示す。図7(b)の実線80および破線82の正方形は、それぞれインバータモードおよびシュミットトリガモードのノイズマージンを示す。インバータモードでは、仮想電源電圧V<sub>VDD</sub>を0.3Vとすると、ノイズマージンが小さくなる。このため、仮想電源電圧V<sub>VDD</sub>を0.3Vとすると、記憶ノードN1およびN2のデータを安定に保持できなくなる。シュミットトリガモードでは、仮想電源電圧V<sub>VDD</sub>を0.3Vとしてもノイズマージンが2倍程度大きい。このため、仮想電源電圧V<sub>VDD</sub>を0.3Vとしても記憶ノードN1およびN2のデータをより安定に保持できる。

20

【0058】

図8(a)および図8(b)は、実施例2におけるそれぞれインバータモードおよびシュミットトリガモードにおける記憶セルの特性を示す図である。図8(a)に示すように、インバータモードにおいては、仮想電源電圧V<sub>VDD</sub>を0.3V、0.2Vおよび0.15Vと小さくするとノイズマージンが低下する。図8(b)に示すように、シュミットトリガモードでは、仮想電源電圧V<sub>VDD</sub>が0.3V、0.2Vおよび0.15Vにおける記憶点側のノイズマージンはインバータモードより大きい。どの仮想電源電圧V<sub>VDD</sub>でもインバータモードに比べて角型に近い。

30

【0059】

実施例2によれば、電子回路104は、インバータ回路10a(第1インバータ)およびインバータ回路10b(第2インバータ)をループ状に接続した双安定回路40を備える。これにより、シュミットトリガモードのときに、仮想電源電圧V<sub>VDD</sub>を低くしても双安定回路40のデータを安定に保持できる。このため、仮想電源電圧V<sub>VDD</sub>を低くしてデータの保持を行えば、データ保持時の待機時電力を抑制できる。インバータモードのときに、仮想電源電圧V<sub>VDD</sub>を高くし、高速動作が可能となる。

40

【0060】

図9(a)および図9(b)は、それぞれ実施例2の変形例1および2に係る電子回路を示す回路図である。図9(a)に示すように、電子回路104aにおいて、インバータ回路10aおよび10bにFET12および15が設けられていない。制御回路20はインバータ26を有する。制御回路20の出力はインバータ回路10aおよび10bの制御ノードNFNに接続されている。その他の構成は実施例2と同じであり、説明を省略する。図9(b)に示すように、電子回路104bにおいて、インバータ回路10aおよび10bにFET13および16が設けられていない。制御回路20の出力はインバータ回路10aおよび10bの制御ノードNFPに接続されている。その他の構成は実施例2と同じであり、説明を省略する。なお、実施例2の変形例1および2において、インバータ2

50

6を備えず、制御信号CTRLが直接制御ノードNFNまたはNFPに入力してもよい。

【0061】

実施例2の変形例1および2のように、PチャンネルFETおよびNチャンネルFETのうち一方が複数接続され、他方は1個でもよい。FET15または16は、複数接続されたFETにのみ接続されていけばよい。このように、フィードバック回路がPチャンネルFETおよびNチャンネルFETのうち一方にのみフィードバックする場合においても、インバータモードとシュミットトリガモードとの切り替えを行なうことができる。

【0062】

実施例2の変形例3および4は、ラッチ回路の例である。図10は、実施例2の変形例3に係る電子回路の回路図である。図10に示すように、電子回路106aは、双安定回路40、パスゲート44、45、制御回路20、電源供給回路30およびクロック供給回路46を備える。双安定回路40は、インバータ回路10aおよび10bがループ状に接続されている。パスゲート44は、双安定回路40の記憶ノードN1と入力ノードDinとの間に接続されている。パスゲート45はループ内に接続されている。制御回路20は、インバータ回路10aおよび10b内の制御ノードNFPおよびNFNに電圧VFPおよびVFNを印加する。電源供給回路30は、電源線36に仮想電源電圧VVDを供給する。クロック供給回路46は、インバータ47および48を備える。クロック供給回路46は、クロック信号CLKからクロックCおよびCBを生成し、パスゲート44および45にクロックCおよびCBを供給する。

【0063】

図11は、実施例2の変形例4に係る電子回路の回路図である。図11に示すように、電子回路106bにおいては、パスゲート44がFET61から64が電源とグランド間に直列に接続された回路44aに置き換わっている。FET61および62はPチャンネルFET、FET63および64はNチャンネルFETである。FET61および64のゲートは入力ノードDinに接続されている。FET62および63のゲートにはそれぞれクロックCBおよびCが入力する。FET62および63の代わりにFET61および64のゲートにそれぞれクロックCBおよびCが入力し、FET62および63のゲートは入力ノードDinに接続されていてもよい。FET62および63のドレインは記憶ノードN1に接続されている。インバータ回路10bのFET12および13のゲートにそれぞれクロックCおよびCBが入力する。インバータ回路10bのFET12および13の代わりにFET11および14のゲートにそれぞれクロックCおよびCBが入力し、FET12および13のゲートは記憶ノードN2に接続されていてもよい。その他の構成は実施例2の変形例3と同じであり説明を省略する。実施例2の変形例3および4のように、ラッチ回路に実施例1およびその変形例のインバータ回路を用いることができる。

【0064】

図12(a)から図12(e)は、実施例2の変形例3におけるタイミングチャートである。図12(a)は、時間に対する制御ノードNFNおよびNFPの電圧VFNおよびVFPを示す図、図12(b)は、時間に対する制御信号CTRL、クロック信号CLKおよび仮想電源電圧VVDを示す図、図12(c)は、時間に対する記憶ノードN1およびN2の電圧V1およびV2を示す図、図12(d)は、時間に対する電源線36からグランド線38への貫通電流を示す図、図12(e)は、時間に対する消費電流を示す図である。図12(e)において、各電圧が切り替わったときの過度応答はシミュレーションの都合上正確ではないが、安定した後の電流値は正確である。

【0065】

インバータモードにおいては、図12(e)に示すように、消費電流は188nAである。シュミットトリガモードにおいて、図12(b)に示すように、仮想電源電圧VVDを1.2Vから0.3Vに切り替えると、図12(a)および図12(c)のように、電圧VFNおよび電圧V2は低くなる。図12(e)のように、仮想電源電圧VVDが0.3Vのとき消費電流は5.5nAとなる。このように、シュミットトリガモードとし、仮想電源電圧VVDを低くすると消費電力を抑制できる。制御回路20およびクロッ

10

20

30

40

50

ク供給回路46は、ラッチ回路ごとに設けてもよいし、複数のラッチ回路ごとにまとめて設けてもよい。

【0066】

実施例2の変形例5および6は、マスタスレーブ型フリップフロップ回路の例である。図13は、実施例2の変形例5に係る電子回路の回路図である。図13に示すように、電子回路115は、ラッチ回路(Dラッチ回路)97および98を備えている。ラッチ回路97は、実施例2と同様の双安定回路40、パスゲート44および45を備えている。記憶ノードN1はインバータ91を介しQB信号となる。記憶ノードN2はインバータ92を介しQ信号となる。記憶ノードN1は、パスゲート45を介しラッチ回路98に接続される。

10

【0067】

ラッチ回路98は、双安定回路90a、パスゲート95および96を備えている。双安定回路90aは、モードを切り替えない通常のインバータ99aおよび99bがループ状に接続されている。双安定回路90aのループ内にパスゲート96が接続されている。双安定回路90aには、インバータ93およびパスゲート95を介しデータDが入力する。ラッチ回路97、98およびクロック供給回路46は電源線36およびグランド線38に接続されている。電源線36には、仮想電源電圧VDDまたは電源電圧VDDが供給され、グランド線38には、仮想グランド電圧VGN Dまたはグランド電圧GN Dが供給される。制御回路20には、電圧VAおよびVBが供給される。VAは、例えば仮想電源電圧VDDまたは電源電圧VDDであり、VBは例えば仮想グランド電圧VGN Dまたはグランド電圧GN Dである。VAおよびVBは、他の2値または3値の電圧でもよい。

20

【0068】

実施例2の変形例5のように、マスタスレーブ型フリップフロップ回路のラッチ回路97に実施例2の変形例3または4のラッチ回路を用いることができる。これにより、インバータ回路10aおよび10bをシュミットリガモードとすることで、電源線36とグランド線38との間に供給される電圧を低くしても、ラッチ回路97のデータが保持される。データ保持のためには、ラッチ回路97がデータを保持すればよいため、ラッチ回路98のインバータ99aおよび99bは、シュミットリガモードとして動作しない通常のインバータ回路でもよい。

【0069】

図14は、実施例2の変形例6に係る電子回路の回路図である。図14に示すように、電子回路116においては、ラッチ回路98の双安定回路90に用いられるインバータ回路10aおよび10bが実施例1およびその変形例に係るインバータ回路である。その他の構成は、実施例2の変形例5と同じであり説明を省略する。

30

【0070】

実施例2の変形例6では、ラッチ回路97および98の双安定回路40および90のインバータ回路10aおよび10bはいずれも実施例1およびその変形例に係るインバータ回路である。これにより、実施例5において後述するように、シミュットリガモードにおいて、電子回路116は、安定に低電圧動作することができる。

【0071】

実施例2の変形例5において、制御信号CTRLとクロック信号CLKとを同期させる例を説明する。図15(a)および図15(b)は、実施例2の変形例5の制御回路を示す回路図であり、図15(c)は、タイミングチャートである。図15(a)に示すように、制御回路117は、電源供給回路30、クロック供給回路46および制御回路20を備える。電源供給回路30として、後述する実施例3のようなパワースイッチ32を用いる。パワースイッチ32はPチャンネルFETであり、仮想電源電圧VDDの電源線36と電源電圧VDDの電源との間に接続されている。仮想電源電圧VDDがクロック供給回路46および制御回路20に接続されている。イネーブル信号ENとパワーゲーティング補信号PGBがNOR回路74に入力し、NOR回路74の出力がパワースイッチ制御信号VPSとなる。クロック供給回路46は、NAND回路48aを有し、NAND回路

40

50



48aにイネーブル信号ENとクロック信号CLKが入力する。制御回路20のインバータ24にはイネーブル信号ENが入力する。制御回路20およびクロック供給回路46のその他の構成は実施例2と同じであり説明を省略する。

【0072】

図15(b)に示すように、制御回路117aには、NOR回路74が設けられていない。パワーゲーティング信号PGがパワースイッチ制御信号VPSとしてパワースイッチ32のゲートに入力する。イネーブル信号ENがNAND回路48aおよびインバータ24に入力する。その他の構成は図15(a)と同じであり説明を省略する。

【0073】

図15(c)に示すように、イネーブル信号ENおよびパワーゲーティング補信号PGBがハイレベル(またはパワースイッチ制御信号VPSがローレベル)のとき、クロック供給回路46は、クロックCおよびCBを供給し、制御回路20は、インバータモードとなる信号(すなわち電圧VFPがハイレベル、電圧VFNがローレベル)を出力する。パワースイッチ32はオンしており、仮想電源電圧VVDHは高い電圧である。

【0074】

時間t1において、イネーブル信号ENがローレベルとなる。クロック供給回路46はクロックCおよびCBの供給を停止する。制御回路20は、シュミットトリガモードとなる信号(すなわち電圧VFPがローレベル、電圧VFNがハイレベル)を出力する。これにより、双安定回路40のインバータ回路10aおよび10bはシュミットトリガモードとなる。時間t2において、パワーゲーティング補信号PGBがローレベル(またはパワー

10

20

【0075】

スイッチ制御信号VPSがハイレベル)となる。これにより、パワースイッチ32が遮断し、仮想電源電圧VVDHとして低電圧が供給される。ラッチ回路97は、低電圧でデータを保持する。

【0076】

時間t3において、パワーゲーティング補信号PGBがハイレベル(またはパワースイッチ制御信号VPSがローレベル)となる。これにより、パワースイッチ32がオンし、仮想電源電圧VVDHは高電圧となる。時間t4において、イネーブル信号ENがハイレベルとなる。クロック供給回路46はクロックCおよびCBの供給を開始する。制御回路20は、インバータモードとなる信号(電圧VFPおよびVFN)を供給する。

30

【0077】

図16(a)および図16(b)は、実施例2の変形例5の制御回路を示す別の回路図であり、図16(c)は、タイミングチャートである。図16(a)に示すように、制御回路118において、パワースイッチ32は、NチャンネルFETであり、グランド線38とグランド電圧GNDとの間に接続されている。NOR回路74の代わりにOR回路75が設けられている。その他の構成は図15(a)と同じであり説明を省略する。

【0078】

図16(b)に示すように、制御回路118aには、OR回路75が設けられていない。パワーゲーティング補信号PGBがパワースイッチ制御信号VPSとしてパワースイッチ32のゲートに入力する。イネーブル信号ENがNAND回路48aおよびインバータ24に入力する。その他の構成は図16(a)と同じであり説明を省略する。

40

【0079】

図13および図14のように、インバータ回路10aおよび10bにより形成されるループ内にクロックCおよびCBに同期しオンおよびオフするパスゲート45(スイッチ)を備える。図15(a)から図16(c)のように、クロック供給回路46は、インバータ回路10aおよび10bがインバータモードのときパスゲート44および45にクロッ

50

クCおよびCBを供給し、シュミットトリガモードのときパスゲート44および45にクロックCおよびCBを供給しない。このように、クロック供給回路46のクロックCおよびCBの供給と、制御回路20の制御信号(電圧VFPおよびVFN)の供給を同期させてもよい。

【0080】

また、シュミットトリガモードのときに、クロック供給回路46がクロックCおよびCBの供給を停止(クロックゲーティング)し、かつ電源供給回路30が仮想電源電圧VVDを低くまたは仮想グランド電圧VGNを高くする。これにより、リーク電流を削減できる。このように、記憶回路において、クロックゲーティングを行なうときにシュミットトリガモードとし、かつパワーゲーティングを行なう。これにより、ダイナミックパワーとスタティックパワーの両方を削減できる。

10

【0081】

以上のように、電源供給回路30は、クロック供給回路46がクロック信号を供給しないとき電源電圧として第1電圧を供給し、クロック供給回路46がクロック信号を供給するとき電源電圧として第1電圧より高い第2電圧を供給する。このように、記憶回路において、クロックゲーティングとパワーゲーティングを同時に行なう。このような動作は、シュミットトリガモードとインバータモードとを有するインバータ回路を用い双安定回路40を形成することにより、可能となる。記憶セルに双安定回路のデータをストアする不揮発性メモリ素子を設けることにより、クロックゲーティングとパワーゲーティングを同時に行なってもよい。実施例2の変形例5は、不揮発性メモリ素子を用いないため、不揮発性メモリ素子を用いるのに比べ高速動作が可能となる。さらに、実施例2の変形例5は、電源遮断のときに不揮発性メモリ素子にデータをストアしないため、データストアにもなうエネルギー消費も小さい。これにより、頻繁にパワーゲーティングを行ない、より効率的にエネルギー消費を削減できる。なお、不揮発性メモリ素子を用いずに、CMOS技術のみを用い、記憶回路においてクロックゲーティングとパワーゲーティングを同時に行なうことは、これまでできなかった。実施例1、2およびその変形例を用いることにより、はじめて可能となった。

20

【実施例3】

【0082】

実施例3は、電源供給回路30としてパワースイッチを用いる例である。図17(a)および図17(b)は、実施例3に係る電子回路の回路図である。図17(a)に示すように、電子回路108aでは、電源供給回路30としてパワースイッチ32が設けられている。パワースイッチ32はPチャネルFETである。パワースイッチ32のソースは電源電圧VDDの電源、ドレインは電源線36に接続されている。電源電熱VDDの電源は、例えば集積回路に供給される電源である。パワースイッチ32は、ゲートに入力する電源信号により、仮想電源電圧VVDの電圧を切り替える。パワースイッチ32をオンまたはオフすることで、パワースイッチ32とインバータ回路との分圧比が変わる。パワースイッチ32がオンのとき、仮想電源電圧VVDは電源電圧VDDに近い。パワースイッチ32がオフのときは、仮想電源電圧VVDは電源電圧VDDよりかなり低くなる。このとき、インバータ回路10に印加される電圧は、例えば、記憶回路では、シュミットトリガモードにおいてデータを保持できる電圧であり、ロジック回路では、シュミットトリガモードにおいて安定動作できる電圧である。その他の構成は実施例1の図2(b)と同じであり、説明を省略する。

30

40

【0083】

図17(b)に示すように、電子回路108bでは、電源供給回路30はグランド側に接続されたパワースイッチ32である。パワースイッチ32はNチャネルFETである。パワースイッチ32のソースはグランド、ドレインはグランド線38に接続されている。グランドは、例えば集積回路に設けられるグランドである。パワースイッチ32は、ゲートに入力する電源信号により、仮想グランド電圧VGNの電圧を切り替える。パワースイッチ32をオンまたはオフすることで、パワースイッチ32とインバータ回路との分圧

50

比が変わる。パワースイッチ 3 2 がオンのとき、仮想グランド電圧  $V_{GND}$  はグランド電圧に近い。パワースイッチ 3 2 がオフのときは、仮想グランド電圧  $V_{GND}$  はグランド電圧よりかなり高くなる。このとき、インバータ回路 1 0 に印加される電圧は、例えば、記憶回路では、シュミットトリガモードにおいてデータを保持できる電圧であり、ロジック回路では、シュミットトリガモードにおいて安定動作できる電圧である。その他の構成は図 1 7 ( a ) と同じであり、説明を省略する。

【 0 0 8 4 】

図 1 8 は、実施例 3 の変形例 1 に係る電子回路の回路図である。図 1 8 に示すように、電子回路 1 0 9 では、電源供給回路 3 0 としてパワースイッチ 3 2 が設けられている。その他の構成は実施例 2 の図 6 ( a ) と同じであり説明を省略する。実施例 3 および変形例 1 のように、電源供給回路 3 0 はパワースイッチ 3 2 でもよい。パワースイッチ 3 2 が遮断されたときに仮想電源電圧  $V_{VDD}$  がデータの保持できる電圧とする（例えば、遮断時にこのような仮想電源電圧  $V_{VDD}$  が得られるようにパワースイッチ 3 2 の大きさを設計することにより、パワースイッチ 3 2 を遮断しても記憶回路のデータを保持できる。パワースイッチ 3 2 は、グランド線 3 8 側のみに設けてもよく、電源線 3 6 側とグランド線 3 8 側の両方に設けてもよい。

【 0 0 8 5 】

また、パワースイッチ 3 2 のソースとドレインとの間に、ダイオードを接続し、パワースイッチ 3 2 が遮断したときの仮想電源電圧  $V_{VDD}$  または仮想グランド電圧  $V_{GND}$  を生成してもよい。ダイオードは  $MOSFET$  等のトランジスタを用いて形成してもよい。さらに、パワースイッチ 3 2 のソースとドレインとの間に、電流源を接続し、パワースイッチ 3 2 が遮断したときの仮想電源電圧  $V_{VDD}$  または仮想グランド電圧  $V_{GND}$  を生成してもよい。電流源は  $MOSFET$  等のトランジスタを用いて形成してもよい。さらに、パワースイッチ 3 2 のゲートに印加される信号をハイレベルとローレベルの間の電圧とし、所望の仮想電源電圧  $V_{VDD}$  または仮想グランド電圧  $V_{GND}$  を生成してもよい。

【 実施例 4 】

【 0 0 8 6 】

実施例 4 は、記憶回路とロジック回路を有する電子回路の例である。図 1 9 ( a ) から図 1 9 ( c ) は、それぞれ実施例 4、実施例 4 の変形例 1 および実施例 4 の変形例 2 に係る電子回路の回路図である。図 1 9 ( a ) に示すように、電子回路 1 1 0 a は記憶回路 5 0 およびロジック回路 5 2 を備えている。記憶回路 5 0 は、例えば、キャッシュメモリまたはレジスタであり、実施例 2 の  $SRAM$  記憶回路または実施例 2 の変形例 2 および 3 のラッチ回路を有するフリップフロップを備える。記憶回路 5 0 およびロジック回路 5 2 には電源線 3 6 から仮想電源電圧  $V_{VDD}$  が供給される。電源供給回路 3 0 はパワースイッチ 3 2 を有する。パワースイッチ 3 2 は仮想電源電圧  $V_{VDD}$  を切り替えるまたは電源電圧を遮断する。電圧が低い仮想電源電圧  $V_{VDD}$  は、記憶回路 5 0 がシュミットトリガモードでデータを安定に保持できるようにパワースイッチ 3 2 が設計されている。また、ロジック回路 5 2 には後述する実施例 5 のロジック回路が搭載されていてもよい。これにより、シュミットトリガモードにおいて、ロジック回路 5 2 は、安定に低電圧動作することができる。

【 0 0 8 7 】

記憶回路 5 0 とロジック回路 5 2 の組み合わせは、以下の 3 つが考えられる。第 1 に、記憶回路 5 0 はシュミットトリガモードとインバータモードとが切り替え可能であり、ロジック回路 5 2 は切り替えできない通常のロジック回路の場合である。第 2 に、記憶回路 5 0 は切り替えができない通常の記憶回路であり、ロジック回路 5 2 は切り替え可能な場合である。第 3 に、記憶回路 5 0 およびロジック回路 5 2 とともに切り替え可能な場合である。いずれの場合も切り替え可能な回路において、仮想電源電圧  $V_{VDD}$  の設計が重要となる。また、記憶回路 5 0 およびロジック回路 5 2 は複数のブロックを含んでもよい。さらに、記憶回路 5 0 に周辺回路が含まれていてもよい。

【 0 0 8 8 】

10

20

30

40

50

実施例 4 によれば、記憶回路 5 0 およびロジック回路 5 2 に共通に仮想電源電圧 V V D D を供給するパワースイッチ 3 2 を備える。これにより、パワースイッチ 3 2 の数を減らせるため、小型化が可能となる。例えば、パワースイッチ 3 2 の占有面積を小さくできる。

#### 【 0 0 8 9 】

図 1 9 ( b ) に示すように、電子回路 1 1 0 b においては、記憶回路 5 0 には電源線 3 6 a から仮想電源電圧 V V D D 1 が供給され、ロジック回路 5 2 に電源線 3 6 b から仮想電源電圧 V V D D 2 が供給される。電源供給回路 3 0 はパワースイッチ 3 2 a および 3 2 b を有する。パワースイッチ 3 2 a および 3 2 b は、それぞれ仮想電源電圧 V V D D 1 および V V D D 2 を切り替えるまたは電源電圧を遮断する。また、記憶回路 5 0 およびロジック回路 5 2 は複数のブロックを含んでもよい。さらに、記憶回路 5 0 に周辺回路が含まれていてもよい。その他の構成は実施例 4 と同じであり説明を省略する。

10

#### 【 0 0 9 0 】

実施例 4 の変形例 1 によれば、記憶回路 5 0 とロジック回路 5 2 に独立に仮想電源電圧 V V D D 1 および V V D D 2 を供給するパワースイッチ 3 2 a および 3 2 b を備える。これにより、記憶回路 5 0 とロジック回路 5 2 とで、異なる仮想電源電圧を異なる時間に切り替えることができる。

#### 【 0 0 9 1 】

図 1 9 ( c ) に示すように、電子回路 1 1 0 c においては、パワースイッチ 3 2 a は、電源電圧 V D D の電源から記憶回路 5 0 に仮想電源電圧 V V D D 1 を供給し、パワースイッチ 3 2 b は、電源電圧 V D D の電源からロジック回路 5 2 に仮想電源電圧 V V D D 2 を供給する。また、記憶回路 5 0 およびロジック回路 5 2 は複数のブロックを含んでもよい。さらに、記憶回路 5 0 に周辺回路が含まれていてもよい。その他の構成は実施例 4 の変形例 1 と同じであり説明を省略する。

20

#### 【 0 0 9 2 】

実施例 4 の変形例 2 によれば、電源線 3 6 a および 3 6 b を省略できるため、レイアウトが簡略化され、また、占有面積を小さくできる。

#### 【 0 0 9 3 】

実施例 4 およびその変形例においては、記憶回路 5 0 にシュミットトリガモードとインバータモードとの切り替え可能な回路が含まれる場合、データ保持できる仮想電源電圧 V V D D となるようにパワースイッチを設計する。ロジック回路 5 2 にシュミットトリガモードとインバータモードとの切り替え可能な回路が含まれる場合、低電圧動作が安定に可能となる仮想電源電圧 V V D D となるようにパワースイッチを設計する。また、パワースイッチは、1 つのトランジスタで構成されていてもよいし、複数のトランジスタで構成されていてもよい。

30

#### 【 0 0 9 4 】

実施例 4 およびその変形例において、電源供給回路 3 0 をグランド側に設ける場合についても図 1 9 ( a ) から図 1 9 ( c ) と同様の構成とすることができる。すなわち、記憶回路 5 0 およびロジック回路 5 2 を共通のグランド線に接続し、グランド線とグランドとの間にパワースイッチ 3 2 を設けてもよい。また、記憶回路 5 0 およびロジック回路 5 2 をそれぞれグランド線に接続し、各グランド線とグランドとの間にそれぞれパワースイッチ 3 2 を設けてもよい。さらに、グランド線を設けず、記憶回路 5 0 およびロジック回路 5 2 とグランドとの間にそれぞれパワースイッチ 3 2 を設けてもよい。さらに、パワースイッチ 3 2 を電源側とグランド側の両方に設けてもよい。

40

#### 【 実施例 5 】

#### 【 0 0 9 5 】

シュミットトリガモードにおいて低消費電力（または消費エネルギーが最小になる電圧）で動作させる例である。図 2 0 は、実施例 5 におけるインバータ回路の伝達特性を示す図である。図 2 0 に示すように、実施例 5 では、実施例 1 に比べシュミットトリガモードにおけるヒステリシスを実施例 1 より小さくする。例えば、F E T 1 5 および 1 6 などの

50

設定および/または電圧VFPおよびVFNの設定により、ヒステリシスの大きさを変えることができる。

【0096】

論理回路においては、シュミットトリガモードにおけるヒステリシスを小さくしてもよい。ヒステリシスが小さくても電圧の変化が急峻であれば、ノイズマージンが大きくなり、バラツキ耐性およびノイズ耐性に優れる。このため、低電源電圧における動作が可能となる。よって、シュミットトリガモードにおいて仮想電源電圧VVDを低くすれば、消費電力を抑制できる。例えば、仮想電源電圧VVDを、動作のエネルギー効率が極小となる電圧付近とすることができる。インバータモードにおいては、仮想電源電圧VVDを高くし、高速動作が可能となる。

10

【0097】

記憶回路においても、シュミットトリガモードにおいて、実施例1よりヒステリシスを小さくし、仮想電源電圧VVDを、インバータモードより低くする。これにより、インバータモードよりは動作速度が遅いが、低消費電力で動作を行なうことができる。仮想電源電圧VVDは、実施例1のシュミットトリガモードの仮想電源電圧VVDより高くてもよい。

【0098】

例えば、実施例4およびその変形例の記憶回路50内の記憶セルおよび/またはロジック回路52内の論理回路に実施例5を用いることができる。論理回路についてNAND回路を例に説明する。

20

【0099】

図21は、実施例5を用いたNAND回路の回路図である。図21に示すように、電子回路112は、FET11aから16を備える。電源線36と出力ノードNoutとの間に、FET11aと12aが直列に、FET11bと12bが直列に接続され、FET11aおよび12aと、FET11bおよび12bと、が並列に接続されている。FET11aと12aとの間のノードと、FET11bと12bとの間のノードと、は共通化され中間ノードNm1となる。

【0100】

出力ノードNoutとグランド線38との間にFET13aから14bが直列に接続されている。FET13bとFET14aとの間のノードは中間ノードNm2である。FET11aから14aのゲートは共通に入力ノードNin1に接続され、FET11bから14bのゲートは共通に入力ノードNin2に接続される。FET15および16の接続は実施例1と同じである。その他の構成は実施例1と同じであり、説明を省略する。

30

【0101】

電子回路112によれば、入力ノードNin1およびNin2にAおよびBが入力する。出力ノードNoutにはAとBのNANDであるCが出力される。シュミットトリガモードにおいて、仮想電源電圧VVDを低くする(例えば0.3V)ことにより、動作速度は遅いが消費電力を削減できる。インバータモードにおいて、仮想電源電圧VVDを高くする(例えば1.2V)ことにより、高速に動作することができる。以上NAND回路を例に説明したが、NAND回路以外の論理回路(例えば、OR回路、AND回路、XOR回路、NOR回路)にも実施例5を用いることができる。

40

【実施例6】

【0102】

図22(a)は、実施例6に係る電子回路のブロック図、図22(b)は、実施例6の各モードの動作を示す図である。図22(a)に示すように、電子回路114は、記憶回路86、制御回路20および電源供給回路30を備えている。記憶回路86は、実施例2およびその変形例の双安定回路40を有する。制御回路20は記憶回路86内のインバータ回路10のモードを切り替える信号を出力する。電源供給回路30は、電源線36に仮想電源電圧VVDを供給する。電源供給回路30がパワースイッチの場合、パワースイッチの接続は図19(a)から図19(c)のいずれでもよい。また、グランド側にパワ

50

ースイッチを接続してもよく、グランド側と電源電圧  $V_{DD}$  側の両方にパワースイッチを接続してもよい。

【0103】

図22(b)に示すように、記憶回路86内のインバータ回路がインバータモード(第2モード)のとき、図20のようにヒステリシスは無い。第2モードにおいて、電源供給回路30は仮想電源電圧  $V_{VDD}$  として高い電圧を供給すると、記憶回路86は高速で動作する。シュミットトリガモードのときは第1モードと第3モードとがある。第1モードのとき、ヒステリシスは図20の実施例1のように大きい。電源供給回路30が仮想電源電圧  $V_{VDD}$  として低い電圧を供給すると、記憶回路86は低消費電力でデータを保持する。第3モードのとき、ヒステリシスは図20の実施例5のように第1モードより小さい。また、第3モードの伝達特性は第2モードより急峻であり、第1モードと同じか緩慢である。第3モードのとき、電源供給回路30が仮想電源電圧  $V_{VDD}$  として第1電圧より高く第2電圧より低い第3電圧を供給すると、記憶回路86は低速ではあるが低消費電力でも安定に動作する。

10

【0104】

実施例6によれば、記憶回路86内のインバータ回路10は、第1モード、第2モード、および第3モードに切り替わる。制御回路20は、インバータ回路10に、第1信号および第2信号に加え、インバータ回路10を第3モードとする第3信号を出力する。電源供給回路30は、インバータ回路10が第3モードのとき仮想電源電圧  $V_{VDD}$  として第2電圧より低い第3電圧を供給する。記憶回路86を3つのモードで動作できる。実施例6では、第3電圧を第1電圧より高く設定しているが、第3電圧を第1電圧と同じまたは低くしてもよい。

20

【0105】

実施例1から6およびその変形例において説明した各FETは、MOSFET、MIS(Metal Insulator Semiconductor)FET、MES(Metal Semiconductor)FET、FinFET、トンネルFETなどの同等の動作ができる電界効果トランジスタであればよい。

【実施例7】

【0106】

実施例1および2では、図5(a)および図12(a)のように、電圧  $V_{FN}$  および  $V_{FP}$  のハイレベルは仮想電源電圧  $V_{VDD}$  である。これは、例えば図2(a)の制御回路20(例えばインバータ22および24)に供給される電源電圧を仮想電源電圧  $V_{VDD}$  としているためである。さらに、制御回路20に仮想グランド電圧  $V_{GND}$  が供給される場合、電圧  $V_{FN}$  および  $V_{FP}$  のローレベルは仮想グランド電圧  $V_{GND}$  となる。このように、制御回路20に仮想電源電圧  $V_{VDD}$  および仮想グランド電圧  $V_{GND}$  を供給することにより、制御回路20の消費電力を削減できる。

30

【0107】

一方、制御回路20に供給される電源電圧およびグランド電圧を仮想電源電圧  $V_{VDD}$  および仮想グランド電圧  $V_{GND}$  と異ならせることもできる。図23(a)および図23(b)は、実施例7に係る電子回路の回路図である。図23(a)に示すように、電子回路116aにおいて、電源供給回路30には電圧  $V_{DD}$  が供給されている。インバータ22および24には、電源電圧として電圧  $V_{DD2}$  が供給され、グランド電圧として電圧  $GND$  が供給されている。電圧  $V_{FP}$  および  $V_{FN}$  のローレベルおよびハイレベルはそれぞれ電圧  $GND$  および電圧  $V_{DD2}$  となる。その他の構成は実施例1の図2(a)と同じであり説明を省略する。例えば電圧  $V_{DD2}$  を電源供給回路30に印加される電圧  $V_{DD}$  とする。これにより、電源供給回路30が供給する仮想電源電圧  $V_{VDD}$  に関係なく、電圧  $V_{FP}$  および  $V_{FN}$  のハイレベルを電圧  $V_{DD}$  とすることができる。

40

【0108】

図23(b)に示すように、電子回路116bにおいて、電源供給回路30はグランド側に設けられている。電源供給回路30はグランド線38に仮想グランド電圧  $V_{GND}$  を

50

供給する。インバータ 22 および 24 には、電源電圧として電圧 VDD が供給され、グラウンド電圧として電圧 GND2 が供給されている。電圧 VFP および VFN のローレベルおよびハイレベルはそれぞれ電圧 GND2 および電圧 VDD となる。その他の構成は図 23 (a) と同じであり説明を省略する。例えば電圧 GND2 を電源供給回路 30 に供給されるグラウンド電圧 GND とする。これにより、電源供給回路 30 が供給する仮想グラウンド電圧 VGND に関係なく、電圧 VFP および VFN のローレベルをグラウンド電圧 GND とすることができる。

【0109】

実施例 7 によれば、電圧 VFP および VFN のハイレベルおよびローレベルを仮想電源電圧 VDD およびグラウンド電圧 VGND と異ならせることができる。例えば、電圧 VFP および VFN のハイレベルおよびローレベルをそれぞれ電圧 VDD および GND とすることもできる。実施例 2 から実施例 6 およびその変形例においても、電圧 VFP および VFN は任意に設定できる。

10

【0110】

以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

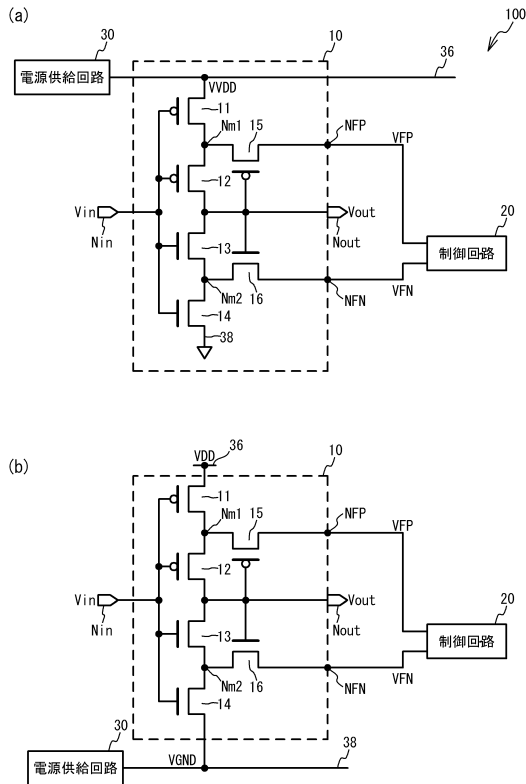
【符号の説明】

【0111】

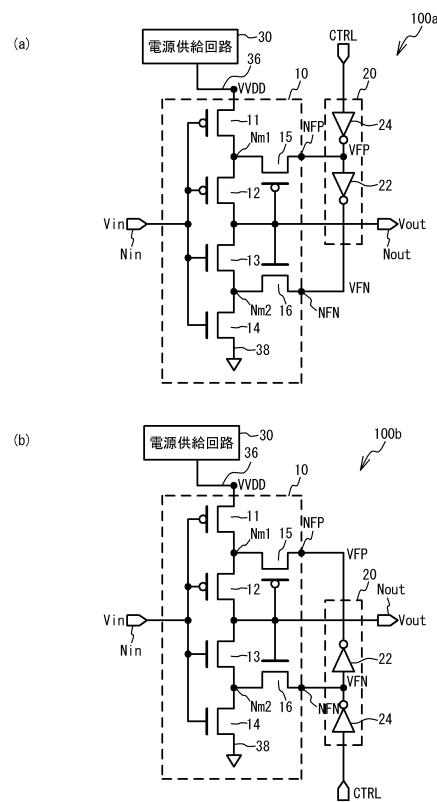
- 10、10a、10b インバータ回路
- 11 - 16 FET
- 20 制御回路
- 22 - 26 インバータ
- 30 電源供給回路
- 40 双安定回路

20

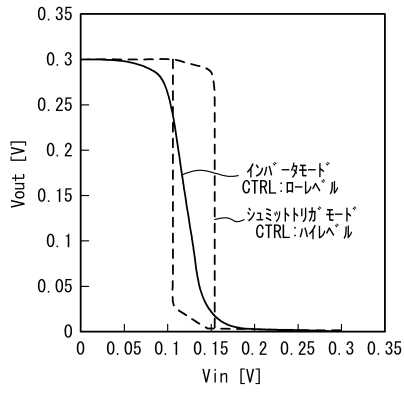
【図 1】



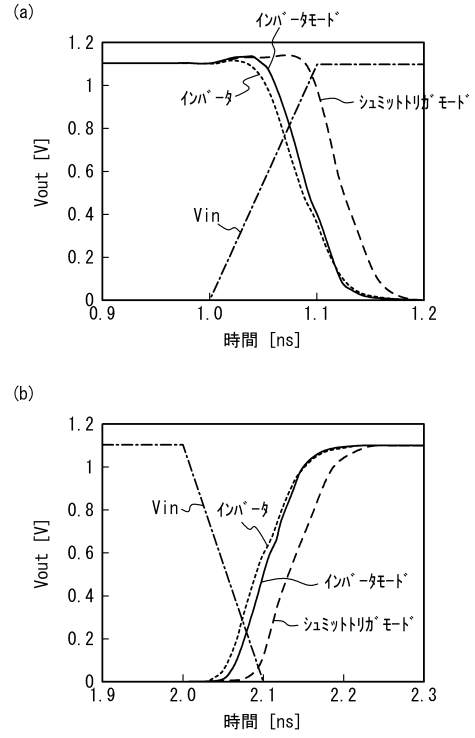
【図 2】



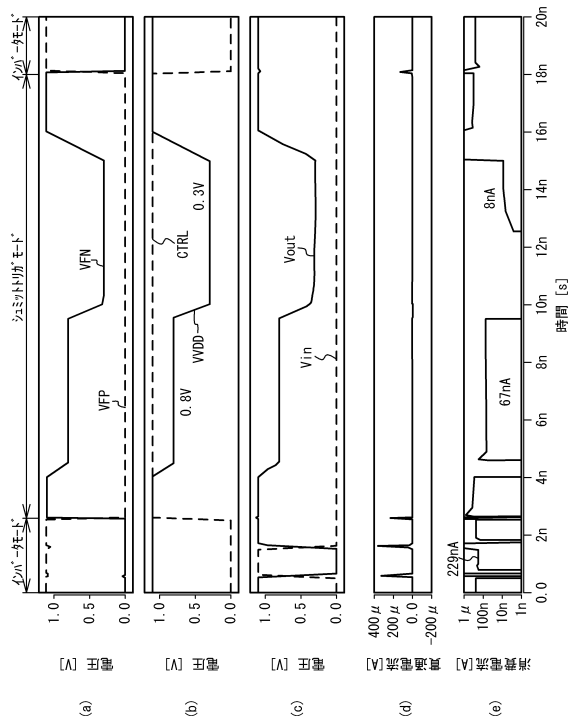
【図3】



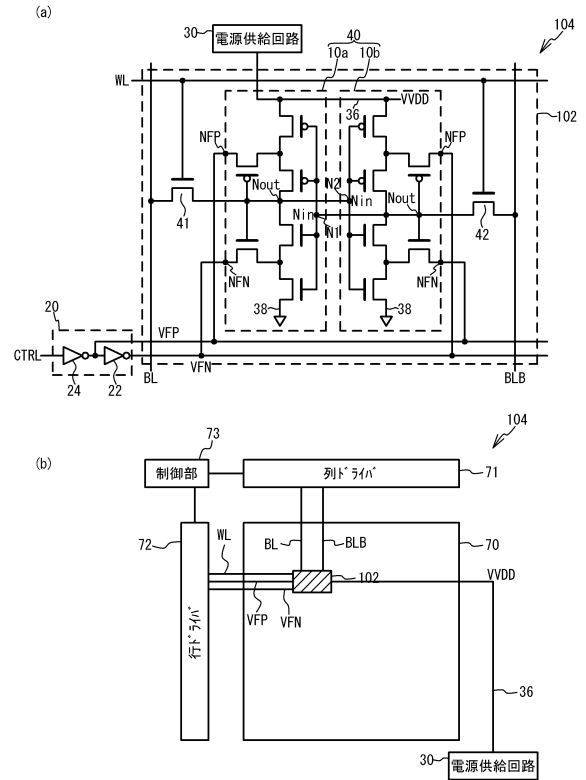
【図4】



【図5】

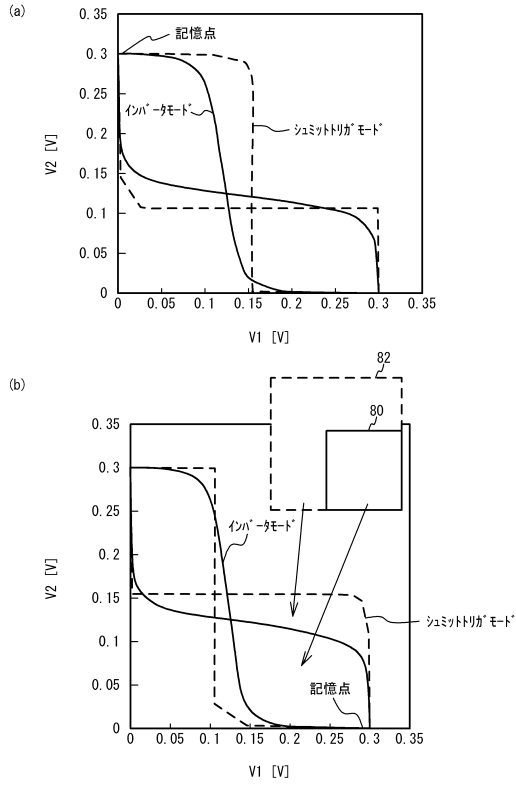


【図6】

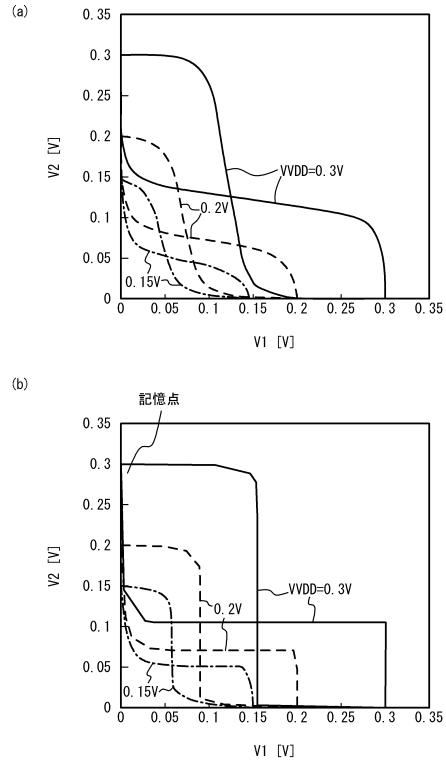




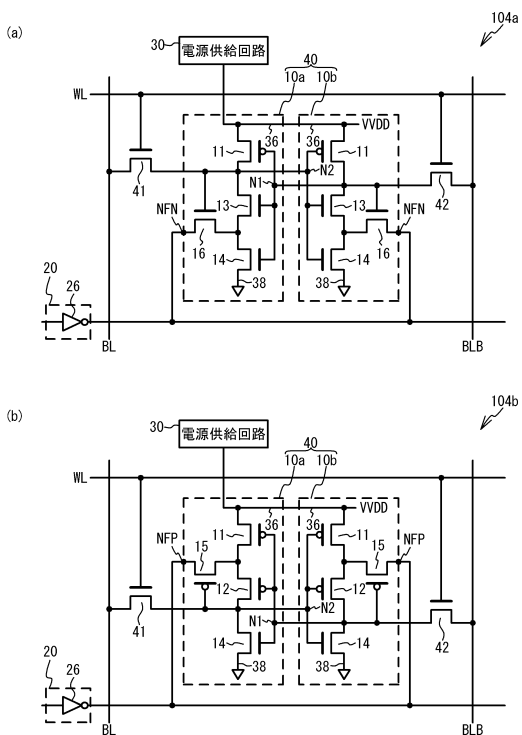
【図7】



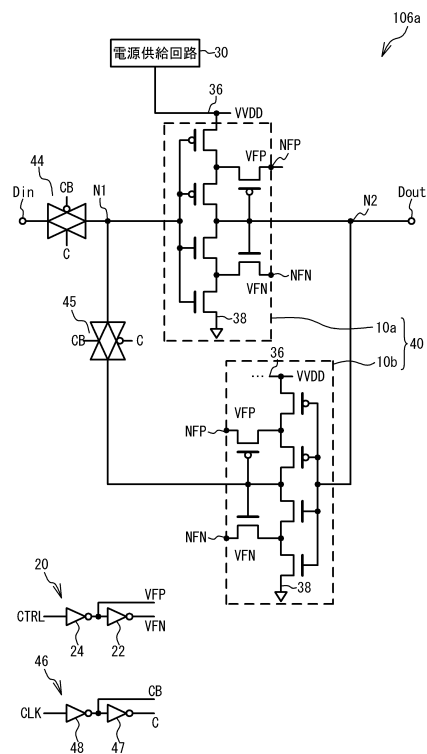
【図8】



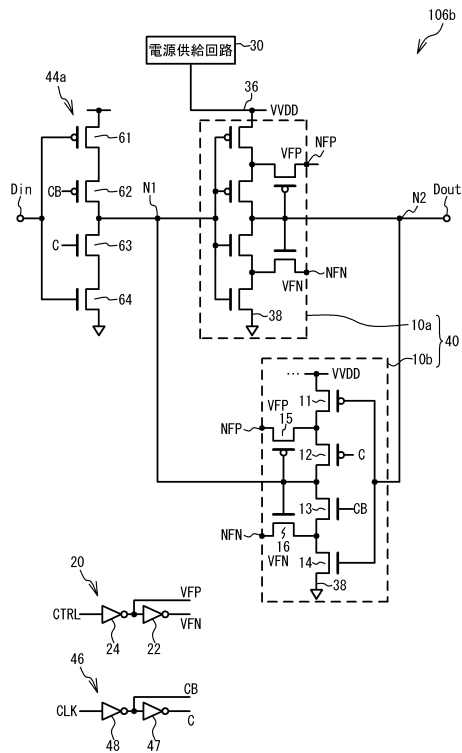
【図9】



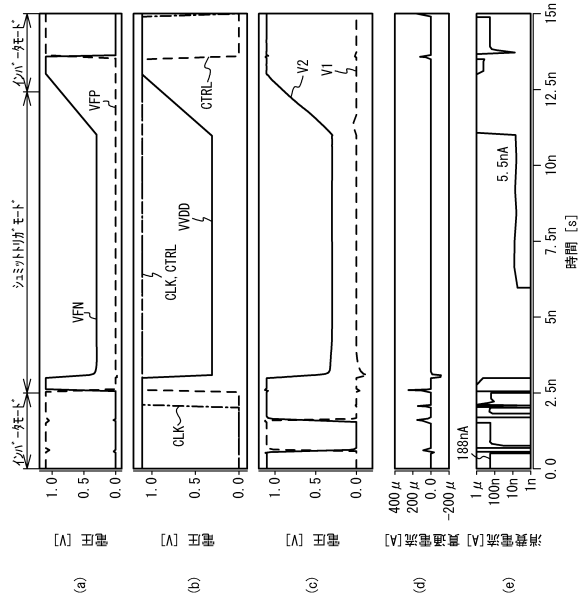
【図10】



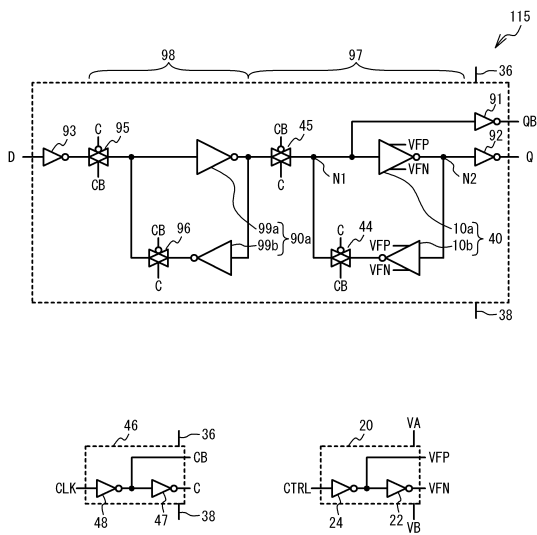
【図 1 1】



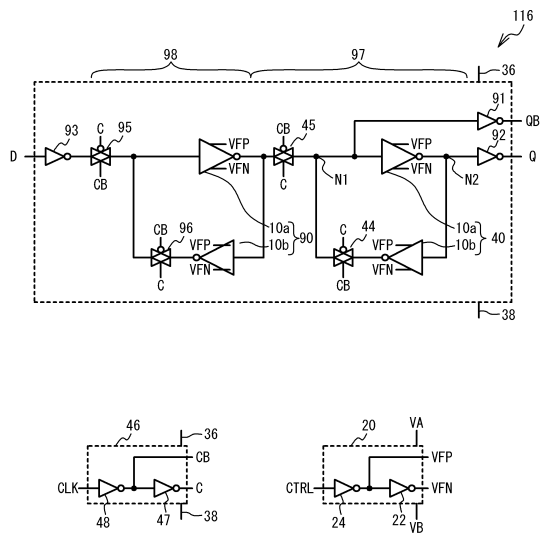
【図 1 2】



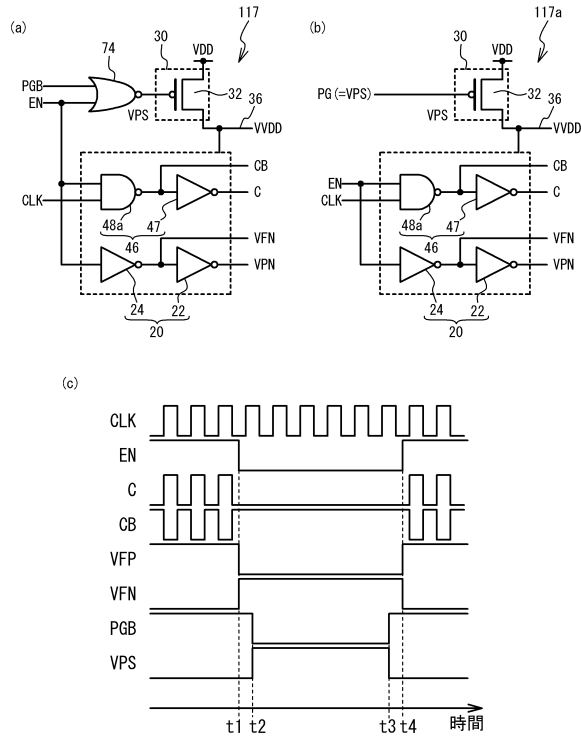
【図 1 3】



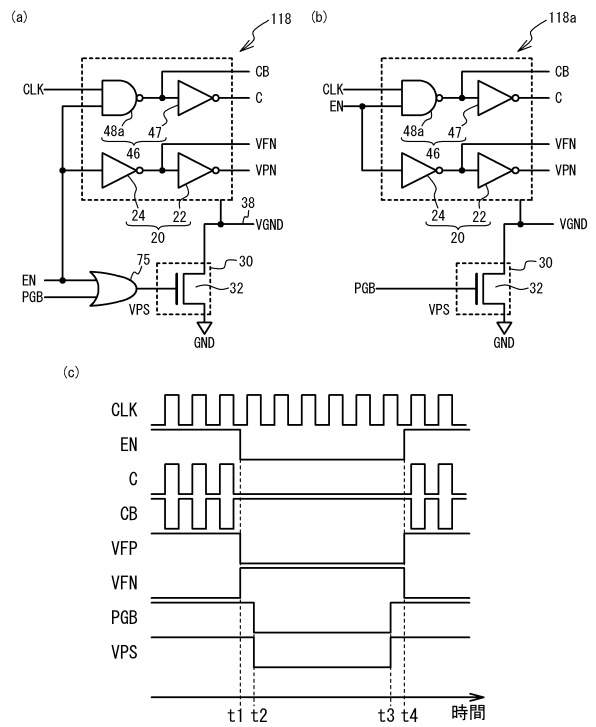
【図 1 4】



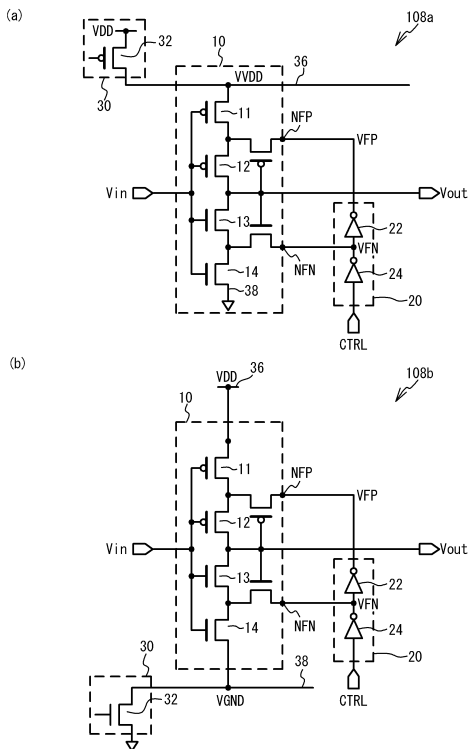
【図15】



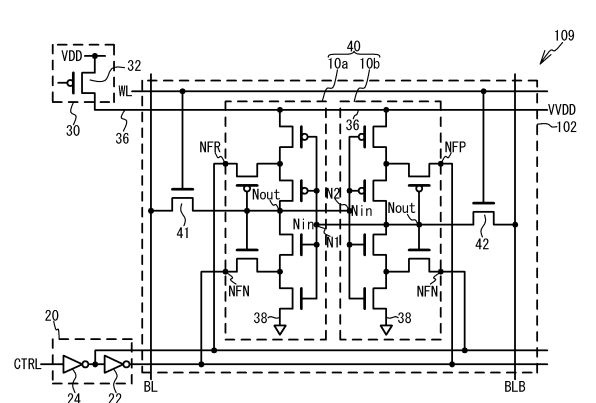
【図16】



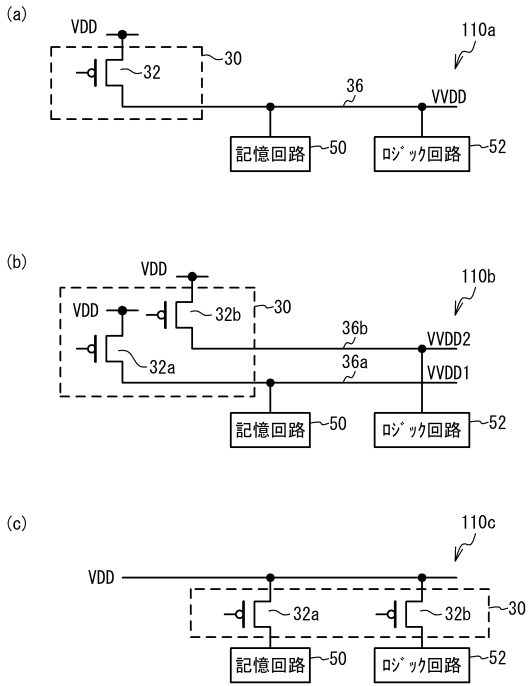
【図17】



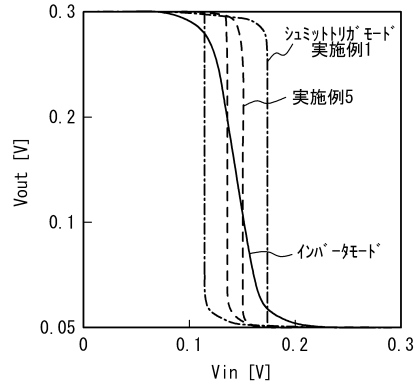
【図18】



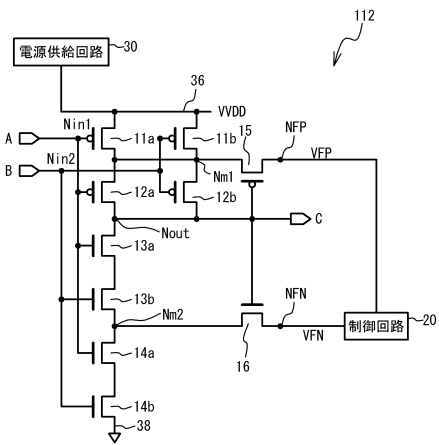
【図19】



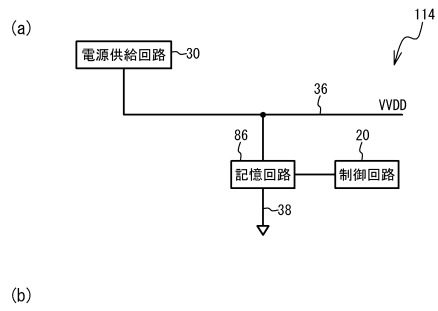
【図20】



【図21】

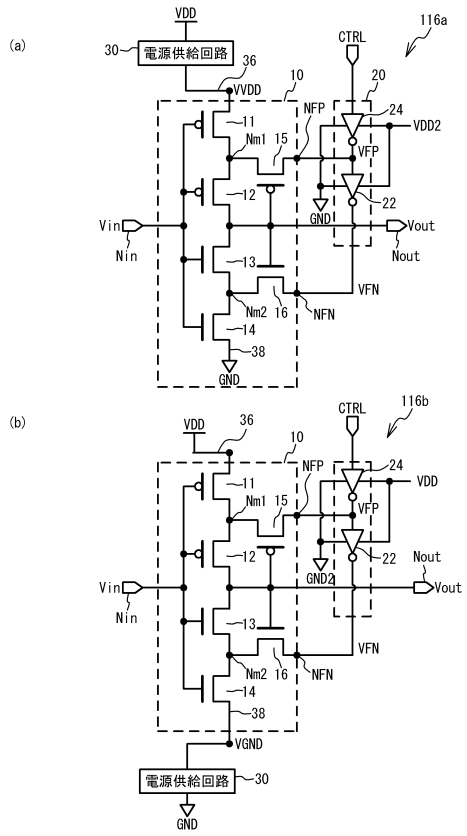


【図22】



モード	ヒステリシス	電源電圧	動作	
インバータモード	第2モード	なし	大	高速動作
シュミットリカモード	第3モード	小	中	低消費電力動作
	第1モード	大	小	低消費電力データ保持

【図23】



---

フロントページの続き

- (56)参考文献 米国特許第8289755 (US, B1)  
米国特許出願公開第2010/0214863 (US, A1)  
米国特許第6448830 (US, B1)  
特開2001-185996 (JP, A)  
特開平11-214962 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C5/14  
G11C11/00  
G11C11/412  
G11C11/417  
H03K3/037  
H03K3/353