

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02016/158691

発行日 平成30年2月8日(2018.2.8)

(43) 国際公開日 平成28年10月6日(2016.10.6)

(51) Int.Cl.			F I	テーマコード(参考)		
H03K	3/353	(2006.01)	H03K	3/353	A	5B015
G11C	11/412	(2006.01)	G11C	11/412		
G11C	11/417	(2006.01)	G11C	11/417	100	

審査請求 有 予備審査請求 未請求 (全 34 頁)

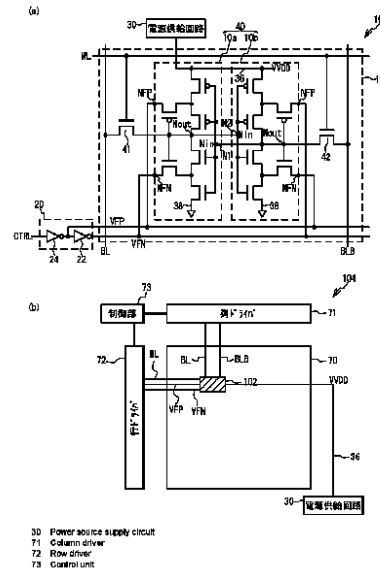
出願番号	特願2017-509877 (P2017-509877)	(71) 出願人	503360115 国立研究開発法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号	PCT/JP2016/059453	(74) 代理人	100087480 弁理士 片山 修平
(22) 国際出願日	平成28年3月24日(2016.3.24)	(72) 発明者	菅原 聡 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(31) 優先権主張番号	特願2015-75481 (P2015-75481)	(72) 発明者	山本 修一郎 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(32) 優先日	平成27年4月1日(2015.4.1)	Fターム(参考)	5B015 HH04 JJ07 KA13 KB62
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 電子回路

(57) 【要約】

電源電圧が供給される正電源と負電源との間に接続され、第1モードと第2モードとが切り替わるインバータ回路である第1インバータおよび第2インバータがループ状に接続された双安定回路と、前記インバータ回路に、前記インバータ回路を前記第1モードとする第1信号と、前記インバータ回路を前記第2モードとする第2信号と、を出力する制御回路20と、前記インバータ回路が前記第1モードのとき前記電源電圧として第1電圧を供給し、前記インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路30と、を具備し、前記第1モードは伝達特性にヒステリシスを有するモードであり前記第2モードは伝達特性にヒステリシスがないモードである、および/または、前記第1モードは前記第2モードより伝達特性が急峻であるモードである電子回路。



【特許請求の範囲】**【請求項 1】**

電源電圧が供給される正電源と負電源との間に接続され、第 1 モードと第 2 モードとが切り替わるインバータ回路である第 1 インバータおよび第 2 インバータがループ状に接続された双安定回路と、

前記インバータ回路に、前記インバータ回路を前記第 1 モードとする第 1 信号と、前記インバータ回路を前記第 2 モードとする第 2 信号と、を出力する制御回路と、

前記インバータ回路が前記第 1 モードのとき前記電源電圧として第 1 電圧を供給し、前記インバータ回路が前記第 2 モードのとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路と、

を具備し、

前記第 1 モードは伝達特性にヒステリシスを有するモードであり前記第 2 モードは伝達特性にヒステリシスがないモードである、および/または、前記第 1 モードは前記第 2 モードより伝達特性が急峻であるモードであることを特徴とする電子回路。

【請求項 2】

前記双安定回路は、前記第 1 モードにおいてデータを保持しデータの書き込みおよび読み出しが行なわれず、前記第 2 モードにおいてデータの書き込みおよび読み出しが行なわれることを特徴とする請求項 1 記載の電子回路。

【請求項 3】

前記電源供給回路は、前記制御回路が前記第 1 信号を出力した後に、前記第 2 電圧を前記第 1 電圧に切り替え、前記制御回路が前記第 2 信号を出力する前に、前記第 1 電圧を前記第 2 電圧に切り替えることを特徴とする請求項 1 または 2 記載の電子回路。

【請求項 4】

前記インバータ回路は、前記第 1 モード、前記第 2 モード、および第 3 モードに切り替わり、

前記第 3 モードは、前記第 1 モードより小さい前記ヒステリシスを有し、および/または、前記第 2 モードより伝達特性が急峻であり、

前記制御回路は、前記インバータ回路に、前記インバータ回路を前記第 3 モードとする第 3 信号を出力し、

前記電源供給回路は、前記インバータ回路が前記第 3 モードのとき前記電源電圧として前記第 2 電圧より低い第 3 電圧を供給することを特徴とする請求項 1 から 3 のいずれか一項記載の電子回路。

【請求項 5】

前記第 1 インバータおよび前記第 2 インバータにより形成されるループ内にクロック信号に同期しオンおよびオフするスイッチと、

前記第 1 インバータおよび前記第 2 インバータが前記第 1 モードのとき前記スイッチに前記クロック信号を供給せず、前記第 1 インバータおよび前記第 2 インバータが前記第 2 モードのとき前記スイッチに前記クロック信号を供給するクロック供給回路と、

を具備することを特徴とする請求項 1 から 4 のいずれか一項記載の電子回路。

【請求項 6】

前記インバータ回路は、

前記正電源と前記負電源にそれぞれソースが接続され、少なくとも一方が複数直列に接続された第 1 P チャネル FET および第 1 N チャネル FET と、

前記第 1 P チャネル FET のゲートおよび前記第 1 N チャネル FET のゲートが共通に接続された入力ノードと、

前記第 1 P チャネル FET の 1 つのドレインおよび前記第 1 N チャネル FET の 1 つのドレインが共通に接続された出力ノードと、

前記第 1 P チャネル FET および前記第 1 N チャネル FET のうち複数直列に接続された少なくとも一方の複数の第 1 FET 間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレイン

10

20

30

40

50

の他方が前記第 1 信号および前記第 2 信号が入力する制御ノードに接続され、前記第 1 P チャンネル F E T および前記第 1 N チャンネル F E T のうち複数直列に接続された少なくとも一方の導電型と同じ導電型の第 2 P チャンネル F E T および第 2 N チャンネル F E T の少なくとも一方の第 2 F E T と、
を備えることを特徴とする請求項 1 から 5 のいずれか一項記載の電子回路。

【請求項 7】

前記制御回路は、

前記第 1 信号として、前記第 2 P チャンネル F E T の制御ノードにローレベルを出力し、
および/または、前記第 2 N チャンネル F E T の制御ノードにハイレベルを出力し、

前記第 2 信号として、前記第 2 P チャンネル F E T の制御ノードにハイレベルを出力し、
および/または、前記第 2 N チャンネル F E T の制御ノードにローレベルを出力することを
特徴とする請求項 6 記載の電子回路。

10

【請求項 8】

前記第 1 P チャンネル F E T および前記第 1 N チャンネル F E T は、いずれも直列に複数接
続され、

前記第 2 F E T は、前記第 2 P チャンネル F E T および前記第 2 N チャンネル F E T を含み
、

前記制御回路は、前記第 1 信号として、前記第 2 P チャンネル F E T の制御ノードにロー
レベルを出力し、かつ前記第 2 N チャンネル F E T の制御ノードにハイレベルを出力し、前
記第 2 信号として、前記第 2 P チャンネル F E T の制御ノードにハイレベルを出力し、かつ
前記第 2 N チャンネル F E T の制御ノードにローレベルを出力することを特徴とする請求項
6 記載の電子回路。

20

【請求項 9】

前記電源供給回路は、前記正電源および前記負電源の少なくとも一方と前記インバータ
回路との間に接続された M O S F E T を含むことを特徴とする請求項 1 から 8 のいずれか
一項記載の電子回路。

【請求項 10】

電源電圧が供給される正電源と負電源にそれぞれソースが接続され、少なくとも一方が
複数直列に接続された第 1 P チャンネル F E T および第 1 N チャンネル F E T と、

前記第 1 P チャンネル F E T のゲートおよび前記第 1 N チャンネル F E T のゲートが共通に
接続された入力ノードと、

前記第 1 P チャンネル F E T の 1 つのドレインおよび前記第 1 N チャンネル F E T の 1 つの
ドレインが共通に接続された出力ノードと、

前記第 1 P チャンネル F E T および前記第 1 N チャンネル F E T のうち複数直列に接続され
た少なくとも一方の複数の第 1 F E T 間に設けられた中間ノードにソースおよびドレイン
の一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレイン
の他方が制御ノードに接続され、前記第 1 P チャンネル F E T および前記第 1 N チャンネル F
E T のうち複数直列に接続された少なくとも一方の導電型と同じ導電型の第 2 P チャンネル
F E T および第 2 N チャンネル F E T の少なくとも一方の第 2 F E T と、

を備えるインバータ回路と、

前記第 2 F E T の制御ノードに、前記インバータ回路を第 1 モードとする第 1 信号と、
前記インバータ回路を第 2 モードとする第 2 信号と、を出力する制御回路と、を具備し、

前記制御回路は、

前記第 1 信号として、前記第 2 P チャンネル F E T の制御ノードにローレベルを出力し、
および/または、前記第 2 N チャンネル F E T の制御ノードにハイレベルを出力し、前記第
2 信号として、前記第 2 P チャンネル F E T の制御ノードにハイレベルを出力し、および/
または、前記第 2 N チャンネル F E T の制御ノードにローレベルを出力し、

前記第 1 モードは伝達特性にヒステリシスを有するモードであり前記第 2 モードは伝達
特性にヒステリシスがないモードである、および/または、前記第 1 モードは前記第 2 モ
ードより伝達特性が急峻であるモードであることを特徴とする電子回路。

30

40

50

【請求項 1 1】

前記第 1 P チャンネル F E T および前記第 1 N チャンネル F E T は、いずれも直列に複数接続され、

前記第 2 F E T は、前記第 2 P チャンネル F E T および前記第 2 N チャンネル F E T を含み、

前記制御回路は、前記第 1 信号として、前記第 2 P チャンネル F E T の制御ノードにローレベルを出力し、かつ前記第 2 N チャンネル F E T の制御ノードにハイレベルを出力し、前記第 2 信号として、前記第 2 P チャンネル F E T の制御ノードにハイレベルを出力し、かつ前記第 2 N チャンネル F E T の制御ノードにローレベルを出力することを特徴とする請求項 1 0 記載の電子回路。

10

【請求項 1 2】

前記インバータ回路が前記第 1 モードのとき前記電源電圧として第 1 電圧を供給し、前記インバータ回路が前記第 2 モードのとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路を具備することを特徴とする請求項 1 0 または 1 1 記載の電子回路。

【請求項 1 3】

前記インバータ回路を有する論理回路を具備することを特徴とする請求項 1 2 記載の電子回路。

【請求項 1 4】

電源電圧が供給される正電源と負電源との間に接続され、ループを形成する第 1 インバータおよび第 2 インバータと、前記ループ内にクロック信号に同期しオンおよびオフするスイッチと、を備える双安定回路と、

20

前記スイッチに前記クロック信号を供給するクロック供給回路と、

前記クロック供給回路が前記クロック信号を供給しないとき前記電源電圧として第 1 電圧を供給し、前記クロック供給回路が前記クロック信号を供給するとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路と、を具備することを特徴とする電子回路。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

30

本発明は、電子回路に関し、例えばインバータ回路を有する電子回路に関する。

【背景技術】**【0 0 0 2】**

C M O S (Complementary Metal Oxide Semiconductor) 集積回路等の集積回路の消費電力を削減する技術として、例えばパワーゲーティング (P G) 技術がある。パワーゲーティング技術においては、電源遮断時の情報の保持が課題となる。このような情報の保持のため、記憶回路に不揮発性メモリ等の不揮発性回路を用いることが検討されている (特許文献 1) 。また、集積回路の消費電力を低減するため、低電圧駆動技術が検討されている。

【先行技術文献】

40

【特許文献】**【0 0 0 3】**

【特許文献 1】国際公開 2 0 1 3 / 1 7 2 0 6 6 号

【発明の概要】**【発明が解決しようとする課題】****【0 0 0 4】**

しかしながら、従来 C M O S で構成されていた記憶回路に不揮発性メモリを用いると、システムの動作速度などの性能が劣化する、さらに、製造工程が複雑になる。また、ロジック回路の電源電圧を低減すると、トランジスタのバラツキ耐性とノイズ耐性などの回路性能が劣化し安定動作が難しくなる。

50

【 0 0 0 5 】

本発明は上記課題に鑑みなされたものであり、電子回路の消費電力を削減することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明は、電源電圧が供給される正電源と負電源との間に接続され、第1モードと第2モードとが切り替わるインバータ回路である第1インバータおよび第2インバータがループ状に接続された双安定回路と、前記インバータ回路に、前記インバータ回路を前記第1モードとする第1信号と、前記インバータ回路を前記第2モードとする第2信号と、を出力する制御回路と、前記インバータ回路が前記第1モードのとき前記電源電圧として第1電圧を供給し、前記インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、を具備し、前記第1モードは伝達特性にヒステリシスを有するモードであり前記第2モードは伝達特性にヒステリシスがないモードである、および/または、前記第1モードは前記第2モードより伝達特性が急峻であるモードであることを特徴とする電子回路である。

10

【 0 0 0 7 】

上記構成において、前記双安定回路は、前記第1モードにおいてデータを保持しデータの書き込みおよび読み出しが行なわれず、前記第2モードにおいてデータの書き込みおよび読み出しが行なわれる構成とすることができる。

20

【 0 0 0 8 】

上記構成において、前記電源供給回路は、前記制御回路が前記第1信号を出力した後に、前記第2電圧を前記第1電圧に切り替え、前記制御回路が前記第2信号を出力する前に、前記第1電圧を前記第2電圧に切り替える構成とすることができる。

【 0 0 0 9 】

上記構成において、前記インバータ回路は、前記第1モード、前記第2モード、および第3モードに切り替わり、前記第3モードは、前記第1モードより小さい前記ヒステリシスを有し、および/または、前記第2モードより伝達特性が急峻であり、前記制御回路は、前記インバータ回路に、前記インバータ回路を前記第3モードとする第3信号を出力し、前記電源供給回路は、前記インバータ回路が前記第3モードのとき前記電源電圧として前記第2電圧より低い第3電圧を供給する構成とすることができる。

30

【 0 0 1 0 】

上記構成において、前記第1インバータおよび前記第2インバータにより形成されるループ内にクロック信号に同期しオンおよびオフするスイッチと、前記第1インバータおよび前記第2インバータが前記第1モードのとき前記スイッチに前記クロック信号を供給せず、前記第1インバータおよび前記第2インバータが前記第2モードのとき前記スイッチに前記クロック信号を供給するクロック供給回路と、を具備する構成とすることができる。

【 0 0 1 1 】

上記構成において、前記インバータ回路は、前記正電源と前記負電源にそれぞれソースが接続され、少なくとも一方が複数直列に接続された第1PチャンネルFETおよび第1NチャンネルFETと、前記第1PチャンネルFETのゲートおよび前記第1NチャンネルFETのゲートが共通に接続された入力ノードと、前記第1PチャンネルFETの1つのドレインおよび前記第1NチャンネルFETの1つのドレインが共通に接続された出力ノードと、前記第1PチャンネルFETおよび前記第1NチャンネルFETのうち複数直列に接続された少なくとも一方の複数の第1FET間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記第1信号および前記第2信号が入力する制御ノードに接続され、前記第1PチャンネルFETおよび前記第1NチャンネルFETのうち複数直列に接続された少なくとも一方の導電型と同じ導電型の第2PチャンネルFETおよび第2NチャンネルFETの少なくとも一方の第2FETと、を備える構成とすることができる。

40

50

【0012】

上記構成において、前記制御回路は、前記第1信号として、前記第2PチャンネルFETの制御ノードにローレベルを出力し、および/または、前記第2NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2PチャンネルFETの制御ノードにハイレベルを出力し、および/または、前記第2NチャンネルFETの制御ノードにローレベルを出力する構成とすることができる。

【0013】

上記構成において、前記第1PチャンネルFETおよび前記第1NチャンネルFETは、いずれも直列に複数接続され、前記第2FETは、前記第2PチャンネルFETおよび前記第2NチャンネルFETを含み、前記制御回路は、前記第1信号として、前記第2PチャンネルFETの制御ノードにローレベルを出力し、かつ前記第2NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2PチャンネルFETの制御ノードにハイレベルを出力し、かつ前記第2NチャンネルFETの制御ノードにローレベルを出力する構成とすることができる。

10

【0014】

上記構成において、前記電源供給回路は、前記正電源および前記負電源の少なくとも一方と前記インバータ回路との間に接続されたMOSFETを含む構成とすることができる。

【0015】

本発明は、電源電圧が供給される正電源と負電源にそれぞれソースが接続され、少なくとも一方が複数直列に接続された第1PチャンネルFETおよび第1NチャンネルFETと、前記第1PチャンネルFETのゲートおよび前記第1NチャンネルFETのゲートが共通に接続された入力ノードと、前記第1PチャンネルFETの1つのドレインおよび前記第1NチャンネルFETの1つのドレインが共通に接続された出力ノードと、前記第1PチャンネルFETおよび前記第1NチャンネルFETのうち複数直列に接続された少なくとも一方の複数の第1FET間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続され、前記第1PチャンネルFETおよび前記第1NチャンネルFETのうち複数直列に接続された少なくとも一方の導電型と同じ導電型の第2PチャンネルFETおよび第2NチャンネルFETの少なくとも一方の第2FETと、を備えるインバータ回路と、前記第2FETの制御ノードに、前記インバータ回路を第1モードとする第1信号と、前記インバータ回路を第2モードとする第2信号と、を出力する制御回路と、を具備し、前記制御回路は、前記第1信号として、前記第2PチャンネルFETの制御ノードにローレベルを出力し、および/または、前記第2NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2PチャンネルFETの制御ノードにハイレベルを出力し、および/または、前記第2NチャンネルFETの制御ノードにローレベルを出力し、前記第1モードは伝達特性にヒステリシスを有するモードであり前記第2モードは伝達特性にヒステリシスがないうモードである、および/または、前記第1モードは前記第2モードより伝達特性が急峻であるモードであることを特徴とする電子回路である。

20

30

【0016】

上記構成において前記第1PチャンネルFETおよび前記第1NチャンネルFETは、いずれも直列に複数接続され、前記第2FETは、前記第2PチャンネルFETおよび前記第2NチャンネルFETを含み、前記制御回路は、前記第1信号として、前記第2PチャンネルFETの制御ノードにローレベルを出力し、かつ前記第2NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2PチャンネルFETの制御ノードにハイレベルを出力し、かつ前記第2NチャンネルFETの制御ノードにローレベルを出力する構成とすることができる。

40

【0017】

上記構成において、前記インバータ回路が前記第1モードのとき前記電源電圧として第1電圧を供給し、前記インバータ回路が前記第2モードのとき前記電源電圧として前記第

50

1 電圧より高い第 2 電圧を供給する電源供給回路を具備する構成とすることができる。

【0018】

上記構成において、前記インバータ回路を有する論理回路を具備する構成とすることができる。

【0019】

本発明は、電源電圧が供給される正電源と負電源との間に接続され、ループを形成する第 1 インバータおよび第 2 インバータと、前記ループ内にクロック信号に同期しオンおよびオフするスイッチと、を備える双安定回路と、前記スイッチに前記クロック信号を供給するクロック供給回路と、前記クロック供給回路が前記クロック信号を供給しないとき前記電源電圧として第 1 電圧を供給し、前記クロック供給回路が前記クロック信号を供給する

10

【発明の効果】

【0020】

本発明によれば、電子回路の消費電力を削減することができる。

【図面の簡単な説明】

【0021】

【図 1】図 1 (a) および図 1 (b) は、実施例 1 に係る電子回路を示す回路図である。

【図 2】図 2 (a) および図 2 (b) は、実施例 1 の変形例 1 に係る電子回路の回路図である。

20

【図 3】図 3 は、実施例 1 の変形例 1 におけるインバータ回路の伝達特性を示す図である。

【図 4】図 4 (a) および図 4 (b) は、実施例 1 の変形例 1 における時間に対する出力電圧を示した図である。

【図 5】図 5 (a) から図 5 (e) は、実施例 1 の変形例 1 におけるタイミングチャートである。

【図 6】図 6 (a) は、実施例 2 に係る電子回路の記憶セルを示す回路図、図 6 (b) は電子回路を示す回路図である。

【図 7】図 7 (a) および図 7 (b) は、実施例 2 における記憶セルの特性を示す図である。

30

【図 8】図 8 (a) および図 8 (b) は、実施例 2 におけるそれぞれインバータモードおよびシュミットリガモードにおける記憶セルの特性を示す図である。

【図 9】図 9 (a) および図 9 (b) は、それぞれ実施例 2 の変形例 1 および 2 に係る電子回路を示す回路図である。

【図 10】図 10 は、実施例 2 の変形例 3 に係る電子回路の回路図である。

【図 11】図 11 は、実施例 2 の変形例 4 に係る電子回路の回路図である。

【図 12】図 12 (a) から図 12 (e) は、実施例 2 の変形例 3 におけるタイミングチャートである。

【図 13】図 13 は、実施例 2 の変形例 5 に係る電子回路の回路図である。

【図 14】図 14 は、実施例 2 の変形例 6 に係る電子回路の回路図である。

40

【図 15】図 15 (a) および図 15 (b) は、実施例 2 の変形例 5 の制御回路を示す回路図であり、図 15 (c) は、タイミングチャートである。

【図 16】図 16 (a) および図 16 (b) は、実施例 2 の変形例 5 の制御回路を示す別の回路図であり、図 16 (c) は、タイミングチャートである。

【図 17】図 17 (a) および図 17 (b) は、実施例 3 に係る電子回路の回路図である。

【図 18】図 18 は、実施例 3 の変形例 1 に係る電子回路の回路図である。

【図 19】図 19 (a) から図 19 (c) は、それぞれ実施例 4、実施例 4 の変形例 1 および実施例 4 の変形例 2 に係る電子回路の回路図である。

【図 20】図 20 は、実施例 5 におけるインバータ回路の伝達特性を示す図である。

50

【図 2 1】図 2 1 は、実施例 5 を用いた N A N D 回路の回路図である。

【図 2 2】図 2 2 (a) は、実施例 6 に係る電子回路のブロック図、図 2 2 (b) は、実施例 6 の各モードの動作を示す図である。

【図 2 3】図 2 3 (a) および図 2 3 (b) は、実施例 7 に係る電子回路の回路図である。

【発明を実施するための形態】

【 0 0 2 2 】

C M O S 集積回路における低電圧動作は、その低消費電力化に極めて有効である。記憶回路では、低電圧でデータを保持することで、記憶回路の重要な課題である待機時電力を削減することができる。ロジック回路では、低電圧動作を行うことで、動作速度は劣化するが、演算のエネルギー効率を高めることが可能となる。以下、記憶回路とロジック回路における低電圧動作の現状と課題について述べる。

10

【 0 0 2 3 】

記憶回路では、データを保持し待機状態にあるときの電力（待機時電力）の削減が重要な課題の1つとなる。パワーゲーティング（P G）はC M O S 集積回路における待機時電力削減技術として広く用いられている。しかし、マイクロプロセッサなどのロジックシステムでは、P Gによって電源遮断を行う領域（パワードメイン）内に、揮発性の記憶回路が用いられていることが一般的である。このため、P Gでは、パワードメイン内のデータの保持が重要な課題となっている。

20

【 0 0 2 4 】

記憶回路のデータが失われない程度に供給電圧を低く抑えて（例えば、電源電圧の 8 割程度）、データを保持する方法は、S R A M（Static Random Access Memory）などで構成される記憶回路に用いられている。この方法では、待機時電力の削減には効果があるが、データ保持のための電圧を大幅に下げることができないため、電源遮断ほどの電力削減効果はない。したがって、この方法は本来のP Gほどの待機時電力の削減はできない。

【 0 0 2 5 】

また、記憶回路に効果的なP Gを行なうため、近年では不揮発性メモリを用いたデータの保持が検討されている。この方法は電源を遮断してもデータを保持できるため、完全な電源遮断によるP Gを実行でき、記憶回路の待機時電力の削減の効果は大きい。しかし、不揮発性メモリを用いることによる回路性能の劣化が問題となる。このため、不揮発性メモリを用いないメモリ動作と不揮発性の記憶とを分離できる不揮発性記憶回路の導入など、いくつかの試みが検討されている。しかし、不揮発性メモリとC M O S ロジック回路の混載には、例えば製造工程が複雑になる、およびこれに伴う製造コストの増大等の課題も多く、実現に至っていない。

30

【 0 0 2 6 】

シュミットトリガインバータで構成した双安定回路を用いた記憶回路では、極めて低い電圧（例えば 0 . 3 V またはこれ以下）でデータの保持ができる。このため、電源遮断並の待機時電力の大幅削減が可能となる。しかし、シュミットトリガインバータの構造に起因して、その動作速度が劣化するなど回路性能が劣化してしまうといった問題が生じる。

40

【 0 0 2 7 】

そこで、記憶回路の待機時電力を大きく削減するため、極めて低い電圧（例えば、パワードメインのパワースイッチを遮断したときに発生する仮想電源の電圧、0 . 2 - 0 . 3 V 程度であることが多い）でデータを保持することと、書き込みおよび/または読み出しといった通常のメモリ動作においては、従来の記憶回路（S R A M またはフリップフロップ）程度に十分に高速動作できることと、が求められる。

【 0 0 2 8 】

次に、ロジック回路の低電圧動作について、現状と課題を述べる。近年、ウエラブルデバイスなどに用いるロジックシステムの高エネルギー効率化による超低消費電力化技術が重要になってきている。ウエラブルデバイスは“always-on”デバイスとも呼ばれている。ウエラブルデバイスの低消費電力化には、演算処理のエネルギー効率を最大限に高めて

50

、無駄なエネルギー消費を極力省くことが重要となる。

【 0 0 2 9 】

一般に、CMOSロジックの消費電力は電源電圧の低減とともに削減できる。しかし、消費エネルギーは電源電圧の削減に対して単調減少せず、ある電圧まで下げるとそこで極小点を持ち、さらに電圧を下げると消費エネルギーはむしろ増大してしまう。これは、低電圧化にともないCMOSの動作速度が急激に遅くなり、この伸びた動作時間内に消費する待機時（スタティック）エネルギーが増大するためである。

【 0 0 3 0 】

ウエラブルデバイスのバックグラウンドにおける情報処理は、高速演算である必要がない。このことから、このバックグラウンド演算には、エネルギー消費が極小となる低電圧化の動作が重要になると考えられる。しかし、このようなエネルギー極小点となる電圧は0.3 - 0.5 V程度と極めて低く、ノイズや素子のバラツキによって、ロジックシステムを安定に動作させることが難しくなる。また、バックグラウンドではない通常電圧（フルスウィング）動作では、スマートフォンなどと同程度の高速な情報処理が求められる。

10

【 0 0 3 1 】

したがって、ウエラブルデバイスのようなロジックシステムでは、エネルギー極小点となる低電圧における高エネルギー効率および安定動作と、通常電圧による高速演算と、の両立が求められる。

【 0 0 3 2 】

以下に説明する実施例では、シュミットトリガインバータモード（シュミットトリガモードともいう）と通常のインバータモードで動作できるインバータ回路を用いた記憶回路によって、通常電圧駆動時における高速動作と、非常に低い電圧によるデータの保持を実現できる記憶回路を提供する。

20

【 0 0 3 3 】

また、シュミットトリガモードと通常のインバータモードで動作できるインバータ回路を用いたロジック回路によって、エネルギー効率の高い低電圧動作と、通常電圧駆動による高速動作を実現できるロジック回路を提供する。

【 実施例 1 】

【 0 0 3 4 】

図1(a)および図1(b)は、実施例1に係る電子回路を示す回路図である。図1(a)に示すように、電子回路100は、インバータ回路10、制御回路20および電源供給回路30を備える。インバータ回路10は、入力ノード N_{in} 、出力ノード N_{out} 、中間ノード N_{m1} 、 N_{m2} およびFET（Field Effect Transistor）11から16を備える。FET 11、12および15はPチャネルFETであり、FET 11および12は第1PチャネルFETであり、FET 15は第2PチャネルFETである。FET 13、14および16はNチャネルFETであり、FET 13および14は第1NチャネルFETであり、FET 15は第2NチャネルFETである。FET 15および16は、FET 11から14が形成するインバータへのフィードバックトランジスタとして機能できる。

30

【 0 0 3 5 】

電源線36とグランド線38との間に、複数のFET 11から14が直列に接続されている。FET 11のソースが電源線36に接続され、FET 14のソースがグランド線38に接続されている。FET 11のドレインとFET 12のソースは中間ノード N_{m1} に接続されている。FET 13のソースとFET 14のドレインは中間ノード N_{m2} に接続されている。FET 12および13のドレインは共通に出力ノードに接続されている。FET 11から14のゲートは共通に入力ノード N_{in} に接続されている。

40

【 0 0 3 6 】

FET 15のソースおよびドレインの一方は中間ノード N_{m1} に、ゲートは出力ノード N_{out} に、ソースおよびドレインの他方は制御ノード N_{FP} に接続されている。FET 16のソースおよびドレインの一方は中間ノード N_{m2} に、ゲートは出力ノード N_{out} に、ソースおよびドレインの他方は制御ノード N_{FN} に接続されている。

50

【 0 0 3 7 】

制御回路 20 は、制御ノード N F P および N F N に、それぞれ電圧 V F P および V F N を印加する。電圧 V F P および V F N は、ハイレベルまたはローレベルである。制御回路 20 が電圧 V F P としてハイレベルを出力し、電圧 V F N としてローレベルを出力すると、インバータ回路 10 は通常のインバータとして動作する。これをインバータモードという。制御回路 20 が電圧 V F P としてローレベルを出力し、電圧 V F N としてハイレベルを出力すると、インバータ回路 10 はシュミットトリガインバータとして動作する。これをシュミットトリガモードという。なお、ハイレベルおよびローレベルは、例えば電源線 36 およびグランド線 38 の電圧に相当する。インバータモードにおいて、ハイレベルがローレベルより高い電圧であればよい。また、シュミットトリガモードにおいても、ハイレベルがローレベルより高い電圧であればよい。インバータモードのハイレベルとシュミットトリガモードのハイレベルは同じ電圧でもよく、異なった電圧でもよい。インバータモードのローレベルとシュミットトリガモードのローレベルは同じ電圧でもよく、異なった電圧でもよい。例えば、ハイレベルは電源から供給される電源電圧 V D D (例えば図 17 (a) を参照) でもよく、ローレベルはグランドの電圧でもよい。

10

【 0 0 3 8 】

電源供給回路 30 は、電源線 36 とグランド線 38 との間に電源電圧を供給する。電源供給回路 30 は、例えば電子回路に供給されている電源電圧から仮想電源電圧 V V D D を生成し電源線 36 に供給する。また電源供給回路 30 は、仮想電源電圧 V V D D として第 1 電圧と第 1 電圧より高い第 2 電圧とを切り替える。電源供給回路 30 は、例えば後述するパワースイッチ、電圧レギュレータまたは D C (Direct Current) - D C コンバータなどである。

20

【 0 0 3 9 】

図 1 (a) において、電源供給回路 30 は、電源線 36 に接続されており、電源線 36 とグランド線 38 との間に供給される電源電圧を低くするときに電源線 36 の仮想電源電圧 V V D D を低くし、電源電圧を高くするときに仮想電源電圧 V V D D を高くしている。図 1 (b) に示すように、電源供給回路 30 は、グランド線 38 に接続されており、電源線 36 とグランド線 38 との間に供給される電源電圧を低くするときにグランド線 38 の仮想グランド電圧 V G N D を高くし、電源電圧を高くするときに仮想グランド電圧 V G N D を低くしてもよい。電源供給回路 30 は仮想電源電圧 V V D D と仮想グランド電圧 V G N D の両方を切り替えてもよい。

30

【 0 0 4 0 】

図 2 (a) および図 2 (b) は、実施例 1 の変形例 1 に係る電子回路の回路図である。図 2 (a) に示すように、電子回路 100 a において、制御回路 20 はインバータ 22 および 24 を備えている。インバータ 24 の入力ノードには制御信号 C T R L が入力する。インバータ 24 の出力ノードは制御ノード N F P に接続されている、インバータ 22 の入力ノードはインバータ 24 の出力ノードに接続され、出力ノードは制御ノード N F N に接続されている。インバータ 22 および 24 には仮想電源電圧 V V D D が供給されている。その他の構成は図 1 (a) と同じであり説明を省略する。制御信号 C T R L がハイレベルのときインバータ回路 10 はシュミットトリガモードとなり、ローレベルのときインバータ回路 10 はインバータモードとなる。

40

【 0 0 4 1 】

図 2 (b) に示すように、電子回路 100 b においては、インバータ 24 の出力ノードは制御ノード N F N に接続されている、インバータ 22 の入力ノードはインバータ 24 の出力ノードに接続され、出力ノードは制御ノード N F P に接続されている。制御信号 C T R L がローレベルのときインバータ回路 10 はシュミットトリガモードとなり、ハイレベルのときインバータ回路 10 はインバータモードとなる。図 2 (a) のように、制御信号 C T R L は制御ノード N F P 側から入力してもよい。また、図 2 (b) のように、制御信号 C T R L は制御ノード N F N 側から入力してもよい。

【 0 0 4 2 】

50

図2(a)の電子回路100aを用い、インバータ特性をシミュレーションした。図3は、実施例1の変形例1におけるインバータ回路の伝達特性を示す図である。実線は、制御信号CTRLがローレベルであるインバータモードの伝達特性である。破線は制御信号CTRLがハイレベルであるシュミットトリガモードの伝達特性である。図3に示すように、インバータモードでは、FET15および16はそれぞれ中間ノードNm1およびNm2をハイレベルおよびローレベルにしようとする。このため、伝達特性のヒステリシスがなく通常のインバータとして動作する。シュミットトリガモードでは、FET15および16は、出力ノードNoutの信号をそれぞれ中間ノードNm1およびNm2に正にフィードバックする。このため、伝達特性にヒステリシスが生ずる。また、出力電圧Voutのハイレベルからローレベルへの変化およびローレベルからハイレベルへの変化が急峻である。このため、シュミットトリガモードでは、インバータ回路10は仮想電源電圧VDDが低いときにおいても安定に動作できる。

10

【0043】

図4(a)および図4(b)は、実施例1の変形例1における時間に対する出力電圧を示した図である。一点鎖線は、入力電圧Vinを、点線はFET15および16を備えないインバータを、実線はインバータモードを、破線はシュミットトリガモードを示す。図4(a)は、入力電圧Vinがローレベルからハイレベルに切り替わるときを示し、図4(b)は、ハイレベルからローレベルに切り替わるときを示す。図4(a)および図4(b)に示すように、シュミットトリガモードでは、インバータと比べ出力電圧Voutの切り替わりが遅い。インバータモードでは、FET15および16がプルアップおよびプルダウンをアシストするため、インバータと同程度で出力電圧Voutが切り替わる。このように、シュミットトリガモードでは、動作速度が遅いが、インバータモードでは高速動作が可能となる。

20

【0044】

図5(a)から図5(e)は、実施例1の変形例1におけるタイミングチャートである。図5(a)は、時間に対する制御ノードNFNおよびNFPの電圧VFNおよびVFPを示す図、図5(b)は、時間に対する制御信号CTRLおよび仮想電源電圧VDDを示す図、図5(c)は、時間に対する出力電圧Voutおよび入力電圧Vinを示す図、図5(d)は、時間に対するインバータ回路10、インバータ22および24のスイッチングにともなう貫通電流を示す図、図5(e)は、時間に対する消費電流を示す図である。図5(e)において、各電圧が切り替わったときの過度応答はシミュレーションの都合上正確ではないが、安定した後の電流値は正確である。

30

【0045】

図5(b)において制御信号CTRLがハイレベルの期間がシュミットトリガモード、ローレベルの期間がインバータモードである。インバータモードにおいては、図5(a)に示すように、電圧VFPはハイレベル、電圧VFNはローレベルである。図5(c)に示すように、入力電圧Vinがローレベルのとき出力電圧Voutはハイレベル、入力電圧Vinがハイレベルのとき出力電圧Voutはローレベルである。図5(d)に示すように、インバータ回路10、インバータ22および24の出力が切り替わるときに貫通電流が流れる。図5(e)に示すように、消費電流は229nAである。

40

【0046】

シュミットトリガモードにおいて、図5(b)に示すように、仮想電源電圧VDDを1.2Vから順次切り替え0.8Vおよび0.3Vに設定した。1.2Vは、インバータ回路10が通常動作する仮想電源電圧VDDである。0.8Vは、通常のインバータをいわゆるスリープモードとして動作させるときの仮想電源電圧VDDに相当する。0.3Vは、通常のインバータは動作しない仮想電源電圧VDDである。図5(a)および図5(c)のように、電圧VFNおよび出力電圧Voutは仮想電源電圧VDDにともない低くなる。図5(e)のように、仮想電源電圧VDDが0.8Vのとき、消費電流は67nA、仮想電源電圧VDDが0.3Vのとき消費電流は8nAとなる。よって、シュミットトリガモードにおいて仮想電源電圧VDDを低く(例えば0.3V)するこ

50

とにより、消費電力を抑制できる。例えば、インバータモードでは、仮想電源電圧 V_{DD} を $1.2V$ とし高速動作させ、シュミットトリガモードでは、仮想電源電圧 V_{DD} を $0.3V$ とし消費電力を削減できる。シュミットトリガモードにおいて仮想電源電圧 V_{DD} を $0.3V$ に低下させたときの消費電力は、インバータモードにおいて仮想電源電圧 V_{DD} を $1.2V$ としたときの数%となる。また、通常のインバータのスリープモードと比べても消費電力を低減できる。さらに低電圧動作も可能である。

【0047】

実施例1によれば、インバータ回路10は、電源電圧が供給される電源線（正電源）とグランド線（負電源）との間に接続され、シュミットトリガモード（第1モード）と、インバータモード（第2モード）と、が切り替わる。制御回路20は、インバータ回路10をシュミットトリガモードとする第1信号と、インバータモードとする第2信号と、を出力する。電源供給回路30は、シュミットトリガモードのとき電源電圧として第1電圧を供給し、インバータモードのとき第1電圧より高い第2電圧を供給する。これにより、インバータ回路10をインバータモードおよびシュミットトリガモードとして動作させることができる。インバータモードにおいては、インバータ回路10は高速動作可能となる。シュミットトリガモードでは、インバータ回路10は低電源電圧でも動作可能なヒステリシスを有する急峻な伝達特性を有し、消費電力を抑制できる。第1モードは伝達特性にヒステリシスを有するモードでありかつ第2モードは伝達特性にヒステリシスがないモードである、および/または、第1モードは第2モードより伝達特性の入力電圧に対する出力電圧の変化が急峻であればよい。例えば、記憶回路では、シュミットトリガモードにおいて、ヒステリシスが大きく急峻であることが好ましい。ロジック回路では、シュミットトリガモードにおいて、インバータモードより伝達特性が急峻であることが好ましい。

【0048】

インバータ回路10の回路構成は図1(a)および図1(b)には限られず、制御回路20からの信号により、伝達特性のヒステリシスの有無が切り替わる回路であればよい。例えば、FET15、16は、FET11および12と、FET13および14と、に、出力ノードNoutの信号を制御回路20から入力する第1信号および第2信号に応じフィードバックするフィードバック回路であればよい。また、図1(a)および図1(b)のような回路構成のインバータ回路10では、制御回路20は、第1信号および第2信号として、FET15および16の制御ノードNFPおよびNFNに、ハイレベルおよびローレベルを切り替えて出力する。これにより、インバータ回路10の伝達特性におけるヒステリシスの有無を切り替えることができる。

【0049】

制御回路20は、インバータモードとする第2信号として、FET15の制御ノードNFPにハイレベルを出力し、FET16の制御ノードNFNにローレベルを出力する。また、制御回路20は、シュミットトリガモードとする第1信号として、FET15の制御ノードNFPにローレベルを出力し、FET16の制御ノードNFNにハイレベルを出力する。これにより、FET15および16は、制御ノードNFPおよびNFNに第2信号が入力したとき、インバータ回路10をインバータモードとし、制御ノードNFPおよびNFNに第1信号が入力したとき、インバータ回路10をシュミットトリガモードとすることができる。

【0050】

さらに、制御回路20は、FET15の制御ノードNFPとFET16の制御ノードNFNとの間に接続されたインバータ（反転回路）22を備える。これにより、制御回路20は、制御ノードNFPとNFNの電圧を簡単に反転できる。

【0051】

シミュレーションでは、インバータ22および24の電源電圧を仮想電源電圧 V_{DD} としているが任意の電源電圧でもよい。また、制御回路20は、インバータ22および24を用いずに第1信号および第2信号を生成してもよい。例えば、制御回路20は、NAND回路および/またはNOR等の論理ゲートを組み合わせた回路でもよい。

10

20

30

40

50

【 0 0 5 2 】

図 5 (b) のように、電源供給回路 3 0 は、制御回路 2 0 がインバータ回路 1 0 をシュミットリガモードとする第 1 信号を出力した後に、仮想電源電圧 V_{DD} を高い第 2 電圧から低い第 1 電圧に切り替える。電源供給回路 3 0 は、制御回路 2 0 がインバータ回路 1 0 をインバータモードとする第 2 信号を出力する前に、仮想電源電圧 V_{DD} を低い第 1 電圧から高い第 2 電圧に切り替える。これにより、仮想電源電圧 V_{DD} が低い第 1 電圧の間、インバータ回路 1 0 を安定に動作できる。例えば、後述する実施例 2 では、双安定回路がデータを安定に保持できる。なお、インバータモードの伝達特性は、ヒステリシスが狭い伝達特性でもよい。実質的にヒステリシスがなければよい。例えばシュミットリガモードのように、意図的にヒステリシスを形成してなければよい。

10

【 実施例 2 】

【 0 0 5 3 】

実施例 2 は、実施例 1 のインバータ回路を用いた記憶回路の例である。図 6 (a) は、実施例 2 に係る電子回路の記憶セルを示す回路図、図 6 (b) は電子回路を示す回路図である。図 6 (a) に示すように、電子回路 1 0 4 は、記憶セル 1 0 2、制御回路 2 0 および電源供給回路 3 0 を備える。記憶セル 1 0 2 は、インバータ回路 1 0 a および 1 0 b、FET 4 1 および 4 2 を備える。インバータ回路 1 0 a および 1 0 b は実施例 1 のインバータ回路 1 0 である。インバータ回路 1 0 a および 1 0 b はループ状に接続され、双安定回路 4 0 を形成する。すなわち、インバータ回路 1 0 a の出力ノード N_{out} がインバータ回路 1 0 b の入力ノード N_{in} に接続され、インバータ回路 1 0 b の出力ノード N_{out} がインバータ回路 1 0 a の入力ノード N_{in} に接続されている。インバータ回路 1 0 a および 1 0 b の出力ノード N_{out} はそれぞれ記憶ノード N_2 および N_1 となる。FET 4 1 および 4 2 は N チャネル FET である。FET 4 1 のソースおよびドレインの一方は記憶ノード N_2 に、ソースおよびドレインの他方はビット線 BL に、ゲートはワード線 WL に接続されている。FET 4 2 のソースおよびドレインの一方は記憶ノード N_1 に、ソースおよびドレインの他方はビット線 BLB に、ゲートはワード線 WL に接続されている。

20

【 0 0 5 4 】

図 6 (b) に示すように、電子回路 1 0 4 は、メモリ領域 7 0、列ドライバ 7 1、行ドライバ 7 2 および制御部 7 3 を備えている。メモリ領域 7 0 内には記憶セル 1 0 2 がマトリックス状に配列されている。列ドライバ 7 1 は、アドレス信号により列を選択し、選択した列のビット線 BL および BLB に電圧等を印加する。行ドライバ 7 2 は、アドレス信号により行を選択し、選択した行のワード線 WL に電圧を、選択した行の制御線に電圧 V_{FP} および V_{FN} を印加する。制御部 7 3 は、列ドライバ 7 1 および行ドライバ 7 2 等を制御する。制御部 7 3 は、読み出し回路および書き込み回路 (不図示) を使い、例えばワード線 WL とビット線 BL および BLB とにより選択された記憶セル 1 0 2 にデータの書き込みおよび記憶セル 1 0 2 からデータの読み出しを行なう。

30

【 0 0 5 5 】

制御回路 2 0 および電源供給回路 3 0 の機能は実施例 1 およびその変形例と同じである。制御回路 2 0 は、行ごとに設けられていてもよいし、記憶セル 1 0 2 ごとに設けられていてもよい。簡略化の観点から、制御回路 2 0 は行ごとに設けることが好ましい。電源供給回路 3 0 は、メモリ領域 7 0 内の記憶セル 1 0 2 に共通に設けられていてもよいし、メモリ領域 7 0 を複数の領域に分割し、分割された領域ごとに設けられていてもよい。例えば、電源供給回路 3 0 は、行ごとに設けられていてもよい。

40

【 0 0 5 6 】

記憶セル 1 0 2 の特性をシミュレーションした。図 7 (a) および図 7 (b) は、実施例 2 における記憶セルの特性を示す図であり、記憶ノード N_1 の電圧 V_1 に対する記憶ノード N_2 の電圧 V_2 を示す図である。図 7 (a) は、はじめに記憶ノード N_2 が記憶点になっていた (すなわち、記憶ノード N_2 がハイレベルとなっている) ときを示す。図 7 (b) は、はじめに記憶ノード N_1 が記憶点になっていた (すなわち、記憶ノード N_1 がハ

50

イレベルとなっている)ときを示す。仮想電源電圧 V_{DD} は $0.3V$ としてシミュレーションした。

【0057】

図7(a)および図7(b)に示すように、インバータモードでは、記憶ノード N_1 と N_2 に対し対称な特性となる。一方、シュミットトリガモードでは、記憶点を有する側のバタフライカーブの開口が大きくなる。これは、図3のように、シュミットトリガモードでは、インバータ回路10の伝達特性にヒステリシスを有するためである。さらに、バタフライカーブの開口が正方形に近い。これは、図3のように、入力電圧 V_{in} に対し出力電圧 out が急峻に変化するためである。開口の中に入る正方形の辺の長さがノイズマージンに対応する。すなわち、正方形が大きいとノイズマージンが大きいことを示す。図7(b)の実線80および破線82の正方形は、それぞれインバータモードおよびシュミットトリガモードのノイズマージンを示す。インバータモードでは、仮想電源電圧 V_{DD} を $0.3V$ とすると、ノイズマージンが小さくなる。このため、仮想電源電圧 V_{DD} を $0.3V$ とすると、記憶ノード N_1 および N_2 のデータを安定に保持できなくなる。シュミットトリガモードでは、仮想電源電圧 V_{DD} を $0.3V$ としてもノイズマージンが2倍程度大きい。このため、仮想電源電圧 V_{DD} を $0.3V$ としても記憶ノード N_1 および N_2 のデータをより安定に保持できる。

10

【0058】

図8(a)および図8(b)は、実施例2におけるそれぞれインバータモードおよびシュミットトリガモードにおける記憶セルの特性を示す図である。図8(a)に示すように、インバータモードにおいては、仮想電源電圧 V_{DD} を $0.3V$ 、 $0.2V$ および $0.15V$ と小さくするとノイズマージンが低下する。図8(b)に示すように、シュミットトリガモードでは、仮想電源電圧 V_{DD} が $0.3V$ 、 $0.2V$ および $0.15V$ における記憶点側のノイズマージンはインバータモードより大きい。どの仮想電源電圧 V_{DD} でもインバータモードに比べて角型に近い。

20

【0059】

実施例2によれば、電子回路104は、インバータ回路10a(第1インバータ)およびインバータ回路10b(第2インバータ)をループ状に接続した双安定回路40を備える。これにより、シュミットトリガモードのときに、仮想電源電圧 V_{DD} を低くしても双安定回路40のデータを安定に保持できる。このため、仮想電源電圧 V_{DD} を低くしてデータの保持を行なえば、データ保持時の待機時電力を抑制できる。インバータモードのときに、仮想電源電圧 V_{DD} を高くし、高速動作が可能となる。

30

【0060】

図9(a)および図9(b)は、それぞれ実施例2の変形例1および2に係る電子回路を示す回路図である。図9(a)に示すように、電子回路104aにおいて、インバータ回路10aおよび10bにFET12および15が設けられていない。制御回路20はインバータ26を有する。制御回路20の出力はインバータ回路10aおよび10bの制御ノード N_{FN} に接続されている。その他の構成は実施例2と同じであり、説明を省略する。図9(b)に示すように、電子回路104bにおいて、インバータ回路10aおよび10bにFET13および16が設けられていない。制御回路20の出力はインバータ回路10aおよび10bの制御ノード N_{FP} に接続されている。その他の構成は実施例2と同じであり、説明を省略する。なお、実施例2の変形例1および2において、インバータ26を備えず、制御信号 $CTRL$ が直接制御ノード N_{FN} または N_{FP} に入力してもよい。

40

【0061】

実施例2の変形例1および2のように、PチャネルFETおよびNチャネルFETのうち一方が複数接続され、他方は1個でもよい。FET15または16は、複数接続されたFETにのみ接続されていればよい。このように、フィードバック回路がPチャネルFETおよびNチャネルFETのうち一方にのみフィードバックする場合においても、インバータモードとシュミットトリガモードとの切り替えを行なうことができる。

【0062】

50

実施例 2 の変形例 3 および 4 は、ラッチ回路の例である。図 10 は、実施例 2 の変形例 3 に係る電子回路の回路図である。図 10 に示すように、電子回路 106a は、双安定回路 40、パスゲート 44、45、制御回路 20、電源供給回路 30 およびクロック供給回路 46 を備える。双安定回路 40 は、インバータ回路 10a および 10b がループ状に接続されている。パスゲート 44 は、双安定回路 40 の記憶ノード N1 と入力ノード Din との間に接続されている。パスゲート 45 はループ内に接続されている。制御回路 20 は、インバータ回路 10a および 10b 内の制御ノード NFP および NFN に電圧 VFP および VFN を印加する。電源供給回路 30 は、電源線 36 に仮想電源電圧 VDD を供給する。クロック供給回路 46 は、インバータ 47 および 48 を備える。クロック供給回路 46 は、クロック信号 CLK からクロック C および CB を生成し、パスゲート 44 および 45 にクロック C および CB を供給する。

10

【0063】

図 11 は、実施例 2 の変形例 4 に係る電子回路の回路図である。図 11 に示すように、電子回路 106b においては、パスゲート 44 が FET 61 から 64 が電源とグランド間に直列に接続された回路 44a に置き換わっている。FET 61 および 62 は P チャネル FET、FET 63 および 64 は N チャネル FET である。FET 61 および 64 のゲートは入力ノード Din に接続されている。FET 62 および 63 のゲートにはそれぞれクロック CB および C が入力する。FET 62 および 63 の代わりに FET 61 および 64 のゲートにそれぞれクロック CB および C が入力し、FET 62 および 63 のゲートは入力ノード Din に接続されていてもよい。FET 62 および 63 のドレインは記憶ノード N1 に接続されている。インバータ回路 10b の FET 12 および 13 のゲートにそれぞれクロック C および CB が入力する。インバータ回路 10b の FET 12 および 13 の代わりに FET 11 および 14 のゲートにそれぞれクロック C および CB が入力し、FET 12 および 13 のゲートは記憶ノード N2 に接続されていてもよい。その他の構成は実施例 2 の変形例 3 と同じであり説明を省略する。実施例 2 の変形例 3 および 4 のように、ラッチ回路に実施例 1 およびその変形例のインバータ回路を用いることができる。

20

【0064】

図 12 (a) から図 12 (e) は、実施例 2 の変形例 3 におけるタイミングチャートである。図 12 (a) は、時間に対する制御ノード NFN および NFP の電圧 VFN および VFP を示す図、図 12 (b) は、時間に対する制御信号 CTRL、クロック信号 CLK および仮想電源電圧 VDD を示す図、図 12 (c) は、時間に対する記憶ノード N1 および N2 の電圧 V1 および V2 を示す図、図 12 (d) は、時間に対する電源線 36 からグランド線 38 への貫通電流を示す図、図 12 (e) は、時間に対する消費電流を示す図である。図 12 (e) において、各電圧が切り替わったときの過度応答はシミュレーションの都合上正確ではないが、安定した後の電流値は正確である。

30

【0065】

インバータモードにおいては、図 12 (e) に示すように、消費電流は 188 nA である。シュミットトリガモードにおいて、図 12 (b) に示すように、仮想電源電圧 VDD を 1.2 V から 0.3 V に切り替えると、図 12 (a) および図 12 (c) のように、電圧 VFN および電圧 V2 は低くなる。図 12 (e) のように、仮想電源電圧 VDD が 0.3 V のとき消費電流は 5.5 nA となる。このように、シュミットトリガモードとし、仮想電源電圧 VDD を低くすると消費電力を抑制できる。制御回路 20 およびクロック供給回路 46 は、ラッチ回路ごとに設けてもよいし、複数のラッチ回路ごとにまとめて設けてもよい。

40

【0066】

実施例 2 の変形例 5 および 6 は、マスタスレーブ型フリップフロップ回路の例である。図 13 は、実施例 2 の変形例 5 に係る電子回路の回路図である。図 13 に示すように、電子回路 115 は、ラッチ回路 (D ラッチ回路) 97 および 98 を備えている。ラッチ回路 97 は、実施例 2 と同様の双安定回路 40、パスゲート 44 および 45 を備えている。記憶ノード N1 はインバータ 91 を介し QB 信号となる。記憶ノード N2 はインバータ 92

50

を介しQ信号となる。記憶ノードN1は、パスゲート45を介しラッチ回路98に接続される。

【0067】

ラッチ回路98は、双安定回路90a、パスゲート95および96を備えている。双安定回路90aは、モードを切り替えない通常のインバータ99aおよび99bがループ状に接続されている。双安定回路90aのループ内にパスゲート96が接続されている。双安定回路90aには、インバータ93およびパスゲート95を介しデータDが入力する。ラッチ回路97、98およびクロック供給回路46は電源線36およびグランド線38に接続されている。電源線36には、仮想電源電圧VVDまたは電源電圧VDDが供給され、グランド線38には、仮想グランド電圧VGNまたはグランド電圧GNDが供給される。制御回路20には、電圧VAおよびVBが供給される。VAは、例えば仮想電源電圧VVDまたは電源電圧VDDであり、VBは例えば仮想グランド電圧VGNまたはグランド電圧GNDである。VAおよびVBは、他の2値または3値の電圧でもよい。

10

【0068】

実施例2の変形例5のように、マスタスレーブ型フリップフロップ回路のラッチ回路97に実施例2の変形例3または4のラッチ回路を用いることができる。これにより、インバータ回路10aおよび10bをシュミットトリガモードとすることで、電源線36とグランド線38との間に供給される電圧を低くしても、ラッチ回路97のデータが保持される。データ保持のためには、ラッチ回路97がデータを保持すればよいため、ラッチ回路98のインバータ99aおよび99bは、シュミットトリガモードとして動作しない通常のインバータ回路でもよい。

20

【0069】

図14は、実施例2の変形例6に係る電子回路の回路図である。図14に示すように、電子回路116においては、ラッチ回路98の双安定回路90に用いられるインバータ回路10aおよび10bが実施例1およびその変形例に係るインバータ回路である。その他の構成は、実施例2の変形例5と同じであり説明を省略する。

【0070】

実施例2の変形例6では、ラッチ回路97および98の双安定回路40および90のインバータ回路10aおよび10bはいずれも実施例1およびその変形例に係るインバータ回路である。これにより、実施例5において後述するように、シュミットトリガモードにおいて、電子回路116は、安定に低電圧動作することができる。

30

【0071】

実施例2の変形例5において、制御信号CTRLとクロック信号CLKとを同期させる例を説明する。図15(a)および図15(b)は、実施例2の変形例5の制御回路を示す回路図であり、図15(c)は、タイミングチャートである。図15(a)に示すように、制御回路117は、電源供給回路30、クロック供給回路46および制御回路20を備える。電源供給回路30として、後述する実施例3のようなパワースイッチ32を用いる。パワースイッチ32はPチャネルFETであり、仮想電源電圧VVDの電源線36と電源電圧VDDの電源との間に接続されている。仮想電源電圧VVDがクロック供給回路46および制御回路20に接続されている。イネーブル信号ENとパワーゲーティング補信号PGBがNOR回路74に入力し、NOR回路74の出力がパワースイッチ制御信号VPSとなる。クロック供給回路46は、NAND回路48aを有し、NAND回路48aにイネーブル信号ENとクロック信号CLKが入力する。制御回路20のインバータ24にはイネーブル信号ENが入力する。制御回路20およびクロック供給回路46のその他の構成は実施例2と同じであり説明を省略する。

40

【0072】

図15(b)に示すように、制御回路117aには、NOR回路74が設けられていない。パワーゲーティング信号PGがパワースイッチ制御信号VPSとしてパワースイッチ32のゲートに入力する。イネーブル信号ENがNAND回路48aおよびインバータ24に入力する。その他の構成は図15(a)と同じであり説明を省略する。

50

【 0 0 7 3 】

図 1 5 (c) に示すように、イネーブル信号 E N およびパワーゲーティング補信号 P G B がハイレベル (またはパワースイッチ制御信号 V P S がローレベル) のとき、クロック供給回路 4 6 は、クロック C および C B を供給し、制御回路 2 0 は、インバータモードとなる信号 (すなわち電圧 V F P がハイレベル、電圧 V F N がローレベル) を出力する。パワースイッチ 3 2 はオンしており、仮想電源電圧 V V D D は高い電圧である。

【 0 0 7 4 】

時間 t 1 において、イネーブル信号 E N がローレベルとなる。クロック供給回路 4 6 はクロック C および C B の供給を停止する。制御回路 2 0 は、シュミットトリガモードとなる信号 (すなわち電圧 V F P がローレベル、電圧 V F N がハイレベル) を出力する。これにより、双安定回路 4 0 のインバータ回路 1 0 a および 1 0 b はシュミットトリガモードとなる。時間 t 2 において、パワーゲーティング補信号 P G B がローレベル (またはパワースイッチ制御信号 V P S がハイレベル) となる。これにより、パワースイッチ 3 2 が遮断し、仮想電源電圧 V V D D として低電圧が供給される。ラッチ回路 9 7 は、低電圧でデータを保持する。

10

【 0 0 7 5 】

時間 t 3 において、パワーゲーティング補信号 P G B がハイレベル (またはパワースイッチ制御信号 V P S がローレベル) となる。これにより、パワースイッチ 3 2 がオンし、仮想電源電圧 V V D D は高電圧となる。時間 t 4 において、イネーブル信号 E N がハイレベルとなる。クロック供給回路 4 6 はクロック C および C B の供給を開始する。制御回路 2 0 は、インバータモードとなる信号 (電圧 V F P および V F N) を供給する。

20

【 0 0 7 6 】

図 1 6 (a) および図 1 6 (b) は、実施例 2 の変形例 5 の制御回路を示す別の回路図であり、図 1 6 (c) は、タイミングチャートである。図 1 6 (a) に示すように、制御回路 1 1 8 において、パワースイッチ 3 2 は、N チャネル F E T であり、グランド線 3 8 とグランド電圧 G N D との間に接続されている。N O R 回路 7 4 の代わりに O R 回路 7 5 が設けられている。その他の構成は図 1 5 (a) と同じであり説明を省略する。

【 0 0 7 7 】

図 1 6 (b) に示すように、制御回路 1 1 8 a には、O R 回路 7 5 が設けられていない。パワーゲーティング補信号 P G B がパワースイッチ制御信号 V P S としてパワースイッチ 3 2 のゲートに入力する。イネーブル信号 E N が N A N D 回路 4 8 a およびインバータ 2 4 に入力する。その他の構成は図 1 6 (a) と同じであり説明を省略する。

30

【 0 0 7 8 】

図 1 6 (c) に示すように、パワーゲーティング補信号 P G B がハイレベルのときパワースイッチ制御信号 V P S がハイレベルとなり、パワーゲーティング補信号 P G B がローレベルのときパワースイッチ制御信号 V P S がローレベルとなる。その他の動作は図 1 5 (c) と同じであり説明を省略する。

【 0 0 7 9 】

図 1 3 および図 1 4 のように、インバータ回路 1 0 a および 1 0 b により形成されるループ内にクロック C および C B に同期しオンおよびオフするパスゲート 4 5 (スイッチ) を備える。図 1 5 (a) から図 1 6 (c) のように、クロック供給回路 4 6 は、インバータ回路 1 0 a および 1 0 b がインバータモードのときパスゲート 4 4 および 4 5 にクロック C および C B を供給し、シュミットトリガモードのときパスゲート 4 4 および 4 5 にクロック C および C B を供給しない。このように、クロック供給回路 4 6 のクロック C および C B の供給と、制御回路 2 0 の制御信号 (電圧 V F P および V F N) の供給を同期させてもよい。

40

【 0 0 8 0 】

また、シュミットトリガモードのときに、クロック供給回路 4 6 がクロック C および C B の供給を停止 (クロックゲーティング) し、かつ電源供給回路 3 0 が仮想電源電圧 V V D D を低くまたは仮想グランド電圧 V G N D を高くする。これにより、リーク電流を削減

50

できる。このように、記憶回路において、クロックゲーティングを行なうときにシュミットトリガモードとし、かつパワーゲーティングを行なう。これにより、ダイナミックパワーとスタティックパワーの両方を削減できる。

【0081】

以上のように、電源供給回路30は、クロック供給回路46がクロック信号を供給しないとき電源電圧として第1電圧を供給し、クロック供給回路46がクロック信号を供給するとき電源電圧として第1電圧より高い第2電圧を供給する。このように、記憶回路において、クロックゲーティングとパワーゲーティングを同時に行なう。このような動作は、シュミットトリガモードとインバータモードとを有するインバータ回路を用い双安定回路40を形成することにより、可能となる。記憶セルに双安定回路のデータをストアする不揮発性メモリ素子を設けることにより、クロックゲーティングとパワーゲーティングを同時に行なってもよい。実施例2の変形例5は、不揮発性メモリ素子を用いないため、不揮発性メモリ素子を用いるのに比べ高速動作が可能となる。さらに、実施例2の変形例5は、電源遮断のときに不揮発性メモリ素子にデータをストアしないため、データストアともなうエネルギー消費も小さい。これにより、頻繁にパワーゲーティングを行ない、より効率的にエネルギー消費を削減できる。なお、不揮発性メモリ素子を用いずに、CMOS技術のみを用い、記憶回路においてクロックゲーティングとパワーゲーティングを同時に行なうことは、これまでできなかった。実施例1、2およびその変形例を用いることにより、はじめて可能となった。

10

【実施例3】

20

【0082】

実施例3は、電源供給回路30としてパワースイッチを用いる例である。図17(a)および図17(b)は、実施例3に係る電子回路の回路図である。図17(a)に示すように、電子回路108aでは、電源供給回路30としてパワースイッチ32が設けられている。パワースイッチ32はPチャンネルFETである。パワースイッチ32のソースは電源電圧VDDの電源、ドレインは電源線36に接続されている。電源電熱VDDの電源は、例えば集積回路に供給される電源である。パワースイッチ32は、ゲートに入力する電源信号により、仮想電源電圧VVDの電圧を切り替える。パワースイッチ32をオンまたはオフすることで、パワースイッチ32とインバータ回路との分圧比が変わる。パワースイッチ32がオンのとき、仮想電源電圧VVDは電源電圧VDDに近い。パワースイッチ32がオフのときは、仮想電源電圧VVDは電源電圧VDDよりかなり低くなる。このとき、インバータ回路10に印加される電圧は、例えば、記憶回路では、シュミットトリガモードにおいてデータを保持できる電圧であり、ロジック回路では、シュミットトリガモードにおいて安定動作できる電圧である。その他の構成は実施例1の図2(b)と同じであり、説明を省略する。

30

【0083】

図17(b)に示すように、電子回路108bでは、電源供給回路30はグランド側に接続されたパワースイッチ32である。パワースイッチ32はNチャンネルFETである。パワースイッチ32のソースはグランド、ドレインはグランド線38に接続されている。グランドは、例えば集積回路に設けられるグランドである。パワースイッチ32は、ゲートに入力する電源信号により、仮想グランド電圧VGNの電圧を切り替える。パワースイッチ32をオンまたはオフすることで、パワースイッチ32とインバータ回路との分圧比が変わる。パワースイッチ32がオンのとき、仮想グランド電圧VGNはグランド電圧に近い。パワースイッチ32がオフのときは、仮想グランド電圧VGNはグランド電圧よりかなり高くなる。このとき、インバータ回路10に印加される電圧は、例えば、記憶回路では、シュミットトリガモードにおいてデータを保持できる電圧であり、ロジック回路では、シュミットトリガモードにおいて安定動作できる電圧である。その他の構成は図17(a)と同じであり、説明を省略する。

40

【0084】

図18は、実施例3の変形例1に係る電子回路の回路図である。図18に示すように、

50

電子回路 109 では、電源供給回路 30 としてパワースイッチ 32 が設けられている。その他の構成は実施例 2 の図 6 (a) と同じであり説明を省略する。実施例 3 および変形例 1 のように、電源供給回路 30 はパワースイッチ 32 でもよい。パワースイッチ 32 が遮断されたときに仮想電源電圧 V_{DD} がデータの保持できる電圧とする (例えば、遮断時にこのような仮想電源電圧 V_{DD} が得られるようにパワースイッチ 32 の大きさを設計することにより、パワースイッチ 32 を遮断しても記憶回路のデータを保持できる。パワースイッチ 32 は、グランド線 38 側のみに設けてもよく、電源線 36 側とグランド線 38 側の両方に設けてもよい。

【 0085 】

また、パワースイッチ 32 のソースとドレインとの間に、ダイオードを接続し、パワースイッチ 32 が遮断したときの仮想電源電圧 V_{DD} または仮想グランド電圧 V_{GND} を生成してもよい。ダイオードは $MOSFET$ 等のトランジスタを用いて形成してもよい。さらに、パワースイッチ 32 のソースとドレインとの間に、電流源を接続し、パワースイッチ 32 が遮断したときの仮想電源電圧 V_{DD} または仮想グランド電圧 V_{GND} を生成してもよい。電流源は $MOSFET$ 等のトランジスタを用いて形成してもよい。さらに、パワースイッチ 32 のゲートに印加される信号をハイレベルとローレベルの間の電圧とし、所望の仮想電源電圧 V_{DD} または仮想グランド電圧 V_{GND} を生成してもよい。

【 実施例 4 】

【 0086 】

実施例 4 は、記憶回路とロジック回路を有する電子回路の例である。図 19 (a) から図 19 (c) は、それぞれ実施例 4、実施例 4 の変形例 1 および実施例 4 の変形例 2 に係る電子回路の回路図である。図 19 (a) に示すように、電子回路 110 a は記憶回路 50 およびロジック回路 52 を備えている。記憶回路 50 は、例えば、キャッシュメモリまたはレジスタであり、実施例 2 の $SRAM$ 記憶回路または実施例 2 の変形例 2 および 3 のラッチ回路を有するフリップフロップを備える。記憶回路 50 およびロジック回路 52 には電源線 36 から仮想電源電圧 V_{DD} が供給される。電源供給回路 30 はパワースイッチ 32 を有する。パワースイッチ 32 は仮想電源電圧 V_{DD} を切り替えるまたは電源電圧を遮断する。電圧が低い仮想電源電圧 V_{DD} は、記憶回路 50 がシュミットトリガモードでデータを安定に保持できるようにパワースイッチ 32 が設計されている。また、ロジック回路 52 には後述する実施例 5 のロジック回路が搭載されていてもよい。これにより、シュミットトリガモードにおいて、ロジック回路 52 は、安定に低電圧動作することができる。

【 0087 】

記憶回路 50 とロジック回路 52 の組み合わせは、以下の 3 つが考えられる。第 1 に、記憶回路 50 はシュミットトリガモードとインバータモードとが切り替え可能であり、ロジック回路 52 は切り替えできない通常のロジック回路の場合である。第 2 に、記憶回路 50 は切り替えができない通常の記憶回路であり、ロジック回路 52 は切り替え可能な場合である。第 3 に、記憶回路 50 およびロジック回路 52 とともに切り替え可能な場合である。いずれの場合も切り替え可能な回路において、仮想電源電圧 V_{DD} の設計が重要となる。また、記憶回路 50 およびロジック回路 52 は複数のブロックを含んでもよい。さらに、記憶回路 50 に周辺回路が含まれていてもよい。

【 0088 】

実施例 4 によれば、記憶回路 50 およびロジック回路 52 に共通に仮想電源電圧 V_{DD} を供給するパワースイッチ 32 を備える。これにより、パワースイッチ 32 の数を減らせるため、小型化が可能となる。例えば、パワースイッチ 32 の占有面積を小さくできる。

【 0089 】

図 19 (b) に示すように、電子回路 110 b においては、記憶回路 50 には電源線 36 a から仮想電源電圧 V_{DD1} が供給され、ロジック回路 52 に電源線 36 b から仮想電源電圧 V_{DD2} が供給される。電源供給回路 30 はパワースイッチ 32 a および 32

10

20

30

40

50

bを有する。パワースイッチ32aおよび32bは、それぞれ仮想電源電圧VVD1およびVVD2を切り替えるまたは電源電圧を遮断する。また、記憶回路50およびロジック回路52は複数のブロックを含んでもよい。さらに、記憶回路50に周辺回路が含まれていてもよい。その他の構成は実施例4と同じであり説明を省略する。

【0090】

実施例4の変形例1によれば、記憶回路50とロジック回路52に独立に仮想電源電圧VVD1およびVVD2を供給するパワースイッチ32aおよび32bを備える。これにより、記憶回路50とロジック回路52とで、異なる仮想電源電圧を異なる時間に切り替えることができる。

【0091】

図19(c)に示すように、電子回路110cにおいては、パワースイッチ32aは、電源電圧VDDの電源から記憶回路50に仮想電源電圧VVD1を供給し、パワースイッチ32bは、電源電圧VDDの電源からロジック回路52に仮想電源電圧VVD2を供給する。また、記憶回路50およびロジック回路52は複数のブロックを含んでもよい。さらに、記憶回路50に周辺回路が含まれていてもよい。その他の構成は実施例4の変形例1と同じであり説明を省略する。

【0092】

実施例4の変形例2によれば、電源線36aおよび36bを省略できるため、レイアウトが簡略化され、また、占有面積を小さくできる。

【0093】

実施例4およびその変形例においては、記憶回路50にシュミットトリガモードとインバータモードとの切り替え可能な回路が含まれる場合、データ保持できる仮想電源電圧VVDとなるようにパワースイッチを設計する。ロジック回路52にシュミットトリガモードとインバータモードとの切り替え可能な回路が含まれる場合、低電圧動作が安定に可能となる仮想電源電圧VVDとなるようにパワースイッチを設計する。また、パワースイッチは、1つのトランジスタで構成されていてもよいし、複数のトランジスタで構成されていてもよい。

【0094】

実施例4およびその変形例において、電源供給回路30をグランド側に設ける場合についても図19(a)から図19(c)と同様の構成とすることができる。すなわち、記憶回路50およびロジック回路52を共通のグランド線に接続し、グランド線とグランドとの間にパワースイッチ32を設けてもよい。また、記憶回路50およびロジック回路52をそれぞれグランド線に接続し、各グランド線とグランドとの間にそれぞれパワースイッチ32を設けてもよい。さらに、グランド線を設けず、記憶回路50およびロジック回路52とグランドとの間にそれぞれパワースイッチ32を設けてもよい。さらに、パワースイッチ32を電源側とグランド側の両方に設けてもよい。

【実施例5】

【0095】

シュミットトリガモードにおいて低消費電力(または消費エネルギーが最小になる電圧)で動作させる例である。図20は、実施例5におけるインバータ回路の伝達特性を示す図である。図20に示すように、実施例5では、実施例1に比べシュミットトリガモードにおけるヒステリシスを実施例1より小さくする。例えば、FET15および16などの設定および/または電圧VFPおよびVFNの設定により、ヒステリシスの大きさを変えることができる。

【0096】

論理回路においては、シュミットトリガモードにおけるヒステリシスを小さくしてもよい。ヒステリシスが小さくても電圧の変化が急峻であれば、ノイズマージンが大きくなり、バラッキ耐性およびノイズ耐性に優れる。このため、低電源電圧における動作が可能となる。よって、シュミットトリガモードにおいて仮想電源電圧VVDを低くすれば、消費電力を抑制できる。例えば、仮想電源電圧VVDを、動作のエネルギー効率が極小と

10

20

30

40

50

なる電圧付近とすることができる。インバータモードにおいては、仮想電源電圧 V_{DD} を高くし、高速動作が可能となる。

【0097】

記憶回路においても、シュミットトリガモードにおいて、実施例1よりヒステリシスを小さくし、仮想電源電圧 V_{DD} を、インバータモードより低くする。これにより、インバータモードよりは動作速度が遅いが、低消費電力で動作を行なうことができる。仮想電源電圧 V_{DD} は、実施例1のシュミットトリガモードの仮想電源電圧 V_{DD} より高くてもよい。

【0098】

例えば、実施例4およびその変形例の記憶回路50内の記憶セルおよび/またはロジック回路52内の論理回路に実施例5を用いることができる。論理回路についてNAND回路を例に説明する。

【0099】

図21は、実施例5を用いたNAND回路の回路図である。図21に示すように、電子回路112は、FET11aから16を備える。電源線36と出力ノードNoutとの間に、FET11aと12aが直列に、FET11bと12bが直列に接続され、FET11aおよび12aと、FET11bおよび12bと、が並列に接続されている。FET11aと12aとの間のノードと、FET11bと12bとの間のノードと、は共通化され中間ノードNm1となる。

【0100】

出力ノードNoutとグランド線38との間にFET13aから14bが直列に接続されている。FET13bとFET14aとの間のノードは中間ノードNm2である。FET11aから14aのゲートは共通に入力ノードNin1に接続され、FET11bから14bのゲートは共通に入力ノードNin2に接続される。FET15および16の接続は実施例1と同じである。その他の構成は実施例1と同じであり、説明を省略する。

【0101】

電子回路112によれば、入力ノードNin1およびNin2にAおよびBが入力する。出力ノードNoutにはAとBのNANDであるCが出力される。シュミットトリガモードにおいて、仮想電源電圧 V_{DD} を低くする(例えば0.3V)ことにより、動作速度は遅いが消費電力を削減できる。インバータモードにおいて、仮想電源電圧 V_{DD} を高くする(例えば1.2V)ことにより、高速に動作することができる。以上NAND回路を例に説明したが、NAND回路以外の論理回路(例えば、OR回路、AND回路、XOR回路、NOR回路)にも実施例5を用いることができる。

【実施例6】

【0102】

図22(a)は、実施例6に係る電子回路のブロック図、図22(b)は、実施例6の各モードの動作を示す図である。図22(a)に示すように、電子回路114は、記憶回路86、制御回路20および電源供給回路30を備えている。記憶回路86は、実施例2およびその変形例の双安定回路40を有する。制御回路20は記憶回路86内のインバータ回路10のモードを切り替える信号を出力する。電源供給回路30は、電源線36に仮想電源電圧 V_{DD} を供給する。電源供給回路30がパワースイッチの場合、パワースイッチの接続は図19(a)から図19(c)のいずれでもよい。また、グランド側にパワースイッチを接続してもよく、グランド側と電源電圧 V_{DD} 側の両方にパワースイッチを接続してもよい。

【0103】

図22(b)に示すように、記憶回路86内のインバータ回路がインバータモード(第2モード)のとき、図20のようにヒステリシスはない。第2モードにおいて、電源供給回路30は仮想電源電圧 V_{DD} として高い電圧を供給すると、記憶回路86は高速で動作する。シュミットトリガモードのときは第1モードと第3モードとがある。第1モードのとき、ヒステリシスは図20の実施例1のように大きい。電源供給回路30が仮想電源

10

20

30

40

50

電圧 V_{VDD} として低い電圧を供給すると、記憶回路 86 は低消費電力でデータを保持する。第 3 モードのとき、ヒステリシスは図 20 の実施例 5 のように第 1 モードより小さい。また、第 3 モードの伝達特性は第 2 モードより急峻であり、第 1 モードと同じか緩慢である。第 3 モードのとき、電源供給回路 30 が仮想電源電圧 V_{VDD} として第 1 電圧より高く第 2 電圧より低い第 3 電圧を供給すると、記憶回路 86 は低速ではあるが低消費電力でも安定に動作する。

【0104】

実施例 6 によれば、記憶回路 86 内のインバータ回路 10 は、第 1 モード、第 2 モード、および第 3 モードに切り替わる。制御回路 20 は、インバータ回路 10 に、第 1 信号および第 2 信号に加え、インバータ回路 10 を第 3 モードとする第 3 信号を出力する。電源供給回路 30 は、インバータ回路 10 が第 3 モードのとき仮想電源電圧 V_{VDD} として第 2 電圧より低い第 3 電圧を供給する。記憶回路 86 を 3 つのモードで動作できる。実施例 6 では、第 3 電圧を第 1 電圧より高く設定しているが、第 3 電圧を第 1 電圧と同じまたは低くしてもよい。

10

【0105】

実施例 1 から 6 およびその変形例において説明した各 FET は、MOSFET、MIS (Metal Insulator Semiconductor) FET、MES (Metal Semiconductor) FET、FinFET、トンネル FET などの同等の動作ができる電界効果トランジスタであればよい。

20

【実施例 7】

【0106】

実施例 1 および 2 では、図 5 (a) および図 12 (a) のように、電圧 V_{FN} および V_{FP} のハイレベルは仮想電源電圧 V_{VDD} である。これは、例えば図 2 (a) の制御回路 20 (例えばインバータ 22 および 24) に供給される電源電圧を仮想電源電圧 V_{VDD} としているためである。さらに、制御回路 20 に仮想グランド電圧 V_{GND} が供給される場合、電圧 V_{FN} および V_{FP} のローレベルは仮想グランド電圧 V_{GND} となる。このように、制御回路 20 に仮想電源電圧 V_{VDD} および仮想グランド電圧 V_{GND} を供給することにより、制御回路 20 の消費電力を削減できる。

【0107】

一方、制御回路 20 に供給される電源電圧およびグランド電圧を仮想電源電圧 V_{VDD} および仮想グランド電圧 V_{GND} と異ならせることもできる。図 23 (a) および図 23 (b) は、実施例 7 に係る電子回路の回路図である。図 23 (a) に示すように、電子回路 116a において、電源供給回路 30 には電圧 V_{DD} が供給されている。インバータ 22 および 24 には、電源電圧として電圧 V_{DD2} が供給され、グランド電圧として電圧 GND が供給されている。電圧 V_{FP} および V_{FN} のローレベルおよびハイレベルはそれぞれ電圧 GND および電圧 V_{DD2} となる。その他の構成は実施例 1 の図 2 (a) と同じであり説明を省略する。例えば電圧 V_{DD2} を電源供給回路 30 に印加される電圧 V_{DD} とする。これにより、電源供給回路 30 が供給する仮想電源電圧 V_{VDD} に関係なく、電圧 V_{FP} および V_{FN} のハイレベルを電圧 V_{DD} とすることができる。

30

【0108】

図 23 (b) に示すように、電子回路 116b において、電源供給回路 30 はグランド側に設けられている。電源供給回路 30 はグランド線 38 に仮想グランド電圧 V_{GND} を供給する。インバータ 22 および 24 には、電源電圧として電圧 V_{DD} が供給され、グランド電圧として電圧 $GND2$ が供給されている。電圧 V_{FP} および V_{FN} のローレベルおよびハイレベルはそれぞれ電圧 $GND2$ および電圧 V_{DD} となる。その他の構成は図 23 (a) と同じであり説明を省略する。例えば電圧 $GND2$ を電源供給回路 30 に供給されるグランド電圧 GND とする。これにより、電源供給回路 30 が供給する仮想グランド電圧 V_{GND} に関係なく、電圧 V_{FP} および V_{FN} のローレベルをグランド電圧 GND とすることができる。

40

【0109】

50

実施例 7 によれば、電圧 VFP および VFN のハイレベルおよびローレベルを仮想電源電圧 $VVDD$ およびグランド電圧 $VGND$ と異ならせることができる。例えば、電圧 VFP および VFN のハイレベルおよびローレベルをそれぞれ電圧 VDD および GND とすることもできる。実施例 2 から実施例 6 およびその変形例においても、電圧 VFP および VFN は任意に設定できる。

【0110】

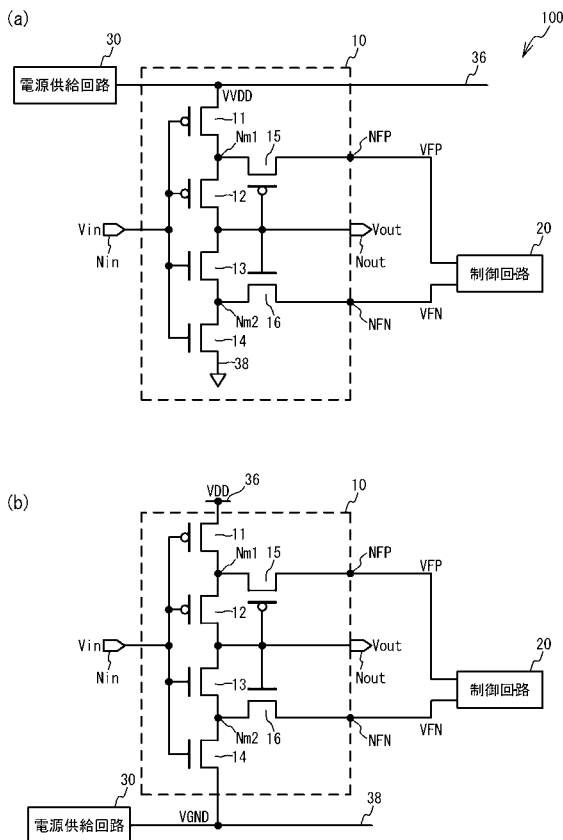
以上、本発明の好ましい実施例について詳述したが、本発明に係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

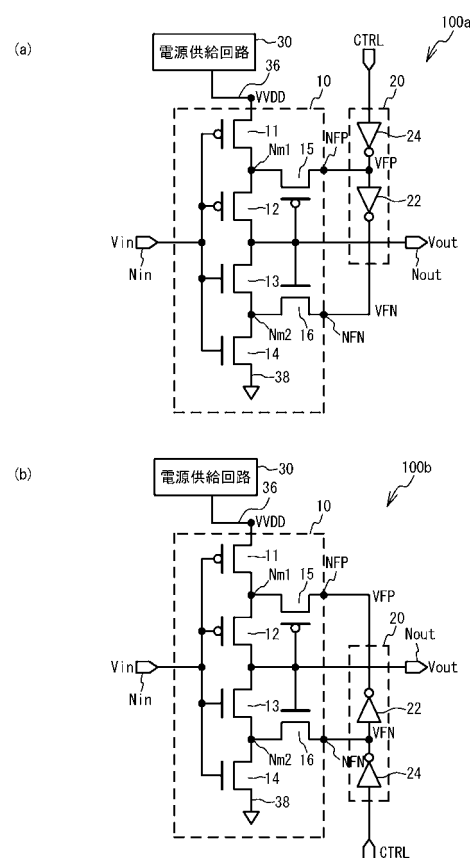
【0111】

- 10、10a、10b インバータ回路
- 11 - 16 FET
- 20 制御回路
- 22 - 26 インバータ
- 30 電源供給回路
- 40 双安定回路

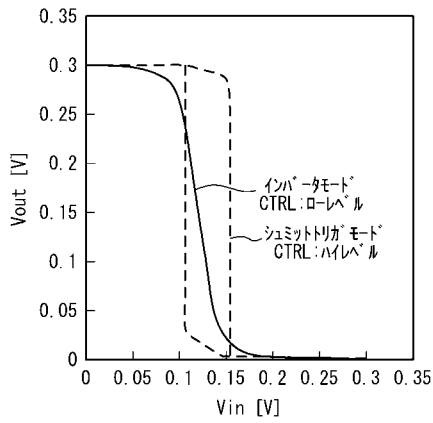
【図 1】



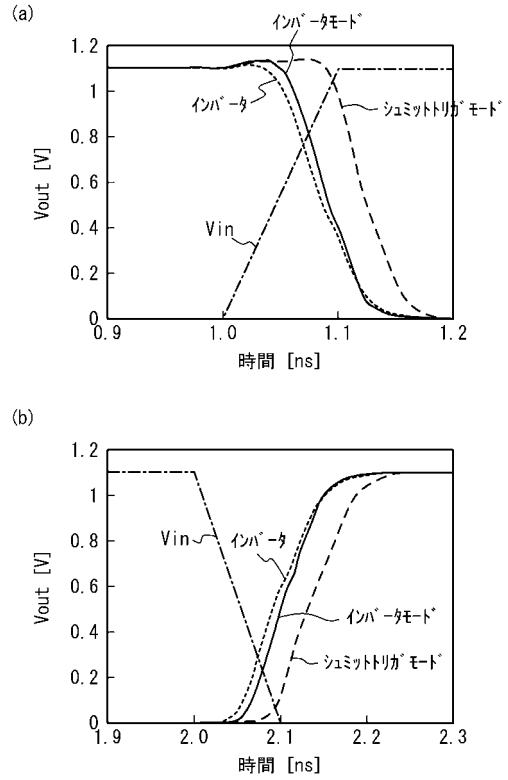
【図 2】



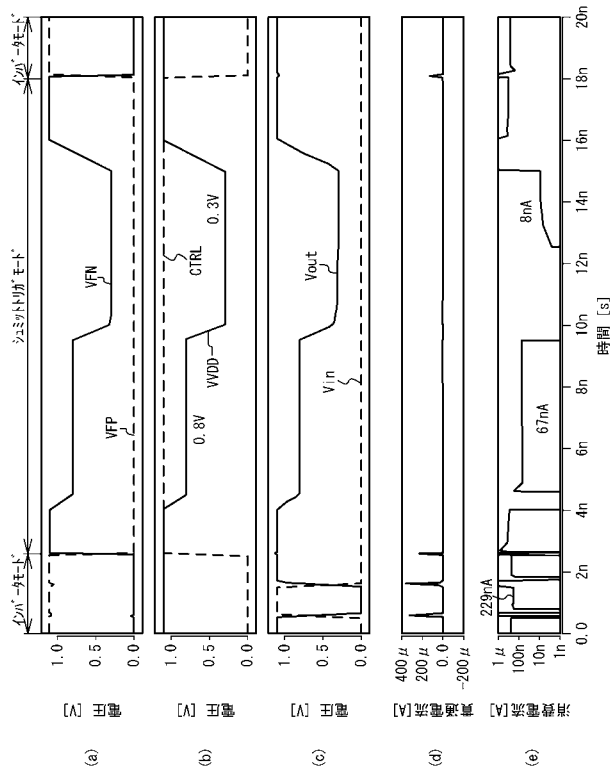
【 図 3 】



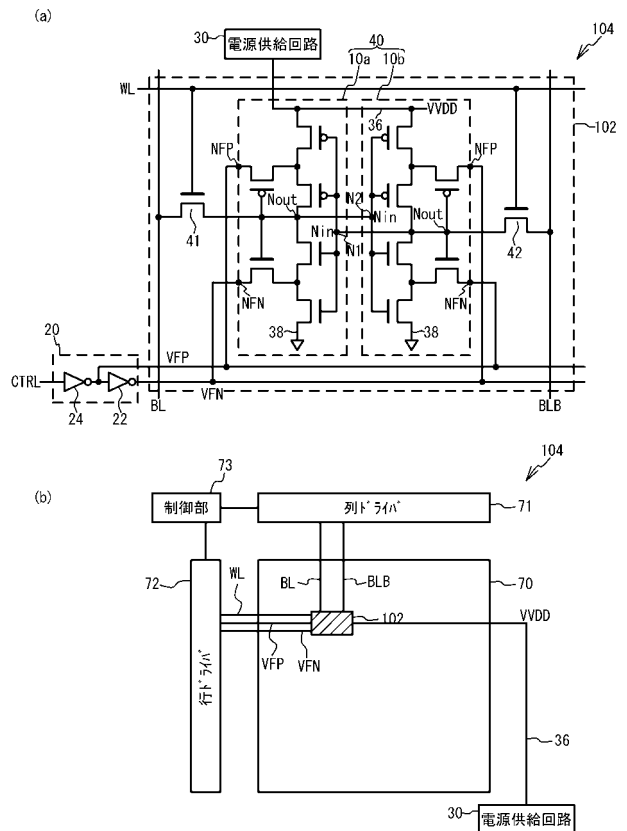
【 図 4 】



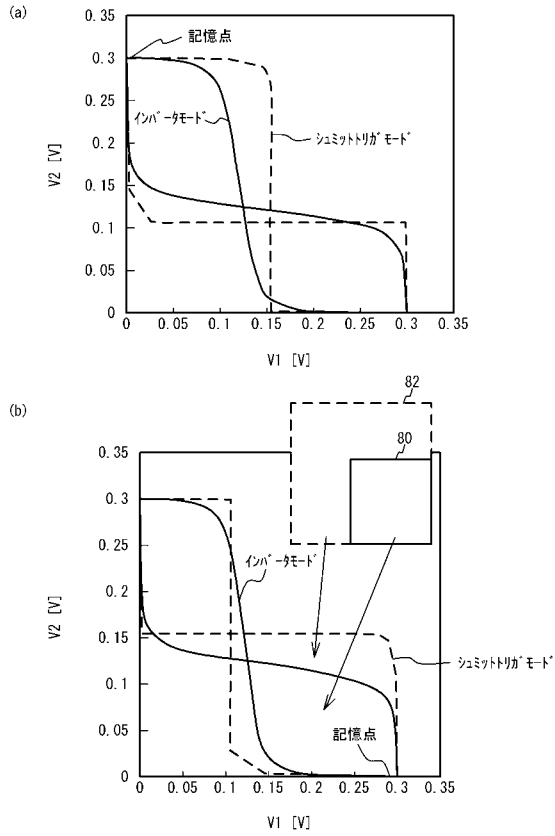
【 図 5 】



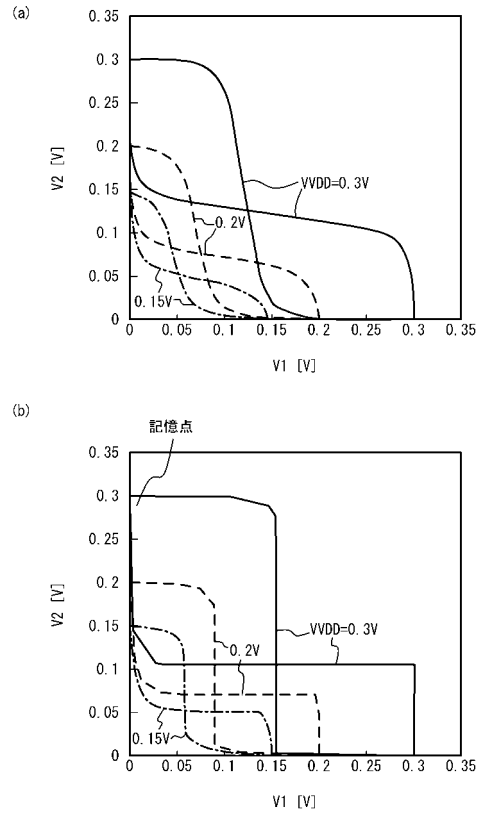
【 図 6 】



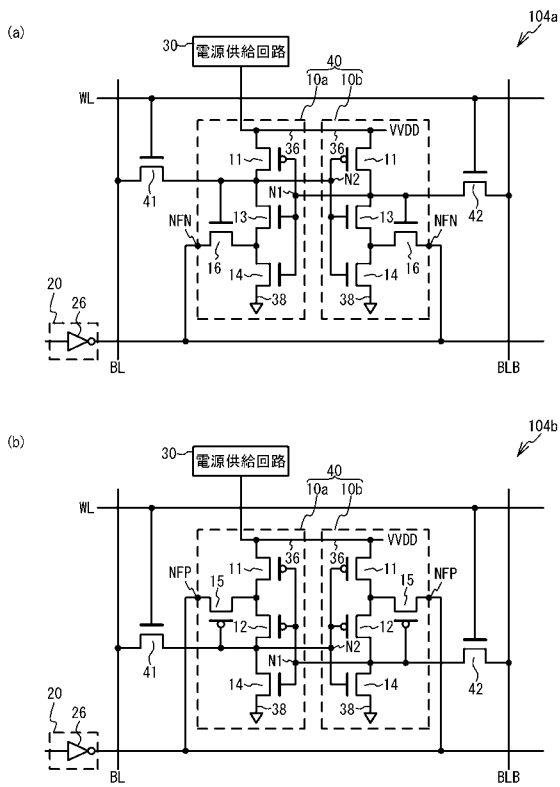
【図7】



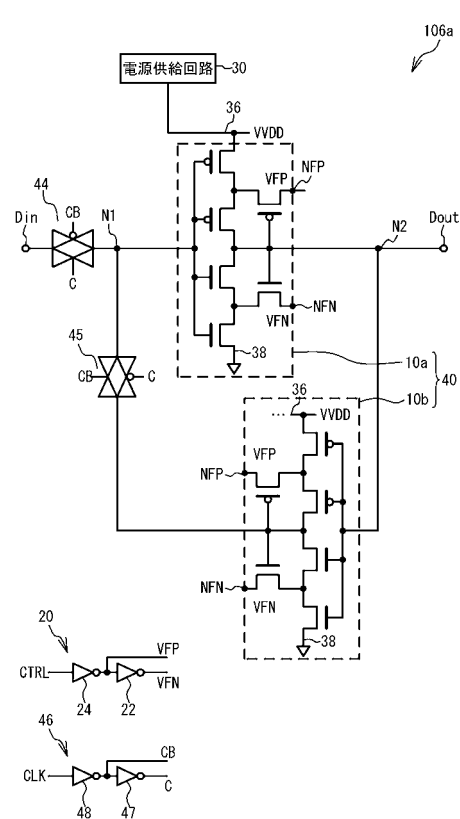
【図8】



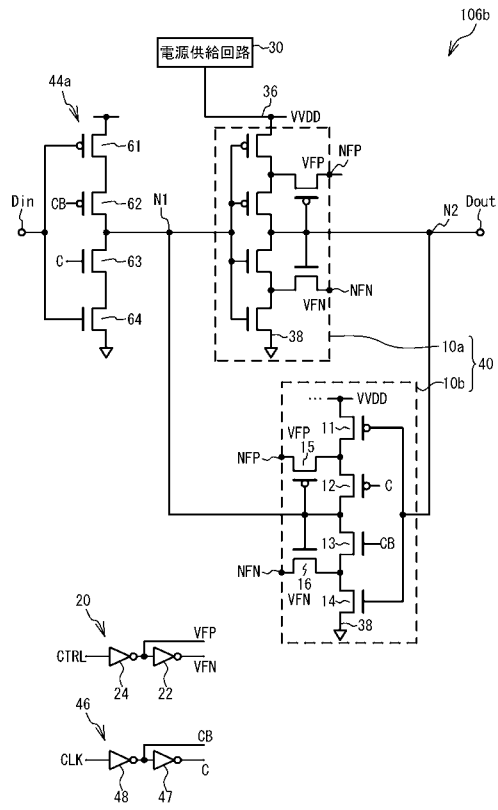
【図9】



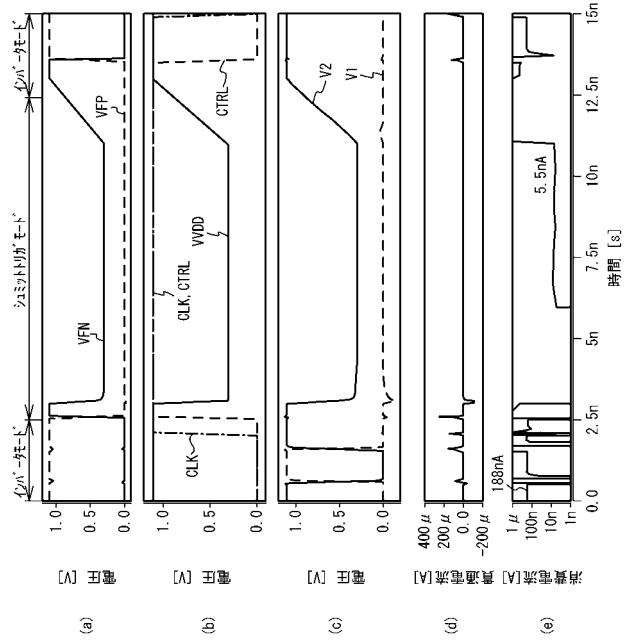
【図10】



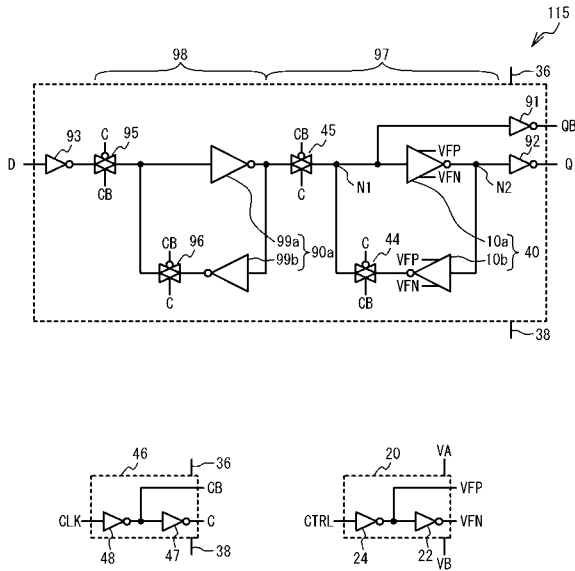
【図 1 1】



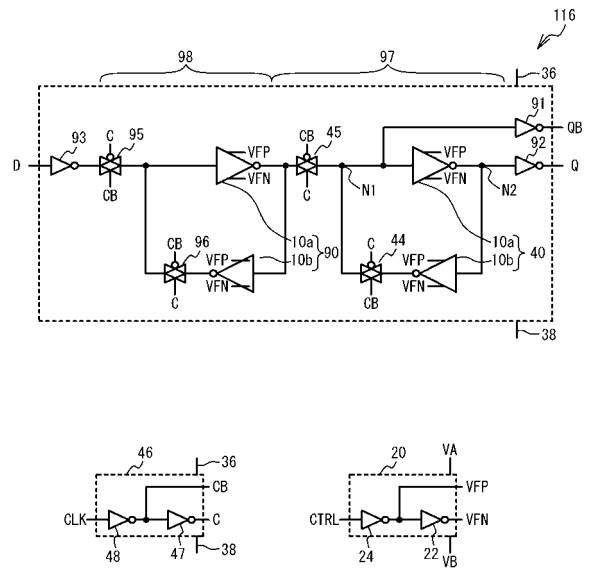
【図 1 2】



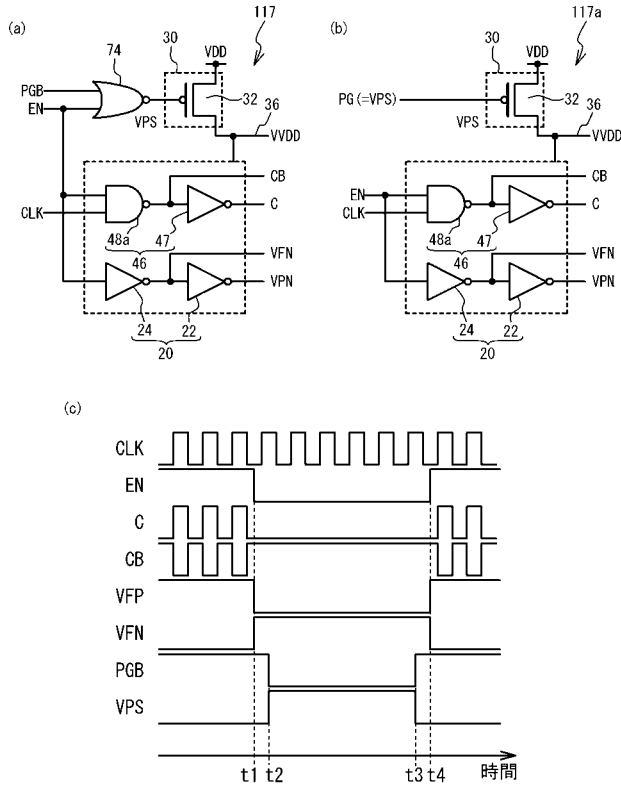
【図 1 3】



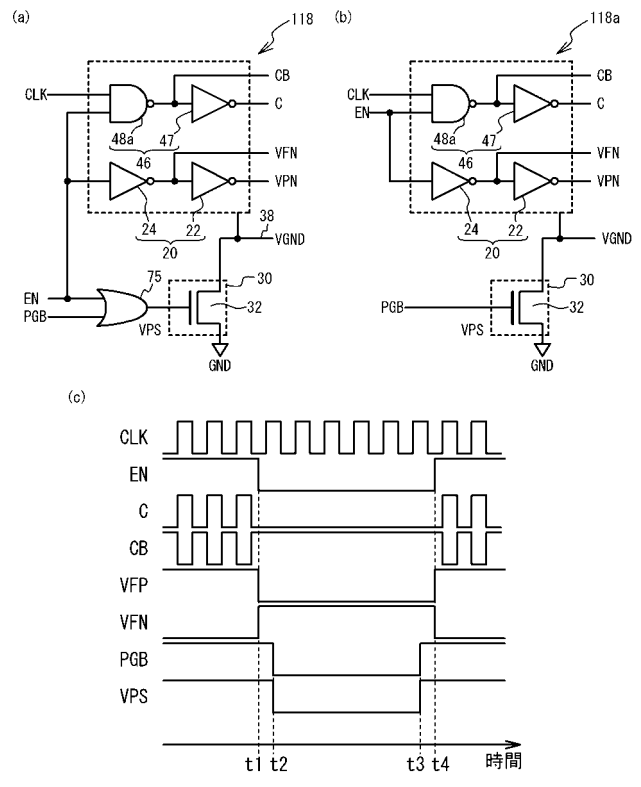
【図 1 4】



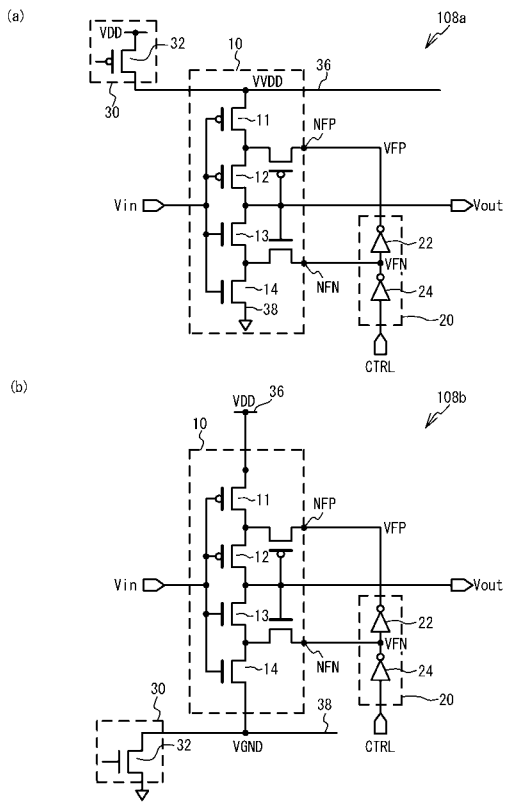
【図 15】



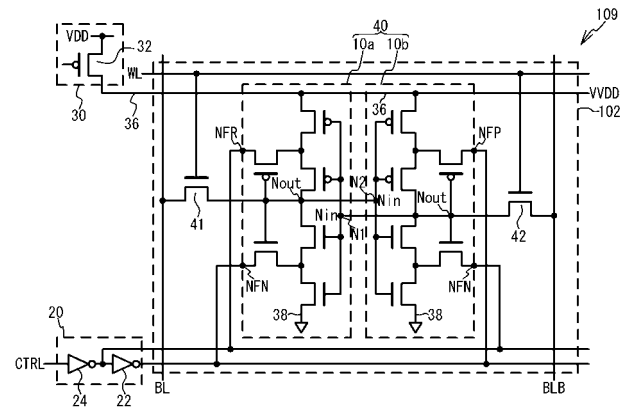
【図 16】



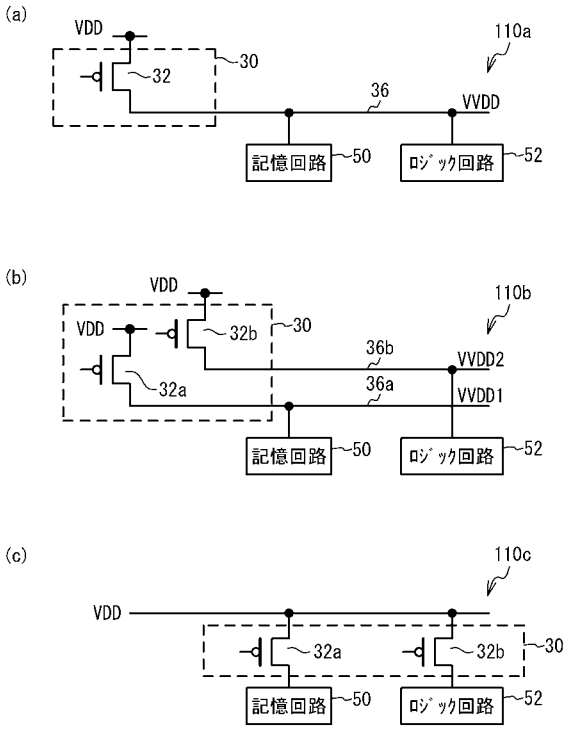
【図 17】



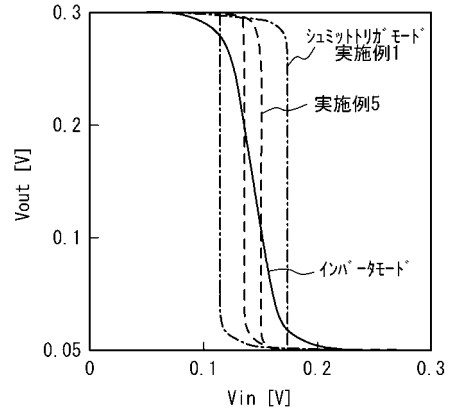
【図 18】



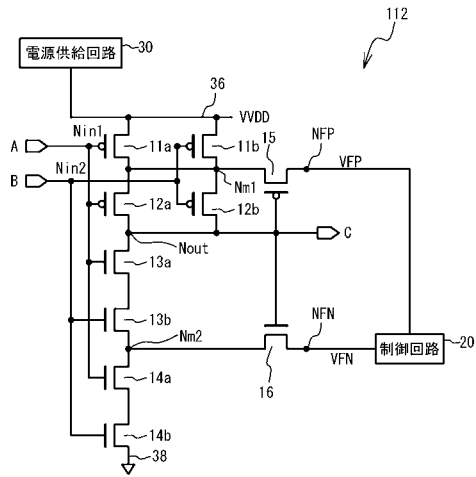
【図19】



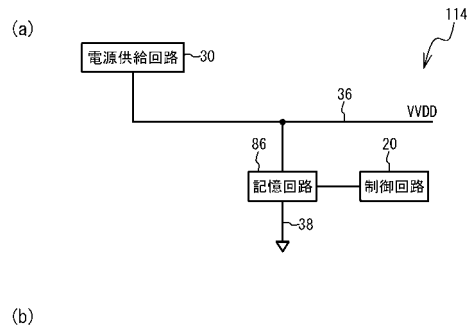
【図20】



【図21】



【図22】



モード	ヒスリシ	電源電圧	動作	
インバータモード	第2モード	なし	大	高速動作
シュミットリカモード	第3モード	小	中	低消費電力動作
	第1モード	大	小	低消費電力で保持

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2016/059453
A. CLASSIFICATION OF SUBJECT MATTER H03K3/353(2006.01)i, G11C11/412(2006.01)i, G11C11/413(2006.01)i, H03K3/356(2006.01)i, H03K5/08(2006.01)n According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03K3/353, G11C11/412, G11C11/413, H03K3/356, H03K5/08 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-185996 A (NEC IC Microcomputer Systems, Ltd.), 06 July 2001 (06.07.2001), paragraphs [0019] to [0059]; fig. 1, 2 (Family: none)	1-14
A	JP 2001-111409 A (Oki Micro Design Co., Ltd.), 20 April 2001 (20.04.2001), paragraphs [0014] to [0016]; fig. 3 & US 6359474 B1 column 6, line 1 to column 7, line 13; fig. 3	1-14
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 June 2016 (06.06.16)		Date of mailing of the international search report 14 June 2016 (14.06.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/059453

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-214962 A (Mitsubishi Electric Corp.), 06 August 1999 (06.08.1999), paragraphs [0028] to [0035]; fig. 1, 2 & US 6285213 B1 column 10, line 11 to column 13, line 13; fig. 1, 2	1-14
A	JP 57-005424 A (Oki Electric Industry Co., Ltd.), 12 January 1982 (12.01.1982), page 2, upper right column, line 20 to page 5, upper right column, line 12; fig. 2 to 5 (Family: none)	1-14
A	JP 9-223948 A (Sharp Corp.), 26 August 1997 (26.08.1997), paragraphs [0026] to [0033]; fig. 1, 2 (Family: none)	1-14

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 5 9 4 5 3	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K3/353(2006.01)i, G11C11/412(2006.01)i, G11C11/413(2006.01)i, H03K3/356(2006.01)i, H03K5/08(2006.01)n			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K3/353, G11C11/412, G11C11/413, H03K3/356, H03K5/08			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2001-185996 A (日本電気アイシーマイコンシステム株式会社) 2001.07.06, 段落 [0019] - [0059], 図1, 2 (ファミリーなし)	1-14	
A	JP 2001-111409 A (株式会社 沖マイクロデザイン) 2001.04.20, 段落 [0014] - [0016], 図3 & US 6359474 B1, 第6欄第1行-第7欄第13行, 図3	1-14	
A	JP 11-214962 A (三菱電機株式会社) 1999.08.06, 段落 [0028]	1-14	
☞ C欄の続きにも文献が列挙されている。		☞ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 06.06.2016		国際調査報告の発送日 14.06.2016	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) ▲高▼橋 義昭 電話番号 03-3581-1101 内線 3576	5W 4776

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 5 9 4 5 3
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	－ [0 0 3 5], 図 1 , 2 & US 6285213 B1, 第 1 0 欄第 1 1 行－第 1 3 欄第 1 3 行, 図 1 , 2	
A	JP 57-005424 A (沖電気工業株式会社) 1982.01.12, 第 2 頁右上欄 第 2 0 行－第 5 頁右上欄第 1 2 行, 第 2 － 5 図 (ファミリーなし)	1 - 1 4
A	JP 9-223948 A (シャープ株式会社) 1997.08.26, 段落 [0 0 2 6] － [0 0 3 3], 図 1 , 2 (ファミリーなし)	1 - 1 4

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。