

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-102482
(P2020-102482A)

(43) 公開日 令和2年7月2日(2020.7.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 F 17/04 (2006.01)	HO 1 F 17/04 A	5 E 0 7 0
HO 1 F 17/00 (2006.01)	HO 1 F 17/00 D	

審査請求 未請求 請求項の数 6 O L (全 12 頁)

<p>(21) 出願番号 特願2018-238097 (P2018-238097)</p> <p>(22) 出願日 平成30年12月20日 (2018.12.20)</p> <p>(出願人による申告) 平成30年度、国立研究開発法人科学技術振興機構「イノベーションハブ構築支援事業『太陽系フロンティア開拓による人類の生存圏・活動領域拡大に向けたオープンイノベーションハブ』」委託研究、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(71) 出願人 504180239 国立大学法人信州大学 長野県松本市旭三丁目1番1号</p> <p>(72) 発明者 水野 勉 長野県長野市若里四丁目17番1号 国立大学法人信州大学工学部内</p> <p>(72) 発明者 ト 穎剛 長野県長野市若里四丁目17番1号 国立大学法人信州大学工学部内</p> <p>Fターム(参考) 5E070 AA01 AB06 AB07 BA12 CB02 CB13</p>
---	---

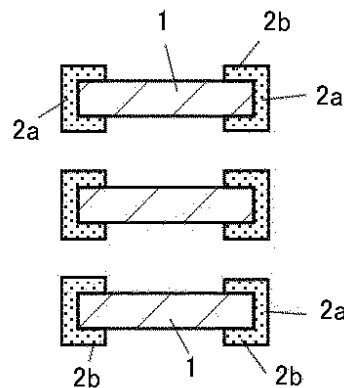
(54) 【発明の名称】 チップインダクタ

(57) 【要約】 (修正有)

【課題】チップインダクタのコイル導体で生じる、表皮効果や近接効果による高周波損失を低減し、低抵抗でQ値の高い高性能のチップインダクタを提供する。

【解決手段】チップインダクタは、矩形の断面形状を有するコイル導体1を備える配線層が、層間に非磁性材からなる絶縁層を介して積層され、コイル導体1がエッジワイズ状のコイルとして積層体中に埋設されたチップインダクタであって、前記コイル導体1の幅方向の両側面部と両端縁部が、コイル導体1の全長にわたり、磁性体2a、2bにより被覆されている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

矩形の断面形状を有するコイル導体を備える配線層が、層間に非磁性材からなる絶縁層を介して積層され、前記コイル導体がエッジワイズ状のコイルとして積層体中に埋設されたチップインダクタであって、

前記コイル導体の幅方向の両側面部と両端縁部が、コイル導体の全長にわたり、磁性体により被覆されていることを特徴とするチップインダクタ。

【請求項 2】

前記配線層に形成されたコイル導体が、層間でビアを介して電氣的に接続され、実質的にエッジワイズ状のコイルとして構成されていることを特徴とする請求項 1 記載のチップインダクタ。

10

【請求項 3】

前記コイル導体の両端縁部を被覆する縁部磁性体に挟まれた領域の中央部に巻線方向に通過する磁性被覆細線が設けられていることを特徴とする請求項 1 または 2 記載のチップインダクタ。

【請求項 4】

前記配線層の最外層の一巻分のコイル導体について、

隣接する配線層に対向するコイル導体の面上に、前記磁性被覆細線が設けられていることを特徴とする請求項 3 記載のチップインダクタ。

【請求項 5】

20

前記配線層の最外層の一巻分のコイル導体について、隣接する配線層と対向するコイル導体の表面とは反対面上に、当該反対面上のコイル導体の両端縁部を被覆する縁部磁性体に挟まれた領域の全域が非磁性絶縁体層により被覆され、

該非磁性絶縁体層の外面と前記縁部磁性体とを被覆する磁性被覆層が設けられていることを特徴とする請求項 3 または 4 記載のチップインダクタ。

【請求項 6】

前記コイル導体の幅方向の両端縁部を被覆する縁部磁性体が前記コイル導体を被覆する幅方向の範囲が、コイル導体の幅寸法の $0.1 \sim 0.2$ 倍に設定されていることを特徴とする請求項 1 ~ 5 のいずれか一項記載のチップインダクタ。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路に用いられるチップインダクタに関し、特に小型モバイル機器やノート型パソコンに代表される小型電子機器の通信部品や電源部品に使用されるチップインダクタに関する。

【背景技術】

【0002】

40

近年、小型モバイル機器やノート型パソコンに代表される小型電子機器のRF回路はマルチバンド化、多機能化、高機能化に伴い回路構成が複雑化している。そのため、搭載される部品の点数が増加し、個々の部品で発生する損失が小型電子機器全体の効率に大きく影響する。これに伴い、RF回路に使用されるインダクタは高Q値化が求められている。このQ値はインダクタのインダクタンスが高い、または抵抗が低いほど向上する。

【0003】

従来チップインダクタでは、例えば、特許文献 1 に記載されているように磁性体または絶縁体からなる絶縁層であるグリーンシート上に、金属ペーストからなる導体パターンをスクリーン印刷する。それによって導体パターンが形成された1層分のグリーンシート層が形成される。層間で導体パターンを接続することにより導体パターンが螺旋形のコイ

50

ルを形成するように個々のグリーンシート層の導体パターンをパターンニングし、これらのグリーンシート層を積層して圧着し、焼成することにより、積層体の内部にコイルが埋設されたチップインダクタが得られる。

【0004】

グリーンシートに磁性体を使うと、非磁性絶縁体を用いたグリーンシートにより形成されたチップインダクタよりもインダクタンスが向上し、Q値も向上する。しかしながら、グリーンシートに磁性体を使用すると、高周波では磁性体の損失が増加しQ値が低下する。そのため、高周波で使用するチップインダクタにはグリーンシートとして高周波特性に優れたセラミックを用いる。セラミックはフェライトよりも透磁率が低くインダクタンスも低下するが、抵抗も低下するため高周波においてはセラミックで封止されたチップインダクタの方がQ値が高くなる。

10

【0005】

しかし、高周波帯では表皮効果と近接効果と呼ばれる現象により、インダクタに流れる電流が導体端部に集中する。この表皮効果と近接効果は周波数が増加するに伴い、顕著に表れるために高周波帯のチップインダクタにおいて抵抗が大きくなる要因となっている。

【0006】

このような表皮効果や近接効果による抵抗増大の対策として、例えば、特許文献1には導体パターンを層間で接続するビアの位置を工夫することにより、ビアによって妨害される磁束の度合いを減少させることが記載されている。また、特許文献2では多層構造のオンチップインダクタにおいて、コイルの積層方向の中心部に近い配線層については、表皮効果による導体中の電流の偏りが他の層よりも大きく表れることから、中心部の配線層の厚さを薄くすることで表皮効果を抑制し、インダクタの抵抗を低減させることが記載されている。

20

また、特許文献3には、磁性体を導体における2つの端部をそれぞれ独立して覆う2つの覆い部に用いることで平角線における導体の電流密度を均一化し、表皮効果を低減することが記載されている。

【0007】

しかしながら、特許文献1～3は、チップインダクタの特性を部分的に改善させる方法であり、高周波帯においてチップインダクタのQ値を増大させ抵抗を低減させる方法としては十分とはいえない。

30

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2005-191191号公報

【特許文献2】特開2010-278400号公報

【特許文献3】特開2014-163828号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明は、上記事情に鑑み、小型電子機器のRF回路に用いられるチップインダクタの配線で生じる表皮効果や近接効果による高周波損失を低減して、低抵抗でQ値の高い高性能のチップインダクタを提供することを目的とする。

40

【課題を解決するための手段】

【0010】

本発明に係るチップインダクタは、矩形の断面形状を有するコイル導体を備える配線層が、層間に非磁性材からなる絶縁層を介して積層され、前記コイル導体がエッジワイズ状のコイルとして積層体中に埋設されたチップインダクタであって、前記コイル導体の幅方向の両側面部と両端縁部が、コイル導体の全長にわたり、磁性体により被覆されていることを特徴とする。

【0011】

50

また、前記配線層に形成されたコイル導体が、層間でビアを介して電氣的に接続することで、実質的にエッジワイズ状のコイルとして構成され、コイル導体と絶縁層とが積層された形態のチップインダクタとして提供される。

【0012】

また、前記コイル導体の両端縁部を被覆する縁部磁性体に挟まれた領域の中央部に巻線方向に通過する磁性被覆細線が設けられている構成は、内層のコイル導体から生じる磁束が外層のコイル導体に鎖交することを抑制し、コイルの交流抵抗を低減させるように作用することで、チップインダクタの抵抗を低減させ、Q値を向上させる点で有効である。

また、前記磁性被覆細線の構成として、前記配線層の最外層の一巻分のコイル導体について、隣接する配線層に対向するコイル導体の面上に設けた構成は、チップインダクタの抵抗を低減させ、Q値を向上させる上で有効である。なお、最外層とは配線層が積層された積層方向の最上層と最下層の双方を指す。

【0013】

また、前記配線層の最外層の一巻分のコイル導体について、隣接する配線層と対向するコイル導体の表面とは反対面上に、当該反対面上のコイル導体の両端縁部を被覆する縁部磁性体に挟まれた領域の全域が非磁性絶縁体層により被覆され、該非磁性絶縁体層の外面と前記縁部磁性体とを被覆する磁性被覆層が設けられていることにより、さらにチップインダクタの抵抗を低減させ、Q値を向上させることができる。

また、前記コイル導体の幅方向の両端縁部を被覆する縁部磁性体が前記コイル導体を被覆する幅方向の範囲が、コイル導体の幅寸法の0.1～0.2倍に設定されていることにより、チップインダクタの特性を効果的に向上させることができる。

【発明の効果】

【0014】

本発明に係るチップインダクタは、配線層が積層された積層構造として構成され、コイル導体の幅方向の両側面部と両端縁部が磁性体により被覆されていることにより、磁束が磁性体に誘導されコイル導体を迂回して分布し、表皮効果や近接効果による高周波損失を低減させ、低抵抗でQ値の高い高性能のチップインダクタとして提供することができる。

【図面の簡単な説明】

【0015】

【図1】第1～3の実施の形態に係るチップインダクタのコイルの平面図(a)、断面図(b)、斜視図(c)である。

【図2】第1の実施の形態に係るチップインダクタのコイル部分の断面図である。

【図3】第2の実施の形態に係るチップインダクタのコイル部分の断面図である。

【図4】第3の実施の形態に係るチップインダクタのコイル部分の断面図である。

【図5】実施例1～3のコイルの解析モデルの平面図である。

【図6】実施例1のコイルの解析モデルの断面図である。

【図7】実施例2のコイルの解析モデルの断面図である。

【図8】実施例3のコイルの解析モデルの断面図である。

【図9】実施例3のチップインダクタの特性（抵抗RのWv依存性）の解析結果を示すグラフである。

【図10】実施例3のチップインダクタの特性（インダクタンスLのWv依存性）の解析結果を示すグラフである。

【図11】実施例3のチップインダクタの特性（Q値のWv依存性）の解析結果を示すグラフである。

【図12】比較例1と実施例1～3のチップインダクタの特性（抵抗R）の解析結果を示すグラフである。

【図13】比較例1と実施例1～3のチップインダクタの特性（インダクタンスL）の解析結果を示すグラフである。

【図14】比較例1と実施例1～3のチップインダクタの特性（Q値）の解析結果を示すグラフである。

10

20

30

40

50

【図15】第1の実施の形態のチップインダクタについて磁束とコイル導体の電流密度を解析した結果を示すグラフである。

【図16】第2の実施の形態のチップインダクタについて磁束とコイル導体の電流密度を解析した結果を示すグラフである。

【発明を実施するための形態】

【0016】

本発明に係るチップインダクタは、グリーンシートに所定のパターンでコイル導体と磁性体を形成したグリーンシート層を積層し、層間でコイル導体をビア接続することで、コイル導体が全体としてエッジワイズ状のコイルとして形成され、積層体中に埋設されて形成されたものである。チップインダクタの大きさは0.2~1mm程度であり、コイル導体の導体幅は数十 μm 程度ときわめて微小である。

以下、本発明の実施の形態に係るチップインダクタについて、図面に基づいて説明するが、本発明はここで述べられる実施の形態に限定されるものではない。

【0017】

図1は、第1~3の実施形態に係るチップインダクタで、積層体中に埋設されるコイル部分の構成を示す。図1ではコイル導体に設ける磁性体と、コイル導体が支持される非磁性絶縁体の部分は図示していない。

図1(a)はコイルの平面図、図1(b)はA-A線断面図、図1(c)は斜視図である。

コイルは、矩形断面のコイル導体1が渦巻状に巻回された平面型のエッジワイズコイルである。第1~3の実施形態で示すコイルの巻数は3巻であるが本発明のチップインダクタはこの巻数に限定されない。コイル導体は、銀、アルミニウム、銅あるいはマンガン及びニッケルの合金等の金属からなる。

【0018】

実施形態のチップインダクタは、平面形状がL字形のコイル導体を一組として、長辺と短辺とを連結することにより平面形状が長方形の1ターンのコイル部分を構成したもので、L字形のコイル導体を形成したグリーンシート層を積層しながら、隣接層のコイル導体の端部をビアで接続することにより、エッジワイズ状のコイルとして構成される。

コイル導体を部分的に被覆する磁性体は、コイル導体に位置合わせしてグリーンシートに磁性材(磁性ペースト)を供給することにより形成することができる。

【0019】

<第1の実施の形態>

図2は、第1の実施形態に係るチップインダクタについて、その特徴的な構成部分を示すため、図1のB-B線断面図に相当する部位を示したものである。

第1の実施の形態のチップインダクタは、コイル導体1の幅方向の両側面部と両端縁部が、コイル導体1の全長にわたり、磁性体により被覆したものである。コイル導体1の幅方向の両側面部分を被覆する磁性体を側面磁性体2a、両端縁部を被覆する磁性体を縁部磁性体2bと称する。

側面磁性体2a及び縁部磁性体2bは、FeSiCrB等の鉄系アモルファス磁性粉を含有する磁性コンジット材料やフェライト、電磁鋼板、センダスト、パーマロイ、Ni系、Fe系の強磁性材料等で構成することができる。

【0020】

第1の実施の形態のチップインダクタでは、コイル導体1の両側面および両端縁上に側面磁性体2aと縁部磁性体2bが設けられているため、磁束が側面磁性体2aと縁部磁性体2bに誘導され、コイル導体1を迂回して分布ようになる。また、側面磁性体2aと縁部磁性体2bがコイル導体1の全周を覆わず、コイル導体1の断面の長辺の導体中央部表面が磁性体により覆われていないため、磁性体によってコイル導体1の全周を覆った場合と比べ、コイル導体1の長辺の表面における磁気抵抗が増大し、側面磁性体2aからコイル導体1を通過しコイル導体1の長辺表面を通る磁束を低減することができる。そのため、コイルの端部における磁束の集中を低減し、渦電流による電流密度の偏りを抑制することができる。

10

20

30

40

50

【0021】

このとき、コイル導体1の長辺における縁部磁性体2bの幅は、コイル導体1の幅の0.1~0.2倍であることが好ましい。縁部磁性体2bの幅をこのように設定することにより高い抵抗低減効果を得ることができる。この実験結果については後述する。

【0022】

<第2の実施の形態>

図3は、本発明に係るチップインダクタの第2の実施形態の特徴的構成部分を示す図であり、コイル断面とコイル導体を部分的に被覆する磁性体の構成を示す。本実施形態のチップインダクタにおいて側面磁性体2aと縁部磁性体2bの構成については第1の実施の形態と同様である。第2の実施の形態において特徴とする構成は、チップインダクタの最外層、すなわち最上層と最下層の配線層に磁性被覆細線2cを設けたことにある。

10

【0023】

磁性被覆細線2cは最上層の配線層については、隣接する配線層(下層の配線層)に対向するコイル導体1の表面(コイル導体の下面)に設け、最下層の配線層については、隣接する配線層(上層の配線層)に対向するコイル導体1の表面(コイル導体の上面)に設ける。

このように磁性被覆細線2cを、隣接層に対向するコイル導体1の一方の面に設ける理由は、最外層よりも内側に配置されている配線層のコイル導体1の周囲に生じる磁束が最外層の配線層のコイル導体1に鎖交することを抑制させるようにするためである。

【0024】

図15は第1の実施の形態のチップインダクタ、図16は磁性被覆細線2cを設けた第2の実施の形態のチップインダクタについて、コイルに通電したときに生じる磁束とコイル導体の電流密度について解析した結果を示す。図15に示す第1の実施の形態では、中間層のコイル導体から発生する磁束が上層と下層の配線層のコイル導体に鎖交するのに対し、図16に示す第2の実施の形態では、磁性被覆細線2cを設けたことにより、中間層のコイル導体から生じる磁束が上層と下層の配線層のコイル導体に鎖交することが抑制され、上層と下層のコイル導体の電流密度を低減させるように寄与している。

20

【0025】

磁性被覆細線2cは、図3に示すように、コイル導体1の一方の表面で縁部磁性体2bで挟まれた領域の幅方向の中央部に、縁部磁性体2bとは離間させて配置する。磁性被覆細線2cは下層のコイル導体から生じる磁束を抑制するようにするためのものであるから、ある程度の幅を確保する必要がある。

30

磁性被覆細線2cを設ける範囲はコイルの最外層でコイル導体が一周(1ターン)する範囲である。配線層を積層して形成するチップインダクタでは配線層が2層でコイルが1ターンとなるから、具体的には最外層とその内層の2層の配線層に磁性被覆細線2cを設ける。このように、本明細書において、磁性被覆細線2cを配線層に設けるという場合は、コイルの1ターンとなる範囲の配線層に設けることを意味する。

【0026】

図3に示した第2の実施の形態のチップインダクタは、コイルを3層構成(3ターン)とした例である。コイルを4ターン、5ターンといったように、より多層に構成する場合には、最外層のコイル導体に加えて、より内層の配線層のコイル導体にも磁性被覆細線2cを設けることが有効になる場合がある。例えば、5ターンのコイルの場合に、中央のコイル導体(3ターン目)を除き、第1、2ターンと、第4、5ターンのコイル導体に磁性被覆細線2cを設ける構成とすることもできる。この場合も、第2ターン、第4ターンのコイル導体については、第3ターンのコイル導体に対向するコイル導体の一方の面に磁性被覆細線2cを設ければよい。このように、磁性被覆細線2cを設ける配線層については、チップインダクタの設計により適宜選択することができる。

40

【0027】

<第3の実施の形態>

図4は、第3の実施形態に係るチップインダクタの特徴的構成部分を示す図である。本

50

実施形態のチップインダクタにおける側面磁性体 2 a 及び縁部磁性体 2 b と、コイル導体 1 の表面に設けた磁性被覆細線 2 c の構成については上述した第 2 の実施の形態における構成と同様である。本実施形態のチップインダクタにおいて、第 2 の実施の形態のチップインダクタと相違する構成は、最上層と最下層の配線層のコイル導体 1 について、磁性被覆細線 2 c を設けた面とは反対面上に非磁性絶縁体層 3 を設け、非磁性絶縁体層 3 の外面と縁部磁性体 2 b とを被覆する磁性被覆層 2 d を設けた点にある。

【0028】

非磁性絶縁体層 3 は隣接する配線層と対向するコイル導体 1 の表面とは反対面上で、コイル導体 1 の両端縁を被覆する縁部磁性体 2 b により挟まれたコイル導体 1 の表面の全域を被覆するように設ける。非磁性絶縁体層 3 は磁性被覆層 2 d をコイル導体 1 の表面から離間させて配置するためのものであり、縁部磁性体 2 b と同一程度の厚さに設ければよい。

非磁性絶縁体層 3 は、セラミック、SiO₂ やアルミナ、高分子樹脂材料等によって構成される。なお、非磁性絶縁体層 3 は、常磁性又は反磁性であって抵抗率が 10^8 m 以上の絶縁性の物質によって構成されればよく、空気等の気体（空隙とする）であってもよい。

【0029】

本実施形態のチップインダクタは、最外層の縁部磁性体 2 b によって挟まれた領域を非磁性絶縁体層 3 により被覆したことにより、側面磁性体 2 a からコイル導体 1 を通過し、コイル導体 1 の表面を幅方向に通る磁束を低減する第 1、第 2 の実施の形態と同様の作用効果を得ることができる。また、非磁性絶縁体層 3 を被覆するように磁性被覆層 2 d を設けることで、第 1、第 2 の実施の形態に比べて磁性体をより多く装荷したことにより、第 1、第 2 の実施の形態のチップインダクタと比べてインダクタンスを増加させることができ、チップインダクタの性能を表す Q 値を向上させることが可能となる。

【実施例】

【0030】

<シミュレーション解析モデル>

以下、本発明に係るチップインダクタを実施・適用した場合のシミュレーション結果について述べるが、本発明はここで述べられる適用例に限定されるものではない。

【0031】

本発明に係るチップインダクタのシミュレーションによる結果を説明する前に、まず、インダクタの特性（抵抗、インダクタンス、Q 値）について解析するためのシミュレーションモデルについて説明する。シミュレーション用の解析ソフトには、電磁解析ソフトウェアの ANSYS Maxwell（登録商標）を用いた。表 1 に解析の諸条件をまとめる。

【0032】

【表 1】

項目	内容
使用ソフト	ANSYS Maxwell Ver.19
解析方法	二次元交流磁界解析
解法	FEM(有限要素法)
幾何学モード	円筒座標系 (z 軸回転)
メッシュサイズ	1) 銅 : 表皮深さの 1/3 以下 2) 磁性層 : 自動 3) 空気 : 自動
解析領域	解析モデルの 10 倍の領域で解析
周波数	$f = 100$ MHz
電流	$I = 0.5$ A
材料	1) 導体 : ($\rho = 1.72 \times 10^{-8}$ Ωm, $\mu' = 0.999906$, $\mu'' = 0$) 2) 磁性体 : ($\mu' = 6$, $\mu'' = 0.1$) 3) 非磁性絶縁体 : ($\rho = \infty$ Ωm, $\mu' = 1$, $\mu'' = 0$)

10

20

30

40

50

【0033】

図5は、コイルの計算モデルを説明する図である。ただし、図5はコイル導体のみを示したもので、コイル導体に設ける磁性体については図示していない。コイル導体は、抵抗率 1.72×10^{-8} mの銅材を想定している。コイルは巻数が3回巻のエッジワイズコイルで円形巻とした。コイルの外径(直径)をOD、内径(直径)をIDとする。

【0034】

<チップインダクタへの適用>

本発明に係るチップインダクタの特性についてシミュレーション解析する際には、適用する磁性体の厚さやコイル導体上の長さをパラメータとしてコイル特性(抵抗、インダクタンス、Q値)を計算する。コイルの内径IDを0.43mm、外径ODを0.61mm、コイルに通電する交流電流の周波数を100MHzとした。

10

【0035】

図6は、チップインダクタの第1の実施の形態に対応する解析モデル1を示したもので、図5のA-A線断面図に相当する。図6ではコイル導体1に加えて側面磁性体2aと縁部磁性体2bをあわせて示す。図6においてコイル導体1の幅W1は60μm、コイル導体1の厚さD1は12μm、コイル導体1の層間の距離T1は24μmとした。また、側面磁性体2aの厚さと縁部磁性体2bの厚さをDv、縁部磁性体2bのコイル導体1の側面位置からの長さ(幅)をWvとした。

【0036】

図7は、チップインダクタの第2の実施の形態に対応する解析モデル2を示す。図7における解析モデルのコイル導体1の幅W1、コイル導体1の厚さD1、コイル導体1の層間距離T1は図6に示したモデルと同一である。また、側面磁性体2aの厚さ及び縁部磁性体2bの厚さをDv、縁部磁性体2bの幅をWvとした。また、コイル導体1の表面に設ける磁性被覆細線2cの幅を2Wvとした。磁性被覆細線2cの厚さはDvである。磁性被覆細線2cの幅を2Wvとしたのは、2層目のコイル導体の磁束が最上層と最下層のコイル導体に鎖交する作用を低減するには、コイル導体の表面をある程度の幅で被覆する必要があるからである。

20

【0037】

図8は、チップインダクタの第3の実施の形態に対応する解析モデル3を示す。図8において、コイル導体1の幅W1、コイル導体1の厚さD1、コイル導体1の層間距離T1は図6に示したモデルと同一である。また、側面磁性体2a、縁部磁性体2bの厚さをDv、縁部磁性体2bの幅をWv、磁性被覆細線2cの幅2Wv、磁性被覆細線2cの厚さDvについては実施の形態2と同一である。非磁性絶縁体層3の厚さDv、磁性被覆層2dの厚さをDvとした。

30

【0038】

<解析モデル3についての計算結果>

図9～図11は、チップインダクタの第3の実施の形態に対応する解析モデル3について、抵抗R、インダクタンスL及びQ値のWv依存性について解析した結果を示す。

【0039】

図9に示す抵抗値についての解析結果から、Dv = 7 μm以下とすると、すべてのDvの値に対して磁性体を配置しない場合と比較してインダクタの抵抗を下回ることが分かる。特に、コイル導体1の幅W1に対してWvが0.1～0.2倍のとき(Wvが5 μm以上10 μm以下のとき)における抵抗低減効果が顕著になることが分かる。

40

【0040】

図10に示すインダクタンスについての解析結果は、WvおよびDvの増加に伴い、磁性体を配置していない場合と比べてインダクタンスが増加することを示す。

【0041】

図11に示すQ値についての解析結果は、Q値はWvが10 μmのときそれぞれのDvの値に対し最大となり、DvとWvがともに10 μmの時に最大となる。また、WvとDvの値のいずれの場合においても、磁性体が配置されていないインダクタよりもQ値が向上することを示

50

す。

【0042】

<解析モデル1～3についての計算結果>

図6～8の解析モデル1～3（実施例1～3）について、抵抗R、インダクタンスL、Q値について解析した結果を図12～14に示す。

図中で比較例1とあるのは、図6に示す解析モデル1のコイルと同一形態で磁性体を配置していないコイルについての解析結果である。

図12～14には、比較例1、実施例1、実施例2、実施例3について、それぞれWvを10 μ m、Dvを7 μ mとしたときの計算結果を示す。

なお、Wvを5 μ m、10 μ m、15 μ mとし、Dvを5 μ m、7 μ m、10 μ mとして、Q値を計算した結果、実施例1、実施例2についてはWvを10 μ m、Dvを7 μ m、実施例3についてはDvとWvがともに10 μ mとした場合が最もQ値が高くなった。

10

【0043】

図12～14に示す計算結果は、コイルに磁性体を設けていない比較例1と比較して、磁性体を設けた実施例1～3は、いずれも抵抗が低減し、インダクタンスが増加し、Q値が向上することを示し、コイルに磁性体を設けることで特性が改善することを示している。

また、図14に示す計算結果は、実施例3は、実施例1、実施例2と比較してより高いQ値が得られ、チップインダクタとしての特性がさらに改善されることを示す。

【産業上の利用可能性】

20

【0044】

本発明に係るチップインダクタは、小型モバイル機器のRF回路やDC/DCコンバータ等の電源におけるインダクタに利用可能である。

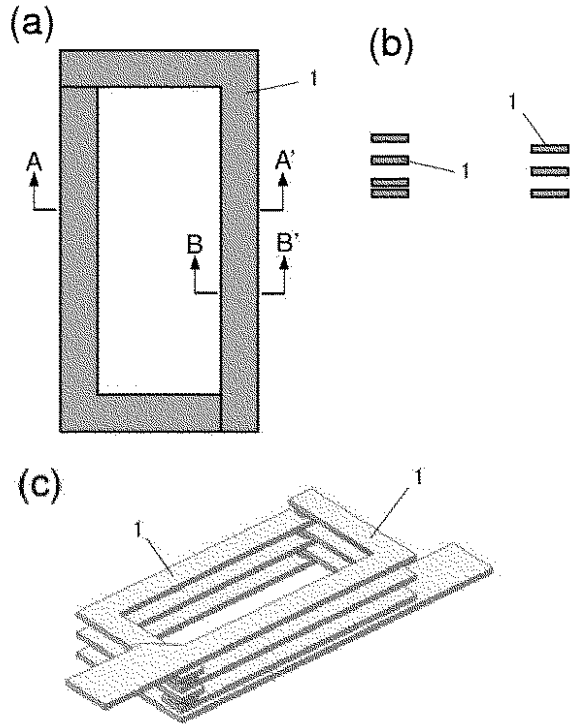
【符号の説明】

【0045】

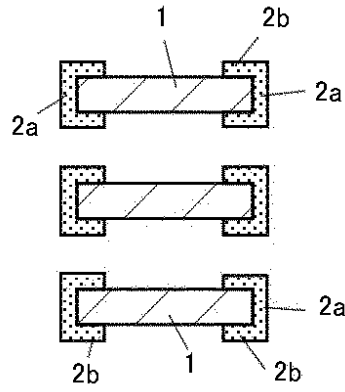
- 1 コイル導体
- 2 a 側面磁性体
- 2 b 縁部磁性体
- 2 c 磁性被覆細線
- 2 d 磁性被覆層
- 3 非磁性絶縁体層

30

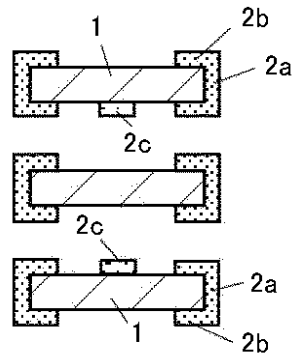
【 図 1 】



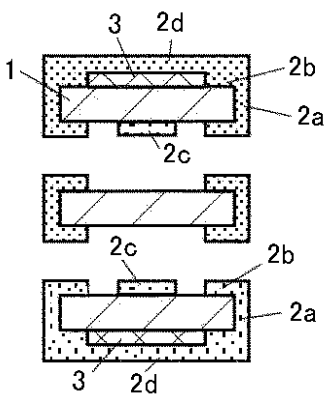
【 図 2 】



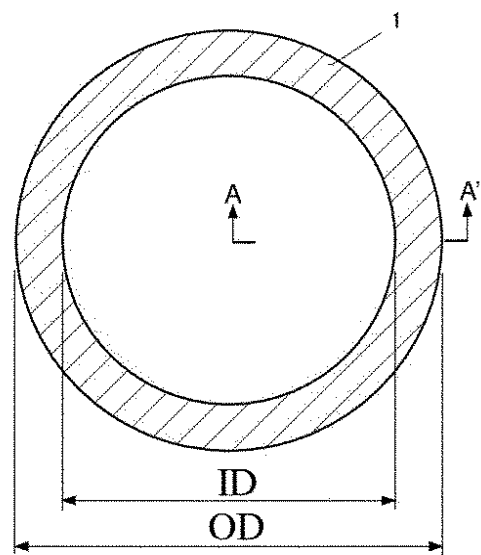
【 図 3 】



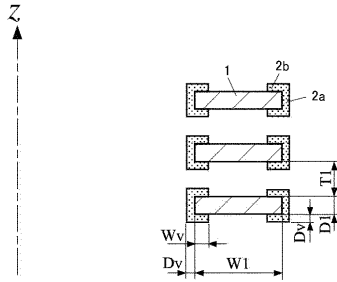
【 図 4 】



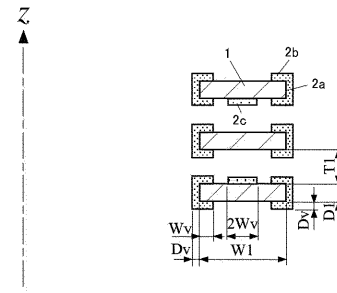
【 図 5 】



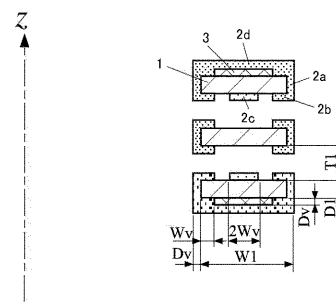
【図 6】



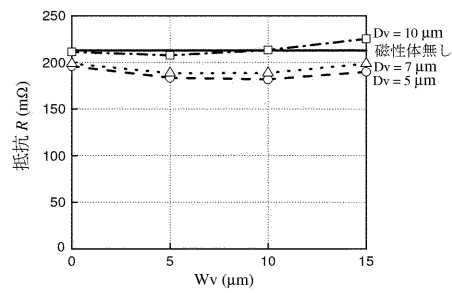
【図 7】



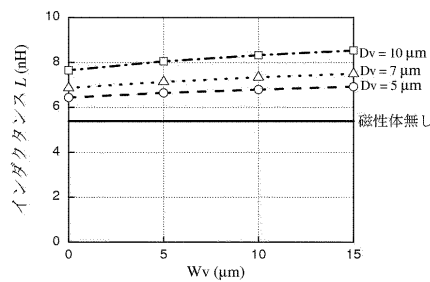
【図 8】



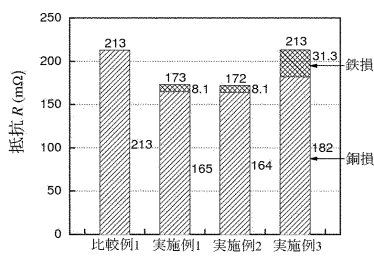
【図 9】



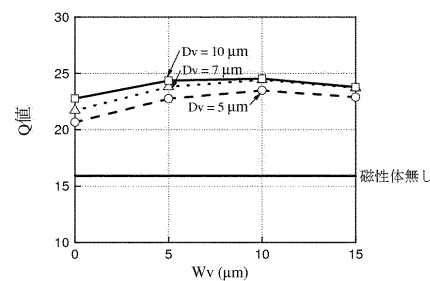
【図 10】



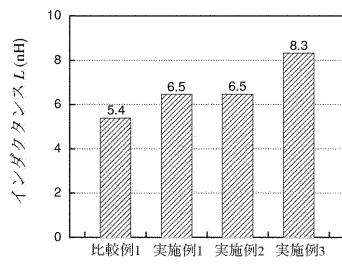
【図 12】



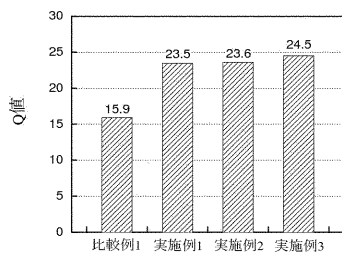
【図 11】



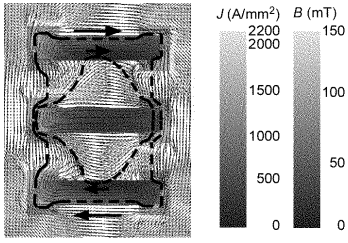
【図 13】



【図 14】



【 図 1 5 】



【 図 1 6 】

