

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02017/200088

発行日 平成31年3月22日 (2019. 3. 22)

(43) 国際公開日 平成29年11月23日 (2017. 11. 23)

(51) Int.Cl.

G06N 3/063 (2006.01)

F I

G06N 3/063

テーマコード (参考)

審査請求 未請求 予備審査請求 未請求 (全 49 頁)

出願番号	特願2018-518385 (P2018-518385)	(71) 出願人	504173471 国立大学法人北海道大学 北海道札幌市北区北8条西5丁目
(21) 国際出願番号	PCT/JP2017/018836	(74) 代理人	110000958 特許業務法人 インテクト国際特許事務所
(22) 国際出願日	平成29年5月19日 (2017. 5. 19)	(74) 代理人	100120189 弁理士 奥 和幸
(31) 優先権主張番号	特願2016-100694 (P2016-100694)	(74) 代理人	100173510 弁理士 美川 公司
(32) 優先日	平成28年5月19日 (2016. 5. 19)	(72) 発明者	本村 真人 北海道札幌市北区北8条西5丁目 国立大 学法人北海道大学内
(33) 優先権主張国	日本国 (JP)		
(31) 優先権主張番号	特願2016-222275 (P2016-222275)		
(32) 優先日	平成28年11月15日 (2016. 11. 15)		
(33) 優先権主張国	日本国 (JP)		

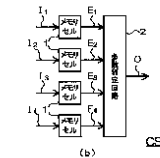
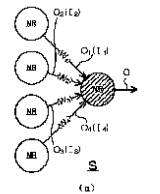
最終頁に続く

(54) 【発明の名称】 ニューラルネットワーク回路及びニューラルネットワーク集積回路

(57) 【要約】

回路規模及びコストを大幅に縮小しつつ、効率的且つ多様性を有するニューラルネットワーク回路を提供する。

1ビットの入力データIと重み付け係数Wとを乗算する乗算機能を実現し且つ入力データIと同数のメモリセル1と、各メモリセル1における乗算結果を加算し且つ当該加算結果に活性化関数を適用して1ビットの出力データを出力する加算/適用機能を実現する多数判定回路2と、を備える。各メモリセル1は、「1」又は「0」である重み付け係数、或いは「NC」のいずれかを記憶し、入力データI = 記憶値の場合に「1」を出力し、入力データIの値 記憶値の場合に「0」を出力し、「NC」が記憶されている場合にはそれを出力する。多数判定回路2は、「1」を出力するメモリセル1の総数と「0」を出力するメモリセル1の総数とに基づいて「1」又は「0」を出力する。



記憶値	入力データ I	出力データ E
0	0	1
0	1	0
1	0	0
1	1	1
NC	x	NC

FIG. 2: 1. Memory cell, 2. Majority determination circuit. I: Input data, E: Output data, AA: Global value.

【特許請求の範囲】**【請求項 1】**

各々が 1 ビットである入力データと重み付け係数とを乗算する乗算機能を実現する複数の第 1 回路部と、各前記第 1 回路部における乗算結果を加算し且つ当該加算結果に活性化関数を適用して 1 ビットの出力データを出力する加算 / 適用機能を実現する第 2 回路部と、を備えるニューラルネットワーク回路であって、

各前記第 1 回路部はそれぞれ、

「 1 」又は「 0 」である前記重み付け係数、或いは予め設定された所定値のいずれかを記憶する記憶部と、

前記記憶部に前記重み付け係数が記憶されている場合における当該重み付け係数と前記入力データの値とが一致する場合に前記入力データの入力タイミングに対応したタイミングで「 1 」を出力し、当該重み付け係数と前記入力データの値とが異なる場合に前記入力データの入力タイミングに対応したタイミングで「 0 」を出力し、前記記憶部に前記所定値が記憶されている場合に前記入力データの入力タイミングに対応したタイミングで当該所定値を出力する出力部と、

を備え、

前記第 2 回路部は、「 1 」を出力する前記第 1 回路部の総数と、「 0 」を出力する前記第 1 回路部の総数と、の差に基づいて、前記出力データとして「 1 」又は「 0 」を出力することを特徴とするニューラルネットワーク回路。

【請求項 2】

請求項 1 に記載のニューラルネットワーク回路において、

前記第 2 回路部は、「 1 」を出力する前記第 1 回路部の前記総数と「 0 」を出力する前記第 1 回路部の前記総数との前記差が予め定められた閾値以上の場合に「 1 」を前記出力データとして出力し、前記差が前記閾値未満の場合に「 0 」を前記出力データとして出力することを特徴とするニューラルネットワーク回路。

【請求項 3】

請求項 2 に記載のニューラルネットワーク回路において、

複数の前記入力データと同数の前記第 1 回路部を備え、

前記入力データの数及び前記第 1 回路部の数が、前記ニューラルネットワーク回路によりモデル化される脳機能に基づいて予め設定された数であることを特徴とするニューラルネットワーク回路。

【請求項 4】

前記入力データがそれぞれ入力される前記第 1 回路部の数が n (n は 2 以上の自然数) である請求項 3 に記載のニューラルネットワーク回路を m 個 (m は 2 以上の自然数) 備え、

各前記ニューラルネットワーク回路に対して n 個の前記入力データが並列且つ共通に入力され、各前記ニューラルネットワーク回路から前記出力データをそれぞれ出力することを特徴とするニューラルネットワーク集積回路。

【請求項 5】

前記 n と前記 m とが等しい請求項 4 に記載のニューラルネットワーク集積回路が直列に複数接続されてなり、

一の前記ニューラルネットワーク集積回路からの前記出力データが、当該ニューラルネットワーク集積回路の直後に接続された他の前記ニューラルネットワーク集積回路における前記入力データとされていることを特徴とするニューラルネットワーク集積回路。

【請求項 6】

請求項 4 に記載のニューラルネットワーク集積回路を k 個 (k は 2 以上の自然数) 備え、

各前記ニューラルネットワーク集積回路に対して前記 n 個の前記入力データが並列且つ共通に入力され、各前記ニューラルネットワーク集積回路から前記 m 個の前記出力データを並列にそれぞれ出力することを特徴とするニューラルネットワーク集積回路。

10

20

30

40

50

【請求項 7】

複数の請求項 4 に記載のニューラルネットワーク集積回路と、
各前記ニューラルネットワーク集積回路をアレイ状に且つ相互に接続して各前記ニューラルネットワーク集積回路に対する前記入力データ及び前記出力データを切り換えるスイッチ部であって、前記脳機能に対応して当該スイッチ部における切換動作が予め設定されているスイッチ部と、
を備えることを特徴とするニューラルネットワーク集積回路。

【請求項 8】

請求項 2 に記載のニューラルネットワーク回路において、
前記重み付け係数が、当該ニューラルネットワーク回路によりモデル化される脳機能に対応して予め設定されており、

前記記憶部は、
前記重み付け係数を記憶して前記出力部に出力する第 1 記憶部と、
前記脳機能に対応して予め設定された前記所定値を記憶して前記出力部に出力する第 2 記憶部と、
により構成されており、

前記出力部は、前記第 1 記憶部から出力される前記重み付け係数と前記入力データの値とが一致する場合に前記入力データの入力タイミングに対応したタイミングで「1」を出力し、前記出力される重み付け係数と前記入力データの値とが異なる場合に前記入力データの入力タイミングに対応したタイミングで「0」を出力し、前記第 2 記憶部から前記所定値が出力された場合に前記入力データの入力タイミングに対応したタイミングで当該所定値を出力することを特徴とするニューラルネットワーク回路。

【請求項 9】

請求項 8 に記載のニューラルネットワーク回路において、
前記加算 / 適用機能における加算機能として、前記脳機能に対応して予め設定され且つ当該脳機能としての傾向をニューロンごとに示す整数である傾向係数であって、絶対値が 0 以上且つ前記入力データの数以下である傾向係数が、各前記乗算結果の加算結果に対して更に加算されるべき場合、当該傾向係数の絶対値に等しい数のいずれかの前記第 1 回路部に当該傾向係数が分けて入力されており、

当該傾向係数が分けて入力されている前記第 1 回路部は、前記所定値に応じて、各前記乗算結果の加算結果に対する当該傾向係数の更なる加算結果を前記第 2 回路部に出力し、
前記第 2 回路部は、前記傾向係数の更なる加算結果を各前記第 1 回路部について加算した合計値が正又は 0 であるとき「1」を前記出力データとして出力し、当該合計値が負であるとき「0」を前記出力データとして出力することを特徴とするニューラルネットワーク回路。

【請求項 10】

請求項 8 に記載のニューラルネットワーク回路において、
前記脳機能に対応して予め設定され且つ当該脳機能としての傾向をニューロンごとに示す整数である傾向係数であって、絶対値が 0 以上且つ前記入力データの数以下である傾向係数を記憶する傾向係数記憶部を更に備え、

前記第 2 回路部は、各前記第 1 回路部からの前記乗算結果の加算結果に対して前記所定値に応じて前記傾向係数を更に加算した合計値が正又は 0 であるとき「1」を前記出力データとして出力し、当該合計値が負であるとき「0」を前記出力データとして出力することを特徴とするニューラルネットワーク回路。

【請求項 11】

請求項 8 に記載のニューラルネットワーク回路において、
前記入力データの数が一であり、
前記出力データ、前記第 1 記憶部、前記第 2 記憶部、前記第 1 回路部及び前記第 2 回路部それぞれの数が、前記脳機能に対応して予め設定された二以上の数であり、
前記重み付け係数及び前記所定値のそれぞれが前記脳機能に対応して予め設定された値

であり、

各前記第 1 回路部の前記出力部は、各前記出力データにそれぞれ対応する前記重み付け係数と前記入力データとに基づいて前記乗算結果を前記出力データごとにそれぞれ出力し、

各前記第 2 回路部は、

前記所定値が前記予め設定された値である場合において、「1」である前記乗算結果の総数から「0」である前記乗算結果の総数を減じた値が前記閾値以上であるとき、「1」を前記出力データとして出力し、前記所定値が前記予め設定された値である場合において、前記減じた値が前記閾値未満であるとき、「0」を前記出力データとして出力することを特徴とするニューラルネットワーク回路。

10

【請求項 1 2】

請求項 8 に記載のニューラルネットワーク回路において、

前記出力データ及び前記第 2 回路部の数がそれぞれ一であり、

前記入力データ、前記第 1 記憶部、前記第 2 記憶部及び前記第 1 回路部それぞれの数が、前記脳機能に対応して予め設定された二以上の数であり、

前記重み付け係数及び前記所定値のそれぞれが前記脳機能に対応した値であり、

各前記第 1 回路部は、各前記入力データにそれぞれ対応する前記重み付け係数と当該各入力データとに基づいて各前記乗算結果を当該入力データごとにそれぞれ出力し、

前記第 2 回路部は、

前記所定値が前記予め設定された値である場合において、「1」である前記乗算結果の総数から「0」である前記乗算結果の総数を減じた値が前記閾値以上であるとき、「1」を前記出力データとして出力し、前記所定値が前記予め設定された値である場合において、前記減じた値が前記閾値未満であるとき、「0」を前記出力データとして出力することを特徴とするニューラルネットワーク回路。

20

【請求項 1 3】

請求項 1 1 に記載のニューラルネットワーク回路と、

請求項 1 2 に記載のニューラルネットワーク回路と、

を備え、

一の入力データが入力される請求項 1 1 に記載の前記ニューラルネットワーク回路から出力される各出力データがそれぞれ、請求項 1 2 に記載の前記ニューラルネットワーク回路における各入力データとされており、

30

請求項 1 2 に記載の前記ニューラルネットワーク回路から一の出力データを出力することを特徴とするニューラルネットワーク集積回路。

【請求項 1 4】

請求項 1 3 に記載のニューラルネットワーク集積回路において、

請求項 1 1 に記載のニューラルネットワーク回路と請求項 1 2 に記載の前記ニューラルネットワーク回路との間にレジスタ部を更に備え、

当該レジスタ部は、請求項 1 1 に記載のニューラルネットワーク回路から出力される各出力データを一基準クロック分だけバッファリングし、請求項 1 2 に記載の前記ニューラルネットワーク回路における各入力データとして請求項 1 2 に記載の当該ニューラルネットワーク回路に出力することを特徴とするニューラルネットワーク集積回路。

40

【請求項 1 5】

複数の請求項 1 3 に記載のニューラルネットワーク集積回路が直列に接続されており、

一の当該ニューラルネットワーク集積回路からの一の前記出力データが、直後段の当該ニューラルネットワーク集積回路への一の前記入力データとされていることを特徴とするニューラルネットワーク集積回路。

【請求項 1 6】

複数の請求項 1 3 に記載のニューラルネットワーク集積回路を備え、

当該複数の請求項 1 3 に記載のニューラルネットワーク集積回路のそれぞれに対して一の前記入力データが共通に入力されており、

50

当該複数の請求項 1 3 に記載のニューラルネットワーク集積回路からそれぞれ別個に前記出力データが必ず出力されることを特徴とするニューラルネットワーク集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ニューラルネットワーク回路及びニューラルネットワーク集積回路の技術分野に属する。より詳細には、複数の入力データと重み付け係数とをそれぞれ乗算する乗算機能と、各乗算結果を加算しその加算結果に活性化関数を適用して出力する加算/適用機能と、を有するニューラルネットワーク回路、及び当該ニューラルネットワーク回路を複数備えるニューラルネットワーク集積回路の技術分野に属する。

10

【背景技術】

【0002】

近年、人の脳機能をモデル化した、いわゆるニューラルネットワーク回路についての研究開発が行われている。このとき、従来のニューラルネットワーク回路としては、例えば浮動小数点又は固定小数点を使った積和演算を用いて実現される場合が多く、この場合には、例えば演算コストが大きく、処理負荷が高いという問題点があった。

【0003】

そこで近年、上記入力データ及び上記重み付け係数をそれぞれ 1 ビットとする、いわゆる「バイナリニューラルネットワーク回路」のアルゴリズムが提案されている。ここで、上記バイナリニューラルネットワーク回路のアルゴリズムを示す先行技術文献としては、

20

例えば下記非特許文献 1 及び非特許文献 2 が挙げられる。

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】「XNOR-Net: ImageNet Classification Using Binary Convolutional Neural Networks」論文、Mohammad Rastegari 他、arXiv:1603.05279v2 [cs.CV、2016年 4 月 19 日 (URL: 1495159321498_0.05279)

【非特許文献 2】「Binarized Neural Networks: Training Neural Networks with Weights and Activations Constrained to +1 or -1」論文、Matthieu Courbariaux 他、arXiv:1602.02830v3 [cs.LG]、2016年 3 月 17 日 (URL: 1495159321498_1.02830)

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上述したいずれの非特許文献においても、当該論文記載の理論を具体的にどのように実現するかについては、全く記載されていない。また、各論文記載の理論により単位演算コストが大幅に下がることを利用して並列演算を可能にしたいが、そのためのハードウェア構成も未知である。更に、各論文記載の理論を用いた多様な構造を持つニューラルネットワーク回路をどのように実現するかについても検討する余地がある。

【0006】

そこで本発明は、上記の各問題点及び要請等に鑑みて為されたもので、その課題の一例は、上記バイナリニューラルネットワーク回路のアルゴリズムを用いて、回路規模及びそれに対応するコストを大幅に縮小しつつ、効率的且つ多様性を有するニューラルネットワーク回路、及び当該ニューラルネットワーク回路を備えるニューラルネットワーク集積回路を提供することにある。

40

【課題を解決するための手段】

【0007】

上記の課題を解決するために、請求項 1 に記載の発明は、各々が 1 ビットである入力データと重み付け係数とを乗算する乗算機能を実現する複数のメモリセル等の第 1 回路部と、各前記第 1 回路部における乗算結果を加算し且つ当該加算結果に活性化関数を適用して 1 ビットの出力データを出力する加算/適用機能を実現する多数判定回路等の第 2 回路部

50

と、を備えるニューラルネットワーク回路であって、各前記第1回路部はそれぞれ、「1」又は「0」である前記重み付け係数、或いは予め設定された所定値のいずれかを記憶する記憶部と、前記記憶部に前記重み付け係数が記憶されている場合における当該重み付け係数と前記入力データの値とが一致する場合に前記入力データの入力タイミングに対応したタイミングで「1」を出力し、当該重み付け係数と前記入力データの値とが異なる場合に前記入力データの入力タイミングに対応したタイミングで「0」を出力し、前記記憶部に前記所定値が記憶されている場合に前記入力データの入力タイミングに対応したタイミングで当該所定値を出力する出力部と、を備え、前記第2回路部は、「1」を出力する前記第1回路部の総数と、「0」を出力する前記第1回路部の総数と、の差に基づいて、前記出力データとして「1」又は「0」を出力するように構成される。

10

【0008】

請求項1に記載の発明によれば、ニューラルネットワーク回路の乗算機能を実現する第1回路部のそれぞれが、「1」又は「0」である重み付け係数、或いは所定値のいずれかを記憶する記憶部と、入力データの値 = 記憶値の場合に「1」を出力し、入力データの値記憶値の場合に「0」を出力し、所定値が記憶されている場合にいずれの値の入力データでもその所定値を出力する出力部と、を備える。一方、ニューラルネットワーク回路の加算/適用機能を実現する第2回路部が、「1」を出力する第1回路部の総数と、「0」を出力する第1回路部の総数と、の差に基づいて出力データとして「1」又は「0」を出力する。よって、記憶部と出力部とをそれぞれに備える複数の第1回路部により乗算機能を実現し、第2回路部により加算/適用機能を実現するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、ニューラルネットワーク回路を効率的に実現することができる。

20

【0009】

上記の課題を解決するために、請求項2に記載の発明は、請求項1に記載のニューラルネットワーク回路において、前記第2回路部は、「1」を出力する前記第1回路部の前記総数と「0」を出力する前記第1回路部の前記総数との前記差が予め定められた閾値以上の場合に「1」を前記出力データとして出力し、前記差が前記閾値未満の場合に「0」を前記出力データとして出力するように構成される。

【0010】

請求項2に記載の発明によれば、請求項1に記載の発明の作用に加えて、第2回路部が、「1」を出力する第1回路部の総数と「0」を出力する第1回路部の総数との差が予め定められた閾値以上の場合に「1」を出力データとして出力し、当該差が閾値未満の場合に「0」を出力データとして出力する。よって、回路規模及びそれに対応するコストをより縮小しつつ、ニューラルネットワーク回路を効率的に実現することができる。

30

【0011】

上記の課題を解決するために、請求項3に記載の発明は、請求項2に記載のニューラルネットワーク回路において、複数の前記入力データと同数の前記第1回路部を備え、前記入力データの数及び前記第1回路部の数が、前記ニューラルネットワーク回路によりモデル化される脳機能に基づいて予め設定された数であるように構成される。

【0012】

請求項3に記載の発明によれば、請求項2に記載の発明の作用に加えて、複数の入力データと同数の第1回路部を備え、入力データの数及び第1回路部の数が、ニューラルネットワーク回路によりモデル化される脳機能に基づいて予め設定された数であるので、脳機能をよりの確にモデル化したニューラルネットワーク回路を効率的に実現することができる。

40

【0013】

上記の課題を解決するために、請求項4に記載の発明は、前記入力データがそれぞれ入力される前記第1回路部の数が n (n は2以上の自然数)である請求項3に記載のニューラルネットワーク回路を m 個 (m は2以上の自然数)備え、各前記ニューラルネットワーク回路に対して n 個の前記入力データが並列且つ共通に入力され、各前記ニューラルネッ

50

トワーク回路から前記出力データをそれぞれ出力するように構成される。

【0014】

請求項4に記載の発明によれば、第1回路部の数が n である請求項3に記載のニューラルネットワーク回路を m 個備え、各ニューラルネットワーク回路に対して n 個の入力データが並列且つ共通に入力され、各ニューラルネットワーク回路から出力データがそれぞれ出力される。よって、入力 n ビットであり出力が m ビットである $n \times m$ のニューラルネットワーク集積回路を、回路規模及びそれに対応するコストを大幅に縮小しつつ効率的に実現することができる。

【0015】

上記の課題を解決するために、請求項5に記載の発明は、前記 n と前記 m とが等しい請求項4に記載のニューラルネットワーク集積回路が直列に複数接続されてなり、一の前記ニューラルネットワーク集積回路からの前記出力データが、当該ニューラルネットワーク集積回路の直後に接続された他の前記ニューラルネットワーク集積回路における前記入力データとされているように構成される。

10

【0016】

請求項5に記載の発明によれば、 n と m とが等しい請求項4に記載のニューラルネットワーク集積回路が直列に接続され、一のニューラルネットワーク集積回路からの出力データが、当該ニューラルネットワーク集積回路の直後に接続され他のニューラルネットワーク集積回路における入力データとされている。よって、入力及び出力が共に並列型であるニューラルネットワーク集積回路を、回路規模及びそれに対応するコストを大幅に縮小しつつ効率的に実現することができる。

20

【0017】

上記の課題を解決するために、請求項6に記載の発明は、請求項4に記載のニューラルネットワーク集積回路を k 個(k は2以上の自然数)備え、各前記ニューラルネットワーク集積回路に対して前記 n 個の前記入力データが並列且つ共通に入力され、各前記ニューラルネットワーク集積回路から前記 m 個の前記出力データを並列にそれぞれ出力するように構成される。

【0018】

請求項6に記載の発明によれば、請求項4に記載のニューラルネットワーク集積回路を k 個備え、各ニューラルネットワーク集積回路に対して n 個の入力データが並列且つ共通に入力され、各ニューラルネットワーク集積回路から m 個の出力データを並列にそれぞれ出力する。よって、入力及び出力が共に並列型であり且つ出力データ数が入力データ数より多いニューラルネットワーク集積回路を、回路規模及びそれに対応するコストを大幅に縮小しつつ効率的に実現することができる。

30

【0019】

上記の課題を解決するために、請求項7に記載の発明は、複数の請求項4に記載のニューラルネットワーク集積回路と、各前記ニューラルネットワーク集積回路をアレイ状に且つ相互に接続して各前記ニューラルネットワーク集積回路に対する前記入力データ及び前記出力データを切り換えるスイッチ部であって、前記脳機能に対応して当該スイッチ部における切換動作が予め設定されているスイッチ部と、を備える。

40

【0020】

請求項7に記載の発明によれば、請求項4に記載のニューラルネットワーク集積回路を複数備え、各ニューラルネットワーク集積回路をアレイ状に且つ相互に接続するスイッチ部により、各ニューラルネットワーク集積回路に対する入力データ及び出力データが切り換えられる。そして、スイッチ部における切換動作が、対応すべき脳機能に基づいて既定されている。よって、大規模なニューラルネットワーク集積回路を、対応するコストを大幅に縮小しつつ効率的に実現することができる。

【0021】

上記の課題を解決するために、請求項8に記載の発明は、請求項2に記載のニューラルネットワーク回路において、前記重み付け係数が、当該ニューラルネットワーク回路によ

50

りモデル化される脳機能に対応して予め設定されており、前記記憶部は、前記重み付け係数を記憶して前記出力部に出力する第1記憶部と、前記脳機能に対応して予め設定された前記所定値を記憶して前記出力部に出力する第2記憶部と、により構成されており、前記出力部は、前記第1記憶部から出力される前記重み付け係数と前記入力データの値とが一致する場合に前記入力データの入力タイミングに対応したタイミングで「1」を出力し、前記出力される重み付け係数と前記入力データの値とが異なる場合に前記入力データの入力タイミングに対応したタイミングで「0」を出力し、前記第2記憶部から前記所定値が出力された場合に前記入力データの入力タイミングに対応したタイミングで当該所定値を出力するように構成される。

【0022】

請求項8に記載の発明によれば、請求項2に記載の発明の作用に加えて、脳機能に対応し且つ各1ビットの入力データ及び出力データがそれぞれ入出力されるニューラルネットワーク回路における乗算機能を第1記憶部、第2記憶部及び第1回路部により実現し、更に当該ニューラルネットワーク回路における加算/適用機能を第2回路部により実現するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、人の脳機能をモデル化したニューラルネットワーク回路を効率的に実現することができる。

【0023】

上記の課題を解決するために、請求項9に記載の発明は、請求項8に記載のニューラルネットワーク回路において、前記加算/適用機能における加算機能として、前記脳機能に対応して予め設定され且つ当該脳機能としての傾向をニューロンごとに示す整数である傾向係数であって、絶対値が0以上且つ前記入力データの数以下である傾向係数が、各前記乗算結果の加算結果に対して更に加算されるべき場合、当該傾向係数の絶対値に等しい数のいずれかの前記第1回路部に当該傾向係数が分けて入力されており、当該傾向係数が分けて入力されている前記第1回路部は、前記所定値に応じて、各前記乗算結果の加算結果に対する当該傾向係数の更なる加算結果を前記第2回路部に出力し、前記第2回路部は、前記傾向係数の更なる加算結果を各前記第1回路部について加算した合計値が正又は0であるとき「1」を前記出力データとして出力し、当該合計値が負であるとき「0」を前記出力データとして出力するように構成される。

【0024】

請求項9に記載の発明によれば、請求項8に記載の発明の作用に加えて、脳機能に対応した既定の傾向係数が各乗算結果の加算結果に対して更に加算されるべき場合、当該傾向係数の絶対値に等しい数のいずれかの第1回路部に当該傾向係数が分けて入力される。そして上記所定値に応じて、各乗算結果の加算結果に対する当該傾向係数の更なる加算結果が第1回路部から第2回路部に出力される。これらにより、傾向係数の更なる加算結果を各第1回路部について加算した合計値が正又は0であるとき「1」が出力データとして第2回路部から出力され、当該合計値が負であるとき「0」が出力データとして第2回路部から出力される。よって、脳機能に基づく既定の傾向係数が導入されるべき場合であっても、回路規模及びそれに対応するコストを大幅に縮小しつつ、人の脳機能に対応したニューラルネットワーク回路を効率的に実現することができる。

【0025】

上記の課題を解決するために、請求項10に記載の発明は、請求項8に記載のニューラルネットワーク回路において、前記脳機能に対応して予め設定され且つ当該脳機能としての傾向をニューロンごとに示す整数である傾向係数であって、絶対値が0以上且つ前記入力データの数以下である傾向係数を記憶する傾向係数記憶部を更に備え、前記第2回路部は、各前記第1回路部からの前記乗算結果の加算結果に対して前記所定値に応じて前記傾向係数を更に加算した合計値が正又は0であるとき「1」を前記出力データとして出力し、当該合計値が負であるとき「0」を前記出力データとして出力するように構成される。

【0026】

請求項10に記載の発明によれば、請求項8に記載の発明の作用に加えて、脳機能に対応した規定の傾向係数が記憶されており、各第1回路部からの乗算結果の加算結果に対し

10

20

30

40

50

て所定値に応じて傾向係数を更に加算した合計値が正又は0であるとき「1」が第2回路部から出力データとして出力され、当該合計値が負であるとき「0」が出力データとして出力される。よって、脳機能に基づく既定の傾向係数が導入されるべき場合であっても、回路規模及びそれに対応するコストを大幅に縮小しつつ、人の脳機能に対応したニューラルネットワーク回路を効率的に実現することができる。

【0027】

上記の課題を解決するために、請求項11に記載の発明は、請求項8に記載のニューラルネットワーク回路において、前記入力データの数が一であり、前記出力データ、前記第1記憶部、前記第2記憶部、前記第1回路部及び前記第2回路部それぞれの数が、前記脳機能に対応して予め設定された二以上の数であり、前記重み付け係数及び前記所定値のそれぞれが前記脳機能に対応して予め設定された値であり、各前記第1回路部の前記出力部は、各前記出力データにそれぞれ対応する前記重み付け係数と前記入力データとに基づいて前記乗算結果を前記出力データごとにそれぞれ出力し、各前記第2回路部は、前記所定値が前記予め設定された値である場合において、「1」である前記乗算結果の総数から「0」である前記乗算結果の総数を減じた値が前記閾値以上であるとき、「1」を前記出力データとして出力し、前記所定値が前記予め設定された値である場合において、前記減じた値が前記閾値未満であるとき、「0」を前記出力データとして出力するように構成される。

10

【0028】

請求項11に記載の発明によれば、請求項8に記載の発明の作用に加えて、入力データの数が一であり、出力データ、第1記憶部、第2記憶部、第1回路部及び第2回路部それぞれの数が、脳機能に対応した既定の二以上の数とされており、重み付け係数及び所定値のそれぞれが脳機能に対応した値とされている。そして各第1回路部が、各出力データにそれぞれ対応する重み付け係数と入力データとに基づいて乗算結果を出力データごとにそれぞれ出力し、各第2回路部が、(「1」である乗算結果の総数 - 「0」である乗算結果の総数 閾値)であるとき「1」を出力データとして出力し、(「1」である乗算結果の総数 - 「0」である乗算結果の総数 < 閾値)であるとき「0」を出力データとして出力する。よって、各第1記憶部、各第2記憶部及び各第1回路部により出力データごとに乗算機能を実現し、更に各第2回路部により出力データごとに加算/適用機能を実現するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、いわゆる直列入力-並列出力型のニューラルネットワーク回路を効率的に実現することができる。

20

30

【0029】

上記の課題を解決するために、請求項12に記載の発明は、請求項8に記載のニューラルネットワーク回路において、前記出力データ及び前記第2回路部の数がそれぞれ一であり、前記入力データ、前記第1記憶部、前記第2記憶部及び前記第1回路部それぞれの数が、前記脳機能に対応して予め設定された二以上の数であり、前記重み付け係数及び前記所定値のそれぞれが前記脳機能に対応した値であり、各前記第1回路部は、各前記入力データにそれぞれ対応する前記重み付け係数と当該各入力データとに基づいて各前記乗算結果を当該入力データごとにそれぞれ出力し、前記第2回路部は、前記所定値が前記予め設定された値である場合において、「1」である前記乗算結果の総数から「0」である前記乗算結果の総数を減じた値が前記閾値以上であるとき、「1」を前記出力データとして出力し、前記所定値が前記予め設定された値である場合において、前記減じた値が前記閾値未満であるとき、「0」を前記出力データとして出力するように構成される。

40

【0030】

請求項12に記載の発明によれば、請求項8に記載の発明の作用に加えて、出力データ及び第2回路部の数がそれぞれ一であり、入力データ、第1記憶部、第2記憶部及び第1回路部それぞれの数が、脳機能に対応した既定の二以上の数とされており、重み付け係数及び所定値のそれぞれが脳機能に対応した値とされている。そして各第1回路部が、各入力データにそれぞれ対応する重み付け係数と当該各入力データとに基づいて各乗算結果を入力データごとにそれぞれ出力し、第2回路部が、(「1」である乗算結果の総数 - 「0

50

」である乗算結果の総数（閾値）であるとき「1」を出力データとして出力し、（「1」である乗算結果の総数 - 「0」である乗算結果の総数 < 閾値）であるとき「0」を出力データとして出力する。よって、各第1記憶部、各第2記憶部及び各第1回路部により入力データごとに乗算機能を実現し、更に一の第2回路部により入力データごとに加算/適用機能を実現するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、いわゆる並列入力 - 直列出力型のニューラルネットワーク回路を効率的に実現することができる。

【0031】

上記の課題を解決するために、請求項13に記載の発明は、請求項11に記載のニューラルネットワーク回路と、請求項12に記載のニューラルネットワーク回路と、を備え、一の入力データが入力される請求項11に記載の前記ニューラルネットワーク回路から出力される各出力データがそれぞれ、請求項12に記載の前記ニューラルネットワーク回路における各入力データとされており、請求項12に記載の前記ニューラルネットワーク回路から一の出力データを出力するように構成される。

10

【0032】

請求項13に記載の発明によれば、請求項11に記載のニューラルネットワーク回路と、請求項12に記載のニューラルネットワーク回路と、を備え、一の入力データが入力される請求項11に記載のニューラルネットワーク回路から出力される各出力データがそれぞれ、請求項12に記載のニューラルネットワーク回路における各入力データとされており、請求項12に記載のニューラルネットワーク回路から一の出力データが出力される。よって、本発明に係る直列入力 - 並列出力型のニューラルネットワーク回路と本発明に係る並列入力 - 直列出力型のニューラルネットワーク回路とを接続することで、回路規模及びそれに対応するコストを大幅に縮小しつつ、多様な脳機能に対応可能なニューラルネットワーク回路を効率的に実現することができる。

20

【0033】

上記の課題を解決するために、請求項14に記載の発明は、請求項13に記載のニューラルネットワーク集積回路において、請求項11に記載のニューラルネットワーク回路と請求項12に記載の前記ニューラルネットワーク回路との間にレジスタ部を更に備え、当該レジスタ部は、請求項11に記載のニューラルネットワーク回路から出力される各出力データを一基準クロック分だけバッファリングし、請求項12に記載の前記ニューラルネットワーク回路における各入力データとして請求項12に記載の当該ニューラルネットワーク回路に出力するように構成される。

30

【0034】

請求項14に記載の発明によれば、請求項13に記載の発明の作用に加えて、請求項11に記載のニューラルネットワーク回路と請求項12に記載の前記ニューラルネットワーク回路との間に備えられたレジスタ部により、請求項11に記載のニューラルネットワーク回路から出力される各出力データを一基準クロック分だけバッファリングして、請求項12に記載のニューラルネットワーク回路における各入力データとして請求項12に記載の当該ニューラルネットワーク回路に出力する。よって、請求項12に記載のニューラルネットワーク回路における第2演算部における見かけ上の並列処理が可能となり、多様な脳機能に対応可能なニューラルネットワーク回路を効率的且つ高速化して実現することができる。

40

【0035】

上記の課題を解決するために、請求項15に記載の発明は、複数の請求項13に記載のニューラルネットワーク集積回路が直列に接続されており、一の当該ニューラルネットワーク集積回路からの一の前記出力データが、直後段の当該ニューラルネットワーク集積回路への一の前記入力データとされているように構成される。

【0036】

請求項15に記載の発明によれば、請求項13に記載の発明の作用に加えて、複数の請求項13に記載のニューラルネットワーク集積回路が直列に接続されており、一の当該ニューラルネットワーク集積回路からの一の出力データが、直後段の当該ニューラルネット

50

ワーク集積回路への一の入力データとされているので、より多様な脳機能に対応可能なニューラルネットワーク回路を効率的に実現することができる。

【0037】

上記の課題を解決するために、請求項16に記載の発明は、複数の請求項13に記載のニューラルネットワーク集積回路を備え、当該複数の請求項13に記載のニューラルネットワーク集積回路のそれぞれに対して一の前記入力データが共通に入力されており、当該複数の請求項13に記載のニューラルネットワーク集積回路からそれぞれ別個に前記出力データがずつ出力されるように構成される。

【0038】

請求項16に記載の発明によれば、請求項13に記載の発明の作用に加えて、複数の請求項13に記載のニューラルネットワーク集積回路のそれぞれに対して一の入力データが共通に入力されており、当該複数の請求項13に記載のニューラルネットワーク集積回路からそれぞれ別個に出力データがずつ出力されるので、より多様な脳機能に対応可能なニューラルネットワーク回路を効率的に実現することができる。

【発明の効果】

【0039】

本発明によれば、ニューラルネットワーク回路の乗算機能を実現する第1回路部のそれぞれが、「1」又は「0」である重み付け係数、或いは所定値のいずれかを記憶する記憶部と、入力データの値＝記憶値の場合に「1」を出力し、入力データの値≠記憶値の場合に「0」を出力し、所定値が記憶されている場合にいずれの値の入力データでもその所定値を出力する出力部と、を備える。一方、ニューラルネットワーク回路の加算/適用機能を実現する第2回路部が、「1」を出力する第1回路部の総数と、「0」を出力する第1回路部の総数と、の差に基づいて出力データとして「1」又は「0」を出力する。

【0040】

従って、記憶部と出力部とをそれぞれに備える複数の第1回路部により乗算機能を実現し、第2回路部により加算/適用機能を実現するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、人の脳機能に対応したニューラルネットワーク回路及びその集積回路を効率的に実現することができる。

【図面の簡単な説明】

【0041】

【図1】第1実施形態に係るニューラルネットワークを説明する図であり、(a)は一つのニューロンをモデル化したユニットを示す図であり、(b)は複数のユニットの結合からなるニューラルネットワークの状態を示す図である。

【図2】第1実施形態に係るニューラルネットワーク回路を示す図であり、(a)は当該ニューラルネットワーク回路に相当するニューラルネットワークを示す図であり、(b)は当該ニューラルネットワーク回路の構成を示すブロック図であり、(c)は当該ニューラルネットワーク回路に対応する真理値表である。

【図3】第1実施形態に係るニューラルネットワーク回路の細部構成を示す図であり、(a)は当該細部構成に係るメモリセルの回路の一例を示す図であり、(b)は当該細部構成の回路の一例を示す図である。

【図4】第1実施形態に係るニューラルネットワーク集積回路の第1例を示す図であり、(a)は当該第1例に相当するニューラルネットワークを示す図であり、(b)は当該第1例の構成を示すブロック図である。

【図5】第1実施形態に係るニューラルネットワーク集積回路の第2例を示す図であり、(a)は当該第2例に相当するニューラルネットワークを示す図であり、(b)は当該第2例の構成を示すブロック図である。

【図6】第1実施形態に係るニューラルネットワーク集積回路の第3例を示す図であり、(a)は当該第3例に相当するニューラルネットワークを示す図であり、(b)は当該第3例の構成を示すブロック図である。

【図7】第1実施形態に係るニューラルネットワーク集積回路の第4例を示す図であり、

10

20

30

40

50

(a) は当該第 4 例に相当するニューラルネットワークを示す図であり、(b) は当該第 4 例の構成を示すブロック図であり、(c) は当該第 4 例に係るスイッチボックスの構成の一例を示すブロック図である。

【図 8】第 2 実施形態に係るニューラルネットワーク集積回路の第 1 例の一部を示す図であり、(a) は当該一部に相当するニューラルネットワークを示す図であり、(b) は当該一部の構成を示すブロック図であり、(c) の当該一部に対応する真理値表である。

【図 9】第 2 実施形態に係るニューラルネットワーク集積回路の第 1 例を示す図であり、(a) は当該第 1 例に相当するニューラルネットワークを示す図であり、(b) は当該第 1 例の構成を示すブロック図である。

【図 10】第 2 実施形態に係るニューラルネットワーク回路の第 1 例を示す図であり、(a) は当該第 1 例に相当するニューラルネットワークを示す図であり、(b) は当該第 1 例の構成を示すブロック図である。

【図 11】第 2 実施形態に係るニューラルネットワーク集積回路の第 2 例を示す図であり、(a) は当該第 2 例に相当するニューラルネットワークを示す図であり、(b) は当該第 2 例の構成を示すブロック図である。

【図 12】第 2 実施形態に係るニューラルネットワーク集積回路の第 3 例を示す図であり、(a) は当該第 3 例に相当するニューラルネットワークを示す図であり、(b) は当該第 3 例の構成を示すブロック図である。

【図 13】第 2 実施形態に係るニューラルネットワーク集積回路の第 4 例を示す図であり、(a) は当該第 4 例の構成を示すブロック図であり、(b) は当該第 4 例に相当する回路例を示す図である。

【図 14】第 2 実施形態に係るニューラルネットワーク集積回路の第 4 例の細部構成を示す図であり、(a) は当該第 4 例に係るパイプラインレジスタ等の回路の一例を示す図であり、(b) は当該第 4 例に係る多数判定入力回路及び直列多数判定回路それぞれの一例を示す図であり、(c) は当該第 4 例に係る並列多数判定回路の一例を示す図であり、(d) は当該第 4 例における動作を示すタイミングチャートである。

【図 15】第 2 実施形態に係るニューラルネットワーク集積回路の第 5 例を示す図であり、(a) は当該第 5 例の構成を示すブロック図であり、(b) は当該第 5 例に係る制御部の細部構成を示すブロック図である。

【図 16】第 2 実施形態に係るニューラルネットワーク集積回路の第 6 例等の構成を示すブロック図であり、(a) は当該第 6 例の構成を示すブロック図であり、(b) は第 2 実施形態に係るニューラルネットワーク集積回路の第 7 例の構成を示すブロック図である。

【図 17】変形形態に係るニューラルネットワークを説明する図であり、(a) は変形形態に係る一つのニューロンをモデル化したユニットを示す図であり、(b) は変形形態に係る傾向変数と出力データとの関係等を示す図である。

【図 18】変形形態に係るニューラルネットワーク集積回路の細部構成を示す図であり、(a) は当該細部構成に相当する回路の一例を示す図であり、(b) は当該細部構成としての多数判定入力回路及び直列多数判定回路それぞれの一例を示す図であり、(c) は当該細部構成としての並列多数判定回路の一例を示す図である。

【発明を実施するための形態】

【0042】

次に、本発明に係る第 1 実施形態及び第 2 実施形態について、図面に基づいてそれぞれ説明する。なお以下に説明する第 1 実施形態等は、人の脳機能をモデル化したニューラルネットワークを電子的な回路で実現したニューラルネットワーク回路について本発明を適用した場合の実施形態等である。

(I) 第 1 実施形態

初めに、本発明に係る第 1 実施形態について、図 1 乃至図 7 を用いて説明する。なお、図 1 は第 1 実施形態に係るニューラルネットワークを説明する図であり、図 2 は第 1 実施形態に係るニューラルネットワーク回路を示す図であり、図 3 は当該ニューラルネットワーク回路の細部構成を示す図である。また、図 4 は第 1 実施形態に係るニューラルネット

10

20

30

40

50

ワーク集積回路の第 1 例を示す図であり、図 5 は当該ニューラルネットワーク集積回路の第 2 例を示す図であり、図 6 は当該ニューラルネットワーク集積回路の第 3 例を示す図であり、図 7 は当該ニューラルネットワーク集積回路の第 4 例を示す図である。

(A) ニューラルネットワークについて

先ず、上記脳機能をモデル化したニューラルネットワークについて、一般的に図 1 を用いて説明する。

【 0 0 4 3 】

一般に人の脳の中には、多数のニューロン（神経細胞）が存在しているとされている。脳の中で各ニューロンは、多数の他のニューロンからの電気信号を受信し、また更に他の多数のニューロンへ電気信号を送信している。そして脳は、各ニューロン間のこれら電気信号の流れによって、様々な情報処理を行っていると考えられている。このとき、各ニューロン間における電気信号の送受信は、シナプスと呼ばれる細胞を介して行われる。そして、脳における上記ニューロン間の電気信号の送受信をモデル化してコンピュータ内に脳機能を実現しようとしたものが、ニューラルネットワークである。

【 0 0 4 4 】

より具体的にニューラルネットワークでは図 1 (a) に例示するように、外部から入力される複数の入力データ I_1 、入力データ I_2 、...、入力データ I_n (n は自然数。以下同様。) のそれぞれに対する乗算処理、加算処理及び活性化関数の適用処理を一つのニューロン NR で実行し、その結果を出力データ O とすることで、脳機能における一つのニューロンに対する上記電気信号の送受信をモデル化する。なお以下の説明において、上記活性化関数の適用処理を、単に「活性化処理」と称する。このとき一つのニューロン NR では、複数の入力データ I_1 、入力データ I_2 、...、入力データ I_n それぞれに対応して予め設定された（つまり既定の）重み付け係数 W_1 、重み付け係数 W_2 、...、重み付け係数 W_n を当該入力データ I_1 、入力データ I_2 、...、入力データ I_n に対してそれぞれ乗算することで上記乗算処理が実行される。その後当該ニューロン NR は、各入力データ I_1 、入力データ I_2 、...、入力データ I_n に対する上記乗算処理の結果のそれぞれを加算する上記加算処理を実行する。そして当該ニューロン NR は次に、上記加算処理の結果に既定の活性化関数 F を適用する上記活性化処理を実行し、その結果を上記出力データ O として他の一又は複数のニューロンに NR に出力する。上述した一連の乗算処理、加算処理及び活性化処理を数式で表すと、図 1 (a) に示す式 (1) となる。このとき、重み付け係数 W_1 、重み付け係数 W_2 、...、重み付け係数 W_n を入力データ I_1 、入力データ I_2 、...、入力データ I_n にそれぞれ乗算する乗算処理が、ニューロン NR 間の上記電気信号のやり取りにおける上記シナプスの作用に相当する。そして図 1 (b) に例示されるように、図 1 (a) に例示する一つのニューロン NR が多数集まってシナプスにより互いに接続されることにより、脳全体がニューラルネットワーク SS としてモデル化される。なお以下の説明において、入力データ I_1 乃至入力データ I_n 又は入力データ I_m (m は自然数。以下同様。) に共通の事項を説明する場合、単に「入力データ I 」と称する。また同様に、出力データ O_1 乃至出力データ O_n 又は出力データ O_m に共通の事項を説明する場合、単に「出力データ O 」と称する。更に同様に、重み付け係数 W_1 乃至重み付け係数 W_n 又は重み付け係数 W_m に共通の事項を説明する場合、単に「重み付け係数 W 」と称する。

【 0 0 4 5 】

そして、以下に説明する第 1 実施形態等に係るニューラルネットワーク回路又はニューラルネットワーク集積回路は、図 1 を用いて説明した一般的なニューラルネットワークを、上記非特許文献 1 又は非特許文献 2 に記載されている手法によりバイナリ化したニューラルネットワーク回路又はニューラルネットワーク集積回路によりモデル化するものである。

(B) 第 1 実施形態に係るニューラルネットワーク回路について

次に、第 1 実施形態に係るニューラルネットワーク回路について、図 2 及び図 3 を用いて例示しつつ説明する。

【 0 0 4 6 】

10

20

30

40

50

図2(a)に示すように、当該ニューラルネットワーク回路に相当するニューラルネットワークSでは、一つのニューロンNRに対して例えば四つの他のニューロンNRから1ビットの入力データIがそれぞれ入力され、それに対応する出力データOが当該ニューロンNRから出力される。このとき入力データIは、その出力元のニューロンNRから見れば1ビットの出力データOとなる。また1ビットの出力データOは、その出力先のニューロンNRから見ると1ビットの入力データIとなる。上記の通り入力データI及び出力データOはそれぞれ1ビットであるため、入力データIの値及び出力データOの値は、いずれも「0」又は「1」のいずれかである。そして、図2(a)において四つの入力データIが入力されているニューロンNR(図2(a)においてハッチングで示される)において実行される上記乗算処理等に相当する上記式(1)は、上記式(1)において $n = 4$ とした場合の式である。即ち上記ニューラルネットワークSは、並列多入力-一出力型の一段ニューラルネットワークである。

10

【0047】

次に、図2(a)に示すニューラルネットワークSにおいてハッチングで示されるニューロンNRに相当する第1実施形態に係るニューラルネットワーク回路の構成を、図2(b)にニューラルネットワーク回路CSとして示す。当該ニューラルネットワーク回路CSは、各々が1ビットの入力データ I_1 乃至入力データ I_4 にそれぞれ対応する四つのメモリセル1と、多数判定回路2と、により構成される。このとき、各メモリセル1が本発明に係る「第1回路部」の一例、「記憶部」の一例及び「出力部」の一例に、それぞれ相当する。また上記多数判定回路2が、本発明に係る「第2回路部」の一例に相当する。この構成において各メモリセル1は、「1」、又は「0」、或いは「NC(Not Connected(接続なし))」を意味する所定値の三つのいずれか一つを記憶値として記憶すると共に、比較機能を有する三値のメモリセルである。そして各メモリセル1は、それぞれへの入力データIの値と、それぞれの記憶値と、に応じた値を有する出力データ E_1 乃至出力データ E_4 を、多数判定回路2にそれぞれ出力する。

20

【0048】

ここで、メモリセル1の記憶値の一つである上記所定値が意味する上記「NC」は、第1実施形態に係るニューラルネットワークSにおける二つのニューロンNR間に接続がない状態である。即ち、そのメモリセル1が対応している二つのニューロンNR(即ち入力ニューロンと出力ニューロン)が接続されていない場合、そのメモリセル1の記憶値は上記所定値に設定される。一方、メモリセル1の他の記憶値(「1」又は「0」)のいずれをそのメモリセル1に記憶させておくかは、そのメモリセル1が対応している接続により接続される二つのニューロンNR間の当該接続における重み係数Wに基づいて設定される。ここで各メモリセル1にどのような記憶値を記憶させておくかは、ニューラルネットワークSとしてどのような脳機能をモデル化するか(より具体的には、例えばニューラルネットワークSを構成するニューロンNR間の接続状態等)等に基づいて予め設定されている。なお以下の説明において、出力データ E_1 乃至出力データ E_n に共通の事項を説明する場合、単に「出力データE」と称する。

30

【0049】

そして、各メモリセル1における上記記憶値及びそれぞれに入力される入力データIの値と、各メモリセル1から出力される出力データEの値と、の関係は、図2(c)に真理値表を示す関係とされる。即ち各メモリセル1は、当該各メモリセル1の記憶値と入力データIの値との排他的否定論理和を当該各メモリセル1から出力データEとして出力する。また各メモリセル1の記憶値が上記所定値である場合、そのメモリセル1からは、入力データIがいずれの値であっても当該所定値が出力データEとして多数判定回路2に出力される。なお、各メモリセル1の細部構成については、後ほど図3(a)を用いて説明する。

40

【0050】

次に多数判定回路2は、各メモリセル1からの出力データEの値に基づき、値「1」の出力データEの数が値「0」の出力データEの数より大きい場合にのみ値「1」の出力デ

50

ータ0を出力し、それ以外の場合に値「0」の出力データ0を出力する。このとき、値「1」の出力データEの数が値「0」の出力データEの数より大きい場合以外の場合とは、具体的には、いずれかのメモリセル1から値「NC」が出力されている場合、又は各メモリセル1からの値「1」の出力データEの数が値「0」の出力データEの数以下の場合、のいずれかである。なお多数判定回路2及び各メモリセル1を含むニューラルネットワーク回路CSの細部構成については、後ほど図3(b)を用いて説明する。

【0051】

ここでニューラルネットワーク回路CSは上述したように、図2(a)においてハッチングで示されるニューロンNRにおける上記乗算処理、加算処理及び活性化処理をモデル化した回路である。そして、各メモリセル1からの上記排他的否定論理和としての出力データEの出力が上記重み付け係数Wを用いた上記乗算処理に相当する。また多数判定回路2は、値「1」の出力データEの数と値「0」の出力データEの数とを比較する比較処理の前提として、値「1」の出力データEの数を加算してその合計値を算出すると共に、値「0」の出力データEの数を加算してその合計値を算出する。これらの加算が上記加算処理に相当する。そして多数判定回路2において、値「1」の出力データE及び値「0」の出力データEそれぞれの数の上記合計値を比較し、前者の数から後者の数を減じた値が予め設定された多数判定閾値以上の場合にのみ、値「1」の出力データ0を多数判定回路2から出力する。一方それ以外の場合、即ち値「1」の出力データEの数の合計値から値「0」の出力データEの数の合計値を減じた値が多数判定閾値未満の場合に値「0」の出力データ0を多数判定回路2から出力する。このとき、出力データEが上記所定値の場合に多数判定回路2は、当該出力データEを、値「1」の出力データEの数及び値「0」の出力データEの数のいずれにも加算しない。

10

20

【0052】

ここで、多数判定回路2における上記多数判定閾値を用いた処理について、より具体的に説明する。なお図2に例示するニューラルネットワーク回路CSでは、値「1」の出力データEの数と値「0」の出力データEの数との総数は「4」であるが、説明の明確化のため、当該総数が「10」である場合の上記処理について説明する。

【0053】

即ち、例えば多数判定閾値が「0」であり、値「1」の出力データEの数と値「0」の出力データEの数が共に「5」であるとする、値「1」の出力データEの数から値「0」の出力データEの数を減じた値は「0」であり、これは当該多数判定閾値と等しい。よってこの場合に多数判定回路2は、値「1」の出力データ0を出力する。これに対して、多数判定閾値が「0」であり、値「1」の出力データEの数が「4」であり、値「0」の出力データEの数が「6」であるとする、値「1」の出力データEの数から値「0」の出力データEの数を減じた値は「-2」であり、これは当該多数判定閾値より小さい。よってこの場合に多数判定回路2は、値「0」の出力データ0を出力する。

30

【0054】

他方、例えば多数判定閾値が「-2」であり、値「1」の出力データEの数と値「0」の出力データEの数が共に「5」であるとする、値「1」の出力データEの数から値「0」の出力データEの数を減じた値「0」は当該多数判定閾値より大きい。よってこの場合に多数判定回路2は、値「1」の出力データ0を出力する。これに対して、多数判定閾値が「-2」であり、値「1」の出力データEの数が「4」であり、値「0」の出力データEの数が「6」であるとする、値「1」の出力データEの数から値「0」の出力データEの数を減じた値「-2」は当該多数判定閾値と等しい。よってこの場合も多数判定回路2は、値「1」の出力データ0を出力する。

40

【0055】

以上具体的に説明した多数判定回路2における処理が上記活性化処理に相当する。以上の通り、図2(b)に示すニューラルネットワーク回路CSにより、図2(a)においてハッチングで示されるニューロンNRとしての各処理がモデル化される。

【0056】

50

次に、各メモリセル1の細部構成について、図3(a)を用いて説明する。図3(a)に示すように、各メモリセル1のそれぞれは、トランジスタ T_1 乃至トランジスタ T_{14} と、インバータ $I V_1$ 乃至インバータ $I V_4$ と、により構成されている。なお図3に示す各トランジスタ T_1 等のそれぞれは、例えばM O S F E T (Metal Oxide semiconductor Field Effect Transistor)等により構成されている。そしてこれらの素子が、入力データ I_n に相当する接続線 $L I_n$ 及び接続線/ $L I_n$ 、ワード(Word)信号に相当する接続線 W_1 及び接続線 W_2 、並びにマッチ(match)信号に相当するマッチ線 M 及び反転マッチ線/ M により図3(a)に示す態様で接続されて、一つのメモリセル1が構成されている。このとき、トランジスタ T_1 及びトランジスタ T_2 、並びにインバータ $I V_1$ 及びインバータ $I V_2$ により例えばS R A M (static random access memory)としての一のメモリ $C L_1$ が構成され、トランジスタ T_3 及びトランジスタ T_4 、並びにインバータ $I V_3$ 及びインバータ $I V_4$ により例えばS R A Mとしての一のメモリ $C L_2$ が構成される。また、トランジスタ T_5 乃至トランジスタ T_9 によりX N O Rゲート G_1 が構成され、トランジスタ T_{10} 乃至トランジスタ T_{14} によりX O Rゲート G_2 が構成される。

【0057】

次に、多数判定回路2及び各メモリセル1を含むニューラルネットワーク回路CSの細部構成について、図3(b)を用いて説明する。なお図3(b)は、図2(a)に対応して入力データ I が四つである(即ち、メモリセル1を四つ備える)ニューラルネットワーク回路CSの細部構成について示している。また図3(b)に例示するニューラルネットワーク回路CSでは、上記多数判定閾値が「0」である場合について説明する。

【0058】

図3(b)に示すようにニューラルネットワーク回路CSは、四つのメモリセル1と、多数判定回路2を構成するトランジスタ T_{20} 乃至トランジスタ T_{30} (図3(b)破線参照)と、により構成されている。このとき、図3(b)において一点鎖線で示されるように、トランジスタ T_{25} 乃至トランジスタ T_{28} により、フリップフロップ型のセンスアンプSAが構成されている。そしてこれらの素子が、四つのメモリセル1に共通の上記接続線 W_1 及び接続線 W_2 並びに上記マッチ線 M 及び反転マッチ線/ M 、及び出力データ O に相当する接続線 $L O$ 及び接続線/ $L O$ により図3(b)に示す態様で接続されて、一つのニューラルネットワーク回路CSが構成されている。また図3(b)に示すニューラルネットワーク回路CSには、当該ニューラルネットワーク回路CSとしての処理を規定するための予め設定されたタイミング信号 $_1$ 、タイミング信号 $_2$ 及びタイミング信号/ $_2$ 並びにタイミング信号 $_3$ が外部から入力されている。このとき、タイミング信号 $_1$ はトランジスタ T_{20} 乃至トランジスタ T_{22} のゲート端子にそれぞれ入力され、タイミング信号 $_2$ 及びタイミング信号/ $_2$ はトランジスタ T_{29} 及びトランジスタ T_{30} のゲート端子にそれぞれ入力され、タイミング信号 $_3$ はトランジスタ T_{23} 及びトランジスタ T_{24} のゲート端子にそれぞれ入力されている。以上の構成において、タイミング信号 $_1$ に基づいてそれぞれプリチャージされた各メモリセル1のマッチ線 M と反転マッチ線/ M とでは、入力データ I の値並びにメモリ $C L_1$ 及びメモリ $C L_2$ の記憶値に応じて、当該プリチャージされた電荷が引き抜かれるタイミングが異なる。そしてセンスアンプSAは、これらマッチ線 M 又は反転マッチ線/ M のどちらがより早く当該プリチャージされた電荷を引き抜かれるかを検出し、更に当該マッチ線 M と反転マッチ線/ M との間の電圧差を増幅することにより、当該検知結果を接続線 $L O$ 及び接続線/ $L O$ に出力する。ここで、接続線 $L O$ における値が「1」であることが、ニューラルネットワーク回路CSとしての出力データ O の値「1」であることを意味することになる。以上の構成及び動作によりニューラルネットワーク回路CSは、上記タイミング信号 $_1$ 等に基づいて、図2(a)においてハッチングで示されるニューロンNRとしての各処理をモデル化した処理を実行し、上記出力データ O を出力する。

(C) 第1実施形態に係るニューラルネットワーク集積回路の第1例について

次に、第1実施形態に係るニューラルネットワーク集積回路の第1例について、図4を用いて説明する。なお図4において、図2及び図3を用いて説明した第1実施形態に係る

10

20

30

40

50

ニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

【0059】

以下の図4乃至図7を用いてそれぞれ説明する第1実施形態に係るニューラルネットワーク集積回路は、図2及び図3を用いて説明した第1実施形態に係るニューラルネットワーク回路を複数集積した集積回路である。そしてこれらのニューラルネットワーク集積回路は、より多くのニューロンNRからなる複雑なニューラルネットワークをモデル化するためのものである。

【0060】

先ず、図4(a)に例示するニューラルネットワークS1をモデル化するための第1実施形態に係るニューラルネットワーク集積回路の第1例について説明する。当該ニューラルネットワークS1は、図4(a)においてハッチングで示されるm個のニューロンNRのそれぞれに対してn個のニューロンNRから1ビットの出力データOがそれぞれ出力されることにより、当該ハッチングで示されるニューロンNRから1ビットの出力データOがそれぞれ出力されるニューラルネットワークである。即ち上記ニューラルネットワークS1は、並列多入力・並列多出力型の一段ニューラルネットワークである。ここで図4(a)においては、各ニューロンNRの全てが入力信号I又は出力信号Oにより接続されている場合を示しているが、モデル化しようとする脳機能に依りて、各ニューロンNRのいずれかの間が接続されていなくてもよい。そしてこのことが、当該接続されていないニューロンNR間の接続に対応するメモリセル1の記憶値として上記所定値が記憶されていることにより表現される。なおこの点は、以降に図5(a)、図6(a)又は図7(a)を用いてそれぞれ説明するニューラルネットワークの場合においても同様である。

【0061】

上記ニューラルネットワークS1をモデル化する場合、図2及び図3を用いて説明した第1実施形態に係るニューラルネットワーク回路CSにおいて、1ビットの入力データIをn個とする。このとき、当該n個の入力データIが入力されるニューラルネットワーク回路CSのそれぞれが、図4(a)においてハッチングで示されるニューロンNRの機能をモデル化したものであり、上記乗算処理、加算処理及び活性化処理をそれぞれ実行する。なお以下の図4乃至図7を用いた説明においては、上記n個の入力データIが入力されるニューラルネットワーク回路CSを、「ニューラルネットワーク回路CS1」、「ニューラルネットワーク回路CS2」、…、と称する。そして第1実施形態に係るニューラルネットワーク集積回路の第1例としては、当該n個の入力データIが入力されるニューラルネットワーク回路CS1等をm個集積する。

【0062】

即ち図4(b)に示すように、第1実施形態に係るニューラルネットワーク集積回路の第1例であるニューラルネットワーク集積回路C1は、各1ビットのn個の入力データI₁乃至入力データI_nがそれぞれ共通的に入力されるm個のニューラルネットワーク回路CS1乃至ニューラルネットワーク回路CSmが集積されて構成されている。そして、ニューラルネットワーク回路CS1乃至ニューラルネットワーク回路CSmのそれぞれには、上記タイミング信号₁等がタイミング生成回路TGから共通的に入力される。このときタイミング生成回路TGは、予め設定された基準クロック信号CLKに基づいて上記タイミング信号₁等を生成してニューラルネットワーク回路CS1乃至ニューラルネットワーク回路CSmに出力する。そしてニューラルネットワーク回路CS1乃至ニューラルネットワーク回路CSmの各々は、上記入力データI₁乃至入力データI_nと、タイミング信号₁等と、に基づいて、各1ビットの出力データO₁、出力データO₂、…、出力データO_mをそれぞれ出力する。

【0063】

以上説明した構成を備えるニューラルネットワーク集積回路C1において、m個のニューロンNRに対してn個のニューロンNRからそれぞれ出力データOが出力されることにより、m個のニューロンNRから出力データOが合計m個出力される図4(a)のニュー

10

20

30

40

50

ラルネットワーク S 1 がモデル化される。

(D) 第 1 実施形態に係るニューラルネットワーク集積回路の第 2 例について

次に、第 1 実施形態に係るニューラルネットワーク集積回路の第 2 例について、図 5 を用いて説明する。なお図 5 において、図 2 及び図 3 を用いて説明した第 1 実施形態に係るニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

【0064】

第 1 実施形態に係るニューラルネットワーク集積回路の第 2 例は、図 5 (a) に例示するニューラルネットワーク S S 1 をモデル化するためのニューラルネットワーク集積回路である。当該ニューラルネットワーク S S 1 は、図 4 (a) を用いて説明したニューラルネットワーク S 1 において $n = m$ とした場合に相当する。即ちニューラルネットワーク S S 1 は、図 5 (a) においてハッチングで示される $3 \times n$ 個のニューロン N R のそれぞれに対して相隣接する列の (n 個の) ニューロン N R から出力データ O がそれぞれ出力されることにより、図 5 (a) 右端列の n 個のニューロン N R から出力データ O がそれぞれ出力されるニューラルネットワークである。上記ニューラルネットワーク S S 1 は、並列多入力 - 並列多出力型の多段ニューラルネットワークである。

10

【0065】

上記ニューラルネットワーク S S 1 をモデル化する場合も、図 4 を用いて説明したニューラルネットワーク S 1 と同様に、図 2 及び図 3 を用いて説明した第 1 実施形態に係るニューラルネットワーク回路 C S において、1 ビットの入力データ I を n 個とする。このとき、当該 n 個の入力データ I が入力されるニューラルネットワーク回路 C S のそれぞれが、図 5 (a) においてハッチングで示されるニューロン N R の機能をモデル化したものであり、上記乗算処理、加算処理及び活性化処理をそれぞれ実行する。そして第 1 実施形態に係るニューラルネットワーク集積回路の第 2 例としては、当該 n 個の入力データ I が入力されるニューラルネットワーク回路 C S 1 1 等を直列に接続して計 $3 \times n$ 個集積する。

20

【0066】

即ち図 5 (b) に示すように、第 1 実施形態に係るニューラルネットワーク集積回路の第 2 例であるニューラルネットワーク集積回路 C C 1 は、各 1 ビットの n 個の入力データ I_1 乃至入力データ I_n がそれぞれ共通的に入力される n 個のニューラルネットワーク回路 C S 1 1 乃至ニューラルネットワーク回路 C S 1 n が集積されて一のニューラルネットワーク集積回路 C 1 が構成される (図 4 (b) 参照)。そして、ニューラルネットワーク集積回路 C 1 を構成するニューラルネットワーク回路 C S 1 1 乃至ニューラルネットワーク回路 C S 1 n のそれぞれは、各 1 ビットの入力データ $O_{1,1}$ 乃至出力データ $O_{1,n}$ を出力し、それらが次段の n 個のニューラルネットワーク回路 C S 2 1 乃至ニューラルネットワーク回路 C S 2 n に共通的に入力される。これらニューラルネットワーク回路 C S 2 1 乃至ニューラルネットワーク回路 C S 2 n により、他の一のニューラルネットワーク集積回路 C 2 が構成される。そして、ニューラルネットワーク集積回路 C 2 を構成するニューラルネットワーク回路 C S 2 1 乃至ニューラルネットワーク回路 C S 2 n のそれぞれは、各 1 ビットの入力データ $O_{2,1}$ 乃至出力データ $O_{2,n}$ を出力し、それらが次段の n 個のニューラルネットワーク回路 C S 3 1 乃至ニューラルネットワーク回路 C S 3 n に共通的に入力される。これらニューラルネットワーク回路 C S 3 1 乃至ニューラルネットワーク回路 C S 3 n により、更に一のニューラルネットワーク集積回路 C 3 が構成される。ここで、各ニューラルネットワーク回路 C S 1 1 等に対しては、図 4 (a) に示す場合と同様に上記タイミング信号 τ_1 等が共通的に入力されているが、説明の簡略化のために図 5 (b) では図示を省略している。そしてニューラルネットワーク集積回路 C 1 は上記入力データ I_1 乃至入力データ I_n と、タイミング信号 τ_1 等と、に基づいて、出力データ $O_{1,1}$ 、出力データ $O_{1,2}$ 、...、出力データ $O_{1,n}$ をそれぞれ生成し、これらを次段のニューラルネットワーク集積回路 C 2 に共通的に出力する。次にニューラルネットワーク集積回路 C 2 は上記出力データ $O_{1,2}$ 乃至出力データ $O_{1,n}$ と、タイミング信号 τ_1 等と、に基づいて、出力データ $O_{2,1}$ 、出力データ $O_{2,2}$ 、...、出力データ $O_{2,n}$ をそれぞれ生成し、

30

40

50

これらを次段のニューラルネットワーク集積回路 C 3 に共通的に出力する。最後にニューラルネットワーク集積回路 C 3 は上記出力データ $O_{2,1}$ 乃至出力データ $O_{2,n}$ と、タイミング信号 ϕ_1 等と、に基づいて、最終的な出力データ $O_{3,1}$ 、出力データ $O_{3,2}$ 、…、出力データ $O_{3,n}$ をそれぞれ生成して出力する。

【0067】

以上説明した構成を備えるニューラルネットワーク集積回路 C C 1 において、 n 個のニューロン NR から次段の n 個のニューロン NR に対してそれぞれが 1 ビットの出力データ O がそれぞれ出力されることが段階的に繰り返されることにより、最終的に出力データ O が合計 n 個出力される図 5 (a) のニューラルネットワーク S S 1 がモデル化される。

(E) 第 1 実施形態に係るニューラルネットワーク集積回路の第 3 例について

次に、第 1 実施形態に係るニューラルネットワーク集積回路の第 3 例について、図 6 を用いて説明する。なお図 6 において、図 2 及び図 3 を用いて説明した第 1 実施形態に係るニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

【0068】

第 1 実施形態に係るニューラルネットワーク集積回路の第 3 例は、図 6 (a) に例示するニューラルネットワーク S S 2 をモデル化するためのニューラルネットワーク集積回路の例である。当該ニューラルネットワーク S S 2 は、それぞれが図 6 (a) においてハッチングで示される m 個のニューロン NR からなる複数の組により構成され、これらのニューロン NR のそれぞれに対して共通の n 個のニューロン NR (図 6 (a) において破線で示される) から 1 ビットの出力データ O がそれぞれ出力されることにより、図 6 (a) においてハッチングで示される各ニューロン NR から各 1 ビットで合計 $m \times$ 組数個の出力データ O が出力されるニューラルネットワークである。このニューラルネットワーク S S 2 の場合、図 6 (a) においてハッチングで示される各ニューロン NR は、各 1 ビットで同じ数 (n 個) の出力データ O をそれぞれ受信することになる。即ち上記ニューラルネットワーク S S 2 は、並列多入力 - 並列多出力型の一段ニューラルネットワークである。

【0069】

上記ニューラルネットワーク S S 2 をモデル化する場合も、図 4 を用いて説明したニューラルネットワーク S 1 と同様に、図 2 及び図 3 を用いて説明した第 1 実施形態に係るニューラルネットワーク回路 C S において、1 ビットの入力データ I を n 個とする。このとき、当該 n 個の入力データ I が入力されるニューラルネットワーク回路 C S のそれぞれが、図 6 (a) においてハッチングで示されるニューロン NR の機能をモデル化したものであり、上記乗算処理、加算処理及び活性化処理をそれぞれ実行する。そして第 1 実施形態に係るニューラルネットワーク集積回路の第 3 例としては、当該 n 個の入力データ I が入力されるニューラルネットワーク回路 C S 1 1 等を並列に接続して上記組数分集積する。

【0070】

即ち図 6 (b) に示すように、第 1 実施形態に係るニューラルネットワーク集積回路の第 3 例であるニューラルネットワーク集積回路 C C 2 は、各 1 ビットの n 個の入力データ I_1 乃至入力データ I_n がそれぞれ共通的に入力される m 個のニューラルネットワーク回路 C S 1 1 乃至ニューラルネットワーク回路 C S 1 m が集積されて、一のニューラルネットワーク集積回路 C 1 が構成される (図 4 (b) 参照) 。また同じ n 個の入力データ I_1 乃至入力データ I_n がそれぞれ並列的且つ共通的に入力される m 個のニューラルネットワーク回路 C S 2 1 乃至ニューラルネットワーク回路 C S 2 m が集積されて、他の一のニューラルネットワーク集積回路 C 2 が構成される (図 4 (b) 参照) 。これ以降、同様に n 個の入力データ I_1 乃至入力データ I_n がそれぞれ並列的且つ共通的に入力される m 個のニューラルネットワーク回路が集積されて、図 6 (b) において図示を省略する他のニューラルネットワーク集積回路がそれぞれ構成される。ここで、各ニューラルネットワーク回路 C S 1 1 等に対しては、図 5 を用いて説明した場合と同様に、図 4 (a) に示す場合と同様の上記タイミング信号 ϕ_1 等が共通的に入力されているが、説明の簡略化のために図 6 (b) では図示を省略している。そしてニューラルネットワーク集積回路 C 1 は上記

10

20

30

40

50

入力データ I_1 乃至入力データ I_n と、タイミング信号 ϕ_1 等と、に基づいて、各 1 ビットの出力データ O_{11} 、出力データ O_{12} 、...、出力データ O_{1m} をそれぞれ生成して出力する。一方ニューラルネットワーク集積回路 C_2 は、同じ入力データ I_1 乃至入力データ I_n と、タイミング信号 ϕ_1 等と、に基づいて、各 1 ビットの出力データ O_{21} 、出力データ O_{22} 、...、出力データ O_{2m} をそれぞれ生成して出力する。これ以降、図示を省略する他のニューラルネットワーク集積回路も、それぞれに m 個の出力データを出力する。

【0071】

以上説明した構成を備えるニューラルネットワーク集積回路 C_2 において、 $m \times$ 組数分のニューロン NR から並行的にそれぞれ出力データ O が出力されることにより、最終的に出力データ O が合計 $m \times$ 組数分出力される図 6 (a) のニューラルネットワーク SS_2 がモデル化される。

10

(F) 第 1 実施形態に係るニューラルネットワーク集積回路の第 4 例について

最後に、第 1 実施形態に係るニューラルネットワーク集積回路の第 4 例について、図 7 を用いて説明する。なお図 7 において、図 2 及び図 3 を用いて説明した第 1 実施形態に係るニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

【0072】

第 1 実施形態に係るニューラルネットワーク集積回路の第 4 例は、図 7 (a) に例示するニューラルネットワーク SS_3 をモデル化するためのニューラルネットワーク集積回路の例である。当該ニューラルネットワーク SS_3 は、これまで説明してきた第 1 実施形態に係るニューラルネットワーク S_1 等に対して、ニューロン NR の数及びニューロン NR 間の接続の態様についての自由度を更に向上させたニューラルネットワークである。なお図 7 (a) には、段階的に各 1 ビットの出力データ O (入力データ I) が授受されるニューロン群 (図 7 (a) 破線参照) に属するニューロン NR の数が相互に異なるニューラルネットワーク SS_3 について例示している。

20

【0073】

上記ニューラルネットワーク SS_3 をモデル化する場合、図 2 乃至図 3 を用いて説明した第 1 実施形態に係るニューラルネットワーク回路 CS において、1 ビットの入力データ I を例えば n 個とする。このとき、当該 n 個の入力データ I が入力されるニューラルネットワーク回路 CS のそれぞれが、図 7 (a) に示す各ニューロン NR の機能をモデル化したものであり、上記乗算処理、加算処理及び活性化処理をそれぞれ実行する。そして第 1 実施形態に係るニューラルネットワーク集積回路の第 4 例としては、当該 n 個の入力データ I が入力されるニューラルネットワーク回路 CS_1 等をそれぞれに複数備えたニューラルネットワーク集積回路を複数備え、当該各ニューラルネットワーク集積回路を、後述する複数のスイッチ及びそれらを切り換えるスイッチボックスにより接続して集積する。

30

【0074】

即ち図 7 (b) に示すように、第 1 実施形態に係るニューラルネットワーク集積回路の第 4 例であるニューラルネットワーク集積回路 CC_3 は、各 1 ビットの n 個の入力データ I_1 乃至入力データ I_n がそれぞれ共通的に入力される n 個のニューラルネットワーク回路 CS_1 乃至ニューラルネットワーク回路 CS_n が集積されて一のニューラルネットワーク集積回路 C_1 が構成される (図 4 (b) 参照)。そして同様に、例えば m 個のニューラルネットワーク回路 CS_2 乃至ニューラルネットワーク回路 CS_m が集積されて一のニューラルネットワーク集積回路 C_2 が、ニューラルネットワーク回路 CS_3 乃至ニューラルネットワーク回路 CS_p (p は 2 以上の自然数。以下、同様。) が集積されて一のニューラルネットワーク集積回路 C_3 が、ニューラルネットワーク回路 CS_4 乃至ニューラルネットワーク回路 CS_q (q は 2 以上の自然数。以下、同様。) が集積されて一のニューラルネットワーク集積回路 C_4 が、それぞれ構成される。また、ニューラルネットワーク集積回路 C_1 乃至ニューラルネットワーク集積回路 C_4 のそれぞれは、図 7 (b) に例示するようにスイッチ SW_1 乃至スイッチ SW_4 を介して、相互に各 1 ビッ

40

50

トの入力データI及び出力データOの授受が可能とされている。そして、ニューラルネットワーク集積回路C1乃至ニューラルネットワーク集積回路C4間における入力データI及び出力データOの授受の態様(即ちニューラルネットワーク集積回路C1乃至ニューラルネットワーク集積回路C4間の接続態様)が、スイッチSW1乃至スイッチSW4を介してスイッチボックスSB1乃至スイッチボックスSB4により切り換えられる。このとき、上記スイッチSW1乃至スイッチSW4及びスイッチボックスSB1乃至スイッチボックスSB4が、本発明に係る「スイッチ部」の一例に相当する。

【0075】

次に、上記スイッチボックスSB1乃至スイッチボックスSB4の細部構成について、図7(c)を用いて説明する。なお、スイッチボックスSB1乃至スイッチボックスSB4はいずれも同様の構成を備えるので、図7(c)では、これらを纏めてスイッチボックスSBとして説明する。

10

【0076】

図7(c)に示すように、ニューラルネットワーク集積回路CC3における各1ビットの入力データI又は出力データOの接続態様、及び結果的に有効なニューロンNRの数を制御するスイッチボックスSBは、セクタM₁乃至セクタM₅が図7(c)に示す態様により接続されて構成されている。この図7(c)に示すスイッチボックスSBの構成においては、上述してきた入力データIに対応する信号は図7(c)中左から入力される信号であり、上記出力データOに対応する信号は図7(c)中の上方及び下方からそれぞれ入力される信号である。そしてニューラルネットワーク集積回路C1乃至ニューラルネットワーク集積回路C4に対する入力データI等の切り換えは、当該切り換えを制御する切換制御信号S_{c1}乃至切換制御信号S_{c5}が外部からそれぞれ入力されるセクタM₁乃至セクタM₅により、実行される。

20

【0077】

以上説明したように、入力データIに対応する出力データOを生成して出力する図7(a)のニューラルネットワークSS3が、図7(c)に示す構成を備えるスイッチボックスSB1乃至スイッチボックスSB4により各スイッチSW1乃至スイッチSW4が切り換えられる、図7(b)に示す構成のニューラルネットワーク集積回路CC3によりモデル化される。

【0078】

以上それぞれ説明したように、第1実施形態に係るニューラルネットワーク回路CS及びニューラルネットワーク集積回路C1等の構成及び動作によれば、図2及び図3に例示するように、対応すべき脳機能に基づいてその数が既定されているメモリセル1のそれぞれが、記憶値として「NC」を意味する所定値或いは「1」又は「0」のいずれかを記憶し、1ビットの入力データIの値と記憶値とが等しい場合に入力データIの入力に対応して「1」を出力し、入力データIの値と記憶値とが等しくない場合に入力データIの入力に対応して「0」を出力し、上記所定値が記憶されている場合にいずれの値の入力データIが入力されても当該所定値を出力する。そして多数判定回路2が、値「1」を出力するメモリセル1の総数と、値「0」を出力するメモリセル1の総数と、の差に基づいて出力データOとして「1」又は「0」を出力する。より具体的な一例として多数判定回路2が、値「1」を出力するメモリセル1の総数が値「0」を出力するメモリセル1の総数より大きい場合に値「1」を出力データOとして出力し、値「1」を出力するメモリセル1の総数が値「0」を出力するメモリセル1の総数以下の場合に「0」を出力データOとして出力する。よって、メモリセル1においてニューラルネットワーク回路としての乗算処理を行い、一の多数判定回路2によりニューラルネットワーク回路としての加算処理及び活性化処理を行うので、回路規模及びそれに対応するコストを大幅に縮小しつつ、ニューラルネットワーク回路を効率的に実現することができる。

30

40

【0079】

また図4(b)に例示するように、それぞれが1ビットのn個の入力データIにそれぞれ対応してメモリセル1の数がnであるニューラルネットワーク回路CSをm個備え、各

50

ニューラルネットワーク回路CSに対してn個の入力データIが並列且つ共通的に入力され、各ニューラルネットワーク回路CSから出力データOをそれぞれ出力させる場合は、図4(a)に例示するニューラルネットワークS1をモデル化し且つ入力がn個であり出力がm個であるn×mのニューラルネットワーク集積回路C1を、回路規模及びそれに対応するコストを大幅に縮小しつつ効率的に実現することができる。更にこの場合に、図4(a)においてハッチングで示されるm個のニューロンNRと、当該m個に対して出力データOをそれぞれ出力するn個のニューロンNRと、の間に多様な接続のパターンがあっても、ニューラルネットワーク集積回路C1においてニューロンNR間に接続がない場合に対応するメモリセル1の記憶値として上記所定値を用いることで、ニューラルネットワーク集積回路C1をより効率的に実現することができる。更に図4に例示する場合には、n個の入力データIを各ニューラルネットワーク回路CSに対して並列且つ共通的に入力し、それに基づくm個の出力データOを並列に出力させることができるため、入力データI及び出力データOを逐次的に入出力させなければならない場合と比べて処理の大幅な高速化が可能となる。

10

20

30

40

50

【0080】

更にまた図5に例示するように、上記「n」と上記「m」とが等しいニューラルネットワーク集積回路C1等を直列に接続し、一のニューラルネットワーク集積回路C1(又はニューラルネットワーク集積回路C2)からの出力データOを、当該ニューラルネットワーク集積回路C1(又はニューラルネットワーク集積回路C2)の直後に接続された他のニューラルネットワーク集積回路C2(又はニューラルネットワーク集積回路C3)における入力データIとする場合は、入力及び出力が共に並列型であるニューラルネットワーク集積回路C1を、回路規模及びそれに対応するコストを大幅に縮小しつつ効率的に実現することができる。

【0081】

また図6に例示するように、各ニューラルネットワーク集積回路CSに対してn個の入力データIが並列且つ共通に入力され、各ニューラルネットワーク集積回路CSからm個の出力データOを並列にそれぞれ出力する場合は、入力及び出力が共に並列型であり且つ出力データOの数が入力データIの数より多いニューラルネットワーク集積回路C2を、回路規模及びそれに対応するコストを大幅に縮小しつつ効率的に実現することができる。

【0082】

また図7に例示するように、ニューラルネットワーク集積回路C1等を複数備え、各ニューラルネットワーク集積回路C1等をアレイ状に且つ相互に接続するスイッチSW1等により、各ニューラルネットワーク集積回路C1等に対する入力データI及び出力データOが切り換える場合には、スイッチSW1等における切換動作が、対応すべき脳機能に基づいて既定されていれば、大規模なニューラルネットワーク集積回路C3を、対応するコストを大幅に縮小しつつ効率的に実現することができる。

(II) 第2実施形態

次に、本発明に係る第2実施形態について、図8乃至図16を用いて説明する。なお、図8及び図9は第2実施形態に係るニューラルネットワーク集積回路の第1例をそれぞれ示す図であり、図10は第2実施形態に係るニューラルネットワーク回路の第1例を示す図であり、図11は第2実施形態に係るニューラルネットワーク集積回路の第2例を示す図である。また、図12は当該ニューラルネットワーク集積回路の第3例を示す図であり、図13は当該ニューラルネットワーク集積回路の第4例を示す図であり、図14は当該第4例の細部構成を示す図であり、図15は第2実施形態に係るニューラルネットワーク集積回路の第5例を示す図であり、図16は当該ニューラルネットワーク集積回路の第6例等の構成を示すブロック図である。

【0083】

以下に説明する第2実施形態は、図1乃至図7を用いて上述してきたニューラルネットワークS等のモデル化の構成又は手法とは異なる構成又は手法により、当該ニューラルネ

ットワークS等をモデル化しようとするものである。

(A) 第2実施形態に係るニューラルネットワーク集積回路の第1例について

初めに、第2実施形態に係るニューラルネットワーク集積回路の第1例について、図8及び図9を用いて説明する。なお、図8は当該第1例としての上記乗算処理を行う当該第1例の一部を示す図であり、図9は当該第1例全体を示す図である。このとき、当該乗算処理が本発明に係る「乗算機能」の一例に相当する。

【0084】

図8(a)に例示するように、当該第1例の一部によりモデル化されるネットワークS'では、一つのニューロンNRから1ビットの出力データO(換言すれば入力データI)が入力される。そして、入力データIの出力先となる図示しない複数の他のニューロンにそれぞれ対応する異なった重み付け係数 W_1 乃至重み付け係数 W_4 のうちの一つが当該入力データIに乘算され、上記図示しない他のニューロンに対して、出力データ E_1 乃至出力データ E_4 としてそれぞれ出力される。そしてこのときの出力データEは、入力データIと同様に1ビットの信号である。よって、図8に示す入力データIの値、各重み付け係数Wの値及び出力データEの値は、いずれも「0」又は「1」のいずれかである。

10

【0085】

次に、第2実施形態に係るニューラルネットワーク集積回路の第1例における図8(a)に示すネットワークS'に相当する部分の構成を、図8(b)にネットワーク回路CS'として示す。当該ネットワーク回路CS'は、各々が図8(a)に示す出力データ E_1 乃至出力データ E_4 にそれぞれ対応する四組のメモリセル10及びメモリセル11と、各々が出力データE(換言すれば、上記図示しない他のニューロンの入力データI)にそれぞれ対応する四つの多数判定入力回路12と、により構成される。このとき、一つのメモリセル10と一つのメモリセル11からなるメモリセル対の数及びそれらに対応する多数判定入力回路12の数(図8に例示する場合は共に四つ)は、第2実施形態に係るニューラルネットワーク集積回路の第1例として所望される出力データOの数に等しい。なお以下の図8の説明において、出力データOの数分の上記メモリセル対を、纏めて「メモリセルブロック15」(図8(b)破線参照)と称する。また、メモリセル10が本発明に係る「第1記憶部」の一例に相当し、メモリセル11が本発明に係る第2記憶部の一例に相当し、多数判定入力回路12が本発明に係る「第1回路部」の一例に相当する。

20

【0086】

以上の構成において各メモリセルブロック15内のメモリセル10は、ネットワーク回路CS'を含む第2実施形態に係るニューラルネットワーク集積回路の第1例が対応すべき脳機能に基づいて予め設定された1ビットの重み付け係数Wをそれぞれに記憶している。これに対して各メモリセルブロック15内のメモリセル11は、上記脳機能に基づいて予め設定された1ビットの接続有無情報をそれぞれに記憶している。ここで当該接続有無情報は、上記第1実施形態におけるメモリセル1の記憶値「NC」に相当するものであり、第2実施形態に係るニューラルネットワークにおける二つのニューロンNR間に接続がある状態であるか、又は当該接続がない状態であるか、のいずれかを表すための記憶値である。なお、各メモリセル10及びメモリセル11にどのような記憶値を記憶させておくかは、例えば、ネットワークS'を含む第2実施形態に係るニューラルネットワーク集積回路の第1例としてどのような脳機能をモデル化するか等に基づいて予め設定されていればよい。

30

40

【0087】

そして各メモリセル10は、それぞれの記憶値を、重み付け係数 W_1 、重み付け係数 W_2 、重み付け係数 W_3 及び重み付け係数 W_4 として多数判定入力回路12にそれぞれ出力する。このとき各メモリセル10は、それぞれの記憶値を、重み付け係数 W_1 乃至重み付け係数 W_4 として同時に多数判定入力回路12に出力する。なおこの同時出力の構成は、以下の図9乃至図16を用いてそれぞれ説明するニューラルネットワーク回路及びニューラルネットワーク集積回路における各メモリセル10においても同様である。一方各メモリセル11も、それぞれの記憶値を、接続有無情報 C_1 、接続有無情報 C_2 、接続有無情

50

報 C_3 及び接続有無情報 C_4 として多数判定入力回路 12 にそれぞれ出力する。このとき各メモリセル 11 は、それぞれの記憶値を、接続有無情報 C_1 乃至接続有無情報 C_4 として同時に多数判定入力回路 12 に出力する。また各メモリセル 11 は、上記各メモリセル 10 からの記憶値の出力に対して例えば一サイクル前又は後にずらして、それぞれの記憶値を同時に多数判定入力回路 12 に出力する。なおこの同時出力の構成及び各メモリセル 10 からの記憶値の出力のタイミングとの関係は、以下の図 9 乃至図 14 を用いてそれぞれ説明するニューラルネットワーク回路及びニューラルネットワーク集積回路における各メモリセル 11 においても同様である。更に以下の説明において、接続有無情報 C_1 、接続有無情報 C_2 、接続有無情報 C_3 、...、に共通の事項を説明する場合、単に「接続有無情報 C 」と称する。

10

【0088】

他方各多数判定入力回路 12 には、図 8 (b) において図示しない他のノード NR (図 8 (a) 参照) からの 1 ビットの入力データ I が共通的に入力されている。そして各多数判定入力回路 12 は、対応するメモリセル 11 から出力される上記接続有無情報を、そのまま接続有無情報 C_1 乃至接続有無情報 C_4 としてそれぞれ出力する。

【0089】

これらに加えて各多数判定入力回路 12 は、対応するメモリセル 10 から出力される重み付け係数 W_1 、重み付け係数 W_2 、重み付け係数 W_3 及び重み付け係数 W_4 と上記入力データ I との排他的否定論理和 ($XNOR$) を算出し、上記出力データ E_1 、出力データ E_2 、出力データ E_3 及び出力データ E_4 としてそれぞれ出力する。このとき、対応するメモリセル 11 の記憶値 (重み付け係数 W) と、入力データ I の値と、多数判定入力回路 12 から出力される出力データ E の値と、の関係は、図 8 (c) に真理値表を示す関係となる。なお図 8 (c) には、上記排他的否定論理和 ($XNOR$) を算出する前提としての排他的論理和 (XOR) についても記載している。

20

【0090】

ここで、図 2 を用いて説明した第 1 実施形態に係るニューラルネットワーク回路 CS に対応する真理値表 (図 2 (c) 参照) と、上記図 8 (c) に示す真理値表とを比較する。このとき、メモリセル 10 における記憶値及び入力データ I の値をそれぞれ図 2 (c) に示した真理値表のものと同じとした場合、図 8 (b) に示す出力データ E の値は図 2 (b) に示す出力データ E の値と同一となる。これらにより、図 8 (b) に示すネットワーク回路 CS' は、図 2 (b) に示したニューラルネットワーク回路 CS における上記乗算処理と同様の論理により、図 8 (a) に示すネットワーク S' における上記乗算処理をモデル化した回路となる。即ち、各メモリセル 10 から出力されてくる各々の記憶値 (重み付け係数 W) と入力データ I の値との間の排他的論理和を多数判定入力回路 12 において算出することが上記乗算処理に相当する。以上の通り、図 8 (b) に示すネットワーク回路 CS' により、図 8 (a) に示すネットワーク S' における乗算処理がモデル化される。

30

【0091】

次に、第 2 実施形態に係るニューラルネットワーク集積回路の第 1 例の全体について図 9 を用いて説明する。なお図 9 において、図 8 を用いて説明した第 2 実施形態に係るネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

40

【0092】

図 9 を用いてその全体を説明する第 2 実施形態に係るニューラルネットワーク集積回路の第 1 例は、図 8 を用いて説明した第 2 実施形態に係るネットワーク回路 CS' を複数集積した集積回路である。第 2 実施形態に係るニューラルネットワーク集積回路の第 1 例では、当該ネットワーク回路 CS' に相当する上記乗算処理に加えて、上記加算処理及び上記活性化処理が実行される。このとき、当該加算処理及び活性化処理が本発明に係る「加算/適用機能」の一例に相当する。

【0093】

先ず、第 2 実施形態に係るニューラルネットワーク集積回路の第 1 例によりモデル化さ

50

れるニューラルネットワークの全体について、図9(a)を用いて説明する。図9(a)に示す当該ニューラルネットワークS1'は、図8を用いて説明したネットワークS'をm個のニューロンNR分含んでいる。当該ニューラルネットワークS1'では、図9(a)においてハッチングで示されるn個のニューロンNRのそれぞれに対して、それぞれが上記ネットワークS'を構成するm個のニューロンNRからそれぞれ1ビットの出力データO(換言すれば入力データI)が出力される。そしてこれにより、各出力データOが出力データEとなって上記ハッチングで示されるn個のニューロンNRのそれぞれに入力され、当該ハッチングで示されるニューロンNRから出力データOが一つずつ合計n個並列的に出力される。即ち上記ニューラルネットワークS1'は、直列(m)入力・並列(n)出力型の一段ニューラルネットワークである。

10

【0094】

上記ニューラルネットワークS1'をモデル化した第2実施形態に係るニューラルネットワーク集積回路の第1例は、図9(b)に示すニューラルネットワーク集積回路C1'となる。当該ニューラルネットワーク集積回路C1'は、上記メモリセル対及び多数判定入力回路12をそれぞれにn個ずつ含む第2実施形態に係るニューラルネットワーク回路CS'(図8参照)をm個備えると共に、各多数判定入力回路12及びメモリセル対に対応させてn個の直列多数判定回路13を備えている。このとき、直列多数判定回路13が本発明に係る「第2回路部」の一例に相当する。そして図9(b)に示すように、 $n \times m$ 個の上記メモリセル対(換言すれば、m個のメモリセルブロック15)により、メモリセルアレイMC1が構成されている。またニューラルネットワーク集積回路C1'では、図9(b)に示すメモリセルアレイMC1における横一行(m個)のメモリセル対で一つの多数判定入力回路12を共用する。なお、メモリセルアレイMC1、各多数判定入力回路12及び各直列多数判定回路13には、それぞれ上記タイミング信号 τ_1 等が共通的に入力されているが、説明の簡略化のために図9(b)では図示を省略している。

20

【0095】

以上の構成において、それぞれのニューラルネットワーク回路CS'を構成するメモリセルブロック15のメモリセル10からは、上記重み付け係数Wが、一のメモリセルブロック15に含まれる各メモリセル10について同時に、且つm個のメモリセルブロック15について順次に(即ちシリアル形式で)、それぞれ出力される。そして、これらの重み付け係数Wと、対応するタイミングによりシリアル形式で入力されるm個の入力データI(各1ビットの入力データI)と、の上記排他的論理和を、上記共有する多数判定入力回路12において時分割的に演算し、それを出力データEとして、対応する直列多数判定回路13にシリアル形式で出力する。一方、それぞれのニューラルネットワーク回路CS'を構成するメモリセルブロック15のメモリセル11からは、上記接続有無情報Cが、一のメモリセルブロック15に含まれる各メモリセル11について同時に、且つm個のメモリセルブロック15について順次に(即ちシリアル形式で)、それぞれ出力される。そしてこれらの接続有無情報Cが、上記共有する多数判定入力回路12を介し、各入力データIの入力タイミングに対応したシリアル形式で、対応する直列多数判定回路13に出力される。なお、各メモリセルブロック15からの上記各重み付け係数Wの出力タイミングの態様、及び各メモリセルブロック15からの上記各接続有無情報Cの出力タイミングの態様のそれぞれは、以下の図10乃至図14を用いてそれぞれ説明するニューラルネットワーク集積回路における各メモリセル11においても同様である。また図9(b)では、図面としての明確化及びその説明の簡略化のため、メモリセル10から出力される上記重み付け係数 W_n と、それに対応するメモリセル11から出力される上記接続有無情報 C_n と、を、合わせて一本の実線で示している。この点は、以下に説明する図11乃至図14において同様である。

30

40

【0096】

次に、各多数判定入力回路12から出力データE及び接続有無情報Cがそれぞれ入力されるn個の直列多数判定回路13はそれぞれ、同じタイミングで入力された接続有無情報Cが「接続あり」を示している最大m個の出力データEについて、値「1」の当該出力デ

50

ータEの数を加算してその合計値を算出すると共に、値「0」の出力データEの数を加算してその合計値を算出する。これらの加算が上記加算処理に相当する。そして各直列多数判定回路13はそれぞれ、値「1」の出力データE及び値「0」の出力データEそれぞれの数の上記合計値を比較し、前者の数から後者の数を減じた値が、第1実施形態に係る上記多数判定閾値と同様にして予め設定された多数判定閾値以上の場合にのみ、値「1」の出力データOを出力する。一方それ以外の場合、即ち値「1」の出力データEの数の合計値から値「0」の出力データEの数の合計値を減じた値が上記多数判定閾値未満の場合に各直列多数判定回路13はそれぞれ、値「0」の出力データOを出力する。これらの各直列多数判定回路13における処理が上記活性化処理に相当すると共に、各出力データOは1ビットとなる。ここで、同じタイミングで出力される上記接続有無情報Cが「接続なし」を示している場合、直列多数判定回路13は、出力データEを、値「1」の出力データEの数及び値「0」の出力データEの数のいずれにも加算しない。そして各直列多数判定回路13は、上述した各処理により1ビットの出力データOを出力することを、入力データIが入力されるタイミングに合わせて繰り返す。このときの出力データOは、結果的に各直列多数判定回路13から並列的に出力される。この場合、出力データOの総数はn個となる。以上の通り、図9(a)においてハッチングで示される一つのニューロンNRに対応する上記乗算処理、加算処理及び活性化処理のそれぞれは、図9(b)に示すメモリセルアレイMC1における横一行分のメモリセル対と、それらに対応する多数判定入力回路12及び直列多数判定回路13と、により実行されることになる。

10

20

【0097】

以上説明したように、図9(a)においてハッチングで示されるn個のニューロンNRに対してm個のニューロンNRから1ビットの出力データOがそれぞれ出力され、これらにより当該n個のニューロンNRから出力データOが合計n個出力されるニューラルネットワークS1'が、図9(b)に示す構成を備えるニューラルネットワーク集積回路C1'によりモデル化される。

【0098】

より具体的に、人の脳機能に対応し且つ各1ビットの入力データI及び出力データOがそれぞれ入出力されるニューラルネットワーク集積回路C1'の構成によれば、上記乗算処理をメモリセル10、メモリセル11及び多数判定入力回路12により実行し、上記加算処理及び活性化処理を直列多数判定回路13により実行するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、人の脳機能に対応したニューラルネットワークS1'を効率的に実現することができる。

30

【0099】

また、上記ニューラルネットワーク集積回路C1'の構成によれば、入力データIの数が一であり、出力データO、メモリセル10、メモリセル11、多数判定入力回路12及び直列多数判定回路13それぞれの数が、対応すべき脳機能に基づいた既定の二以上の数とされており、重み付け係数W及び接続有無情報Cのそれぞれが脳機能に対応した値とされている。そして各多数判定入力回路12が、各出力データOにそれぞれ対応する重み付け係数Wと入力データIとの排他的論理和を出力データOごとにそれぞれ生成し、各直列多数判定回路13が、(値「1」である出力データEの総数 - 値「0」である出力データEの総数 > 多数判定閾値)であるとき値「1」を出力データOとして出力し、(値「1」である出力データEの総数 - 値「0」である出力データEの総数 < 多数判定閾値)であるとき値「0」を出力データOとして出力する。よって、各メモリセル10、各メモリセル11及び各多数判定入力回路12により出力データOごとに乗算処理を実行し、更に各直列多数判定回路13により出力データOごとに加算処理及び活性化処理を実行するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、いわゆる直列入力・並列出力型のニューラルネットワークS1'を効率的に実現することができる。

40

(B) 第2実施形態に係るニューラルネットワーク回路の第1例について

次に、第2実施形態に係るニューラルネットワーク回路の第1例について、図10を用いて説明する。

50

【0100】

図10(a)に例示するように、当該第1例に相当するニューラルネットワークSは、基本的には図2(a)に例示した第1実施形態に係るニューラルネットワークSと同一の構成である。但し図10(a)に示す例では、図10(a)においてハッチングで示される一つのニューロンNRに対して他の三つのニューロンNRから1ビットの入力データI(当該他のニューロンNRから見ると出力データO)が並列的に入力され、それに対応する出力データOが当該ニューロンNRからシリアル形式で一つ出力される構成となっている。このときの出力データOも、各入力データIと同様に1ビットの信号である。よって、図10に示す入力データIの値及び出力データOの値は、いずれも「0」又は「1」のいずれかである。そして、図10(a)に示すニューロンNRにおいて実行される上記乗算処理等に相当する上記式(1)は、上記式(1)において $n=3$ とした場合の式である。即ち上記ニューラルネットワークSは、並列入力-直列出力型の一段ニューラルネットワークである。

10

【0101】

次に、図10(a)においてハッチングで示したニューロンNRに相当する第2実施形態に係るニューラルネットワーク回路の第1例の構成を、図10(b)にニューラルネットワーク回路CCS'として示す。当該ニューロンNRに相当する第2実施形態に係るニューラルネットワーク回路CCS'は、各々が図10(a)に例示する入力データIにそれぞれ対応する三組のメモリセル10及びメモリセル11と、各入力データIが入力される並列多数判定回路20と、により構成される。このとき、一つのメモリセル10と一つのメモリセル11からなるメモリセル対の数(図10に例示する場合は共に三つ)は、図10(a)に示すニューラルネットワークSとして所望される入力データIの数に等しい。なお以下の図10の説明において、入力データIの数分の上記メモリセル対はそれぞれメモリセルブロック15と示されている(図10(b)破線参照)。

20

【0102】

以上の構成において各メモリセルブロック15内のメモリセル10は、ニューラルネットワーク回路CCS'が対応すべき脳機能に基づいて予め設定された1ビットの重み付け係数Wをそれぞれに記憶している。これに対して各メモリセルブロック15内のメモリセル11は、上記脳機能に基づいて予め設定された1ビットの接続有無情報をそれぞれに記憶している。ここで当該接続有無情報は、図8及び図9を用いて説明した第2実施形態に係るニューラルネットワーク回路の第1例における接続有無情報 C_n と同一の情報であるので、細部の説明は省略する。また、各メモリセル10及びメモリセル11にどのような記憶値を記憶させておくかは、例えば、図10(a)に示すニューラルネットワークSとしてどのような脳機能をモデル化するか等に基づいて予め設定されていけばよい。

30

【0103】

そして各メモリセル10は、それぞれの記憶値を、図8(b)に示す各メモリセル10と同様のタイミングで、重み付け係数 W_1 、重み付け係数 W_2 及び重み付け係数 W_3 として並列多数判定回路20にそれぞれ出力する。一方各メモリセル11も、それぞれの記憶値である接続有無情報Cを、図8(b)に示す各メモリセル11と同様のタイミングで並列多数判定回路20にそれぞれ出力する。

40

【0104】

他方並列多数判定回路20には、上述したように入力データ I_1 、入力データ I_2 及び入力データ I_3 (各1ビット)が並列的に入力されている。そして並列多数判定回路20は、図9を用いて説明した一組の多数判定入力回路12及び直列多数判定回路13と同様の動作を含む動作(即ち、上記乗算処理、上記加算処理及び上記活性化処理)を行う。具体的に並列多数判定回路20は先ず、対応する接続有無情報Cが「接続あり」を示している場合に、それぞれが1ビットの各入力データIと、それらに対応する重み付け係数Wと、の上記排他的論理和を当該各入力データIについて演算する。次に並列多数判定回路20は、各上記演算結果について、値「1」の当該演算結果の数を加算してその合計値を算出すると共に、値「0」の当該演算結果の数を加算してその合計値を算出する。そして並

50

列多数判定回路20は、値「1」の当該演算結果及び値「0」の当該演算結果それぞれの数の上記合計値を比較し、前者の数から後者の数を減じた値が、第1実施形態に係る上記多数判定閾値と同様にして予め設定された多数判定閾値以上の場合にのみ、値「1」の出力データOをシリアル形式で出力する。一方それ以外の場合、即ち値「1」の出力データEの数の合計値から値「0」の出力データEの数の合計値を減じた値が上記多数判定閾値未満の場合に並列多数判定回路20は値「0」の出力データOをシリアル形式で出力する。この場合に出力データOは1ビットとなる。ここで、対応する接続有無情報Cが「接続なし」を示している場合、並列多数判定回路20は上記排他的論理和を演算しない。なお、各入力データIと、対応する重み付け係数Wと、の上記排他的論理和を全ての入力データIについて一旦演算し、対応する接続有無情報Cが「接続なし」を示している場合に、その演算結果を値「1」の演算結果の数及び値「0」の演算結果の数のいずれにも加算しないように構成してもよい。そして並列多数判定回路20は、上述した各処理により1ビットの出力データOをシリアル形式で出力することを、並列的に入力されている各入力データIの数ごとに繰り返す。以上の各処理により、図10(b)に示すニューラルネットワーク回路CCS'は、図10(a)においてハッチングで示されるニューロンNRにおける上記乗算処理、加算処理及び活性化処理をモデル化した回路となる。

10

(C) 第2実施形態に係るニューラルネットワーク集積回路の第2例について

次に、第2実施形態に係るニューラルネットワーク集積回路の第2例について、図11を用いて説明する。なお図11において、図10を用いて説明した第2実施形態に係るニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

20

【0105】

図11を用いて説明する第2実施形態に係るニューラルネットワーク集積回路の第2例は、図10を用いて説明した第2実施形態に係るニューラルネットワーク回路CCS'を複数集積した集積回路であり、より多くのニューロンNRからなる複雑なニューラルネットワークをモデル化するためのものである。

【0106】

先ず、第2実施形態に係るニューラルネットワーク集積回路の第2例によりモデル化されるニューラルネットワークについて、図11(a)を用いて説明する。図11(a)に示す当該ニューラルネットワークS2'は、図11(a)においてハッチングで示されるm個のニューロンNRのそれぞれに対してn個のニューロンNRから1ビットの出力データO(m個のニューロンNRから見た場合は入力データI)が並列的にそれぞれ入力され、それらに対応する出力データOが当該ニューロンNRからシリアル形式で出力される構成となっている。このときの出力データOも、各入力データIと同様に1ビットの信号である。よって、図11に示す入力データIの値及び出力データOの値は、いずれも「0」又は「1」のいずれかである。即ち上記ニューラルネットワークS2'は、並列入力-直列出力型の一段ニューラルネットワークである。

30

【0107】

上記ニューラルネットワークS2'をモデル化した第2実施形態に係るニューラルネットワーク集積回路の第2例は、図11(b)に示すニューラルネットワーク集積回路C2'となる。当該ニューラルネットワーク集積回路C2'は、上記メモリセル対をそれぞれにn個ずつ含む第2実施形態に係るニューラルネットワーク回路CCS'(図10参照)をm個備えると共に、上記並列多数判定回路20を備えている。そして図11(b)に示すように、 $n \times m$ 個の上記メモリセル対(換言すれば、m個のメモリセルブロック15)により、メモリセルアレイMC2が構成されている。またニューラルネットワーク集積回路C2'では、一つの並列多数判定回路20を図11(b)に示すメモリセルアレイMC2における横一行(m個)のメモリセル対で共用する。なお、メモリセルアレイMC2及び並列多数判定回路20には、それぞれ上記タイミング信号 ϕ_1 等が共通的に入力されているが、説明の簡略化のために図11(b)では図示を省略している。

40

【0108】

50

以上の構成において、それぞれのニューラルネットワーク回路 C C S ' を構成するメモリセルブロック 1 5 のメモリセル 1 0 からは、上記重み付け係数 W が、図 9 (b) に示す各メモリセル 1 0 及び各メモリセルブロック 1 5 と同様のタイミングで並列多数判定回路 2 0 に出力される。一方、それぞれのニューラルネットワーク回路 C C S ' を構成するメモリセルブロック 1 5 のメモリセル 1 1 からは、上記接続有無情報 C が、図 9 (b) に示す各メモリセル 1 1 及び各メモリセルブロック 1 5 と同様のタイミングで並列多数判定回路 2 0 に出力される。

【 0 1 0 9 】

そして並列多数判定回路 2 0 は、メモリセルアレイ M C 2 から出力されてくる重み付け係数 W 及び接続有無情報 C と、それらに対応する入力データ I と、に基づき、接続有無情報 C が「接続あり」を示している重み付け係数 W 及び入力データ I を用いた上記排他的論理和の演算処理、その演算結果に基づく値「1」の演算結果及び値「0」の演算結果それぞれの数の加算処理、その加算結果に基づく上記合計数の比較処理（図 1 0 (b) 参照）、及びその比較結果に基づく出力データ O の生成処理を、メモリセルアレイ M C 2 における横一行（m 個）についてそれぞれ行う。また並列多数判定回路 2 0 は、上記横一行についての演算処理、加算処理、比較処理及び生成処理を、各入力データ I について、メモリブロック 1 5 ごとにシリアル形式で実行し、それぞれの実行結果としての出力データ O をシリアル形式で出力する。ここで、対応する接続有無情報 C が「接続なし」を示している場合、並列多数判定回路 2 0 は上記演算処理、加算処理、比較処理及び生成処理を行わない。

【 0 1 1 0 】

以上説明したように、図 1 1 (a) においてハッチングで示される m 個のニューロン N R に対して n 個のニューロン N R からそれぞれ出力データ O が出力され、これらにより当該 m 個のニューロン N R から 1 ビットの出力データ O がシリアル形式で出力されるニューラルネットワーク S 2 ' が、図 1 1 (b) に示す構成を備えるニューラルネットワーク集積回路 C 2 ' によりモデル化される。

【 0 1 1 1 】

より具体的に、ニューラルネットワーク集積回路 C 2 ' の構成によれば、出力データ O 及び並列多数判定回路 2 0 の数がそれぞれ一であり、入力データ I、メモリセル 1 0 及びメモリセル 1 1 それぞれの数が、対応すべき脳機能に基づいた既定の二以上の数とされており、重み付け係数 W 及び接続有無情報 C のそれぞれが脳機能に対応した値とされている。そして並列多数判定回路 2 0 が、各入力データ I にそれぞれ対応する重み付け係数 W と当該各入力データ I との排他的論理和を入力データ I ごとにそれぞれ生成し、更に、（値「1」である排他的論理和の総数 - 値「0」である排他的論理和の総数 多数判定閾値）であるとき値「1」を出力データ O として出力し、（値「1」である排他的論理和の総数 - 値「0」である排他的論理和の総数 < 多数判定閾値）であるとき値「0」を出力データ O として出力する。よって、各メモリセル 1 0、各メモリセル 1 1 及び一の並列多数判定回路 2 0 により入力データ I ごとに乗算処理を実行し、更に並列多数判定回路 2 0 により入力データ I ごとに加算処理及び活性化処理を実行するので、回路規模及びそれに対応するコストを大幅に縮小しつつ、いわゆる並列入力 - 直列出力型のニューラルネットワーク S 2 ' を効率的に実現することができる。

(D) 第 2 実施形態に係るニューラルネットワーク集積回路の第 3 例について

次に、第 2 実施形態に係るニューラルネットワーク集積回路の第 3 例について、図 1 2 を用いて説明する。なお図 1 2 において、図 8 及び図 1 0 を用いてそれぞれ説明した第 2 実施形態に係るニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

【 0 1 1 2 】

図 1 2 を用いて説明する第 2 実施形態に係るニューラルネットワーク集積回路の第 3 例は、図 9 を用いて説明した第 2 実施形態に係るニューラルネットワーク集積回路 C 1 ' と、図 1 1 を用いて説明した第 2 実施形態に係るニューラルネットワーク集積回路 C 2 ' と

、を組み合わせた集積回路である。ここで、上記ニューラルネットワーク集積回路C 1' は上述した通り直列入力 - 並列出力型の一段ニューラルネットワークS 1' をモデル化したニューラルネットワーク回路である。一方上記ニューラルネットワーク集積回路C 2' は、上述した通り並列入力 - 直列出力型の一段ニューラルネットワークS 2' をモデル化したニューラルネットワーク回路である。そしてこれらを組み合わせた第2実施形態に係るニューラルネットワーク集積回路の第3例は、全体として直列入力 - 並列処理 - 直列出力型の多段ニューラルネットワークをモデル化したニューラルネットワーク集積回路であり、更に多くのニューロンNRからなる複雑なニューラルネットワークをモデル化するためのものである。

【0113】

先ず、第2実施形態に係るニューラルネットワーク集積回路の第3例によりモデル化されるニューラルネットワークについて、図12(a)を用いて説明する。図12(a)に示す当該ニューラルネットワークS 1-2は、図12(a)において45度のハッチングで示されるn個のニューロンNRのそれぞれに対してm個のニューロンNRからそれぞれ1ビットの出力データOがシリアル形式で出力され、当該45度のハッチングで示されるニューロンNRと図11(a)において135度のハッチングで示されるm個のニューロンNRとの間で出力データO及び入力データIの授受が行われ、結果的に135度のハッチングで示されるm個のニューロンNRからそれぞれ出力データOがシリアル形式で出力されるニューラルネットワークである。なお上記ニューラルネットワークS 1-2は、全体として、図4を用いて説明したニューラルネットワークS 1を複数並べたニューラルネットワークに相当する。

【0114】

上記ニューラルネットワークS 1-2をモデル化した第2実施形態に係るニューラルネットワーク集積回路の第3例は、図12(b)に示すニューラルネットワーク集積回路C 1-2となる。当該ニューラルネットワーク集積回路C 1-2は、図9を用いて説明したニューラルネットワーク集積回路C 1'の各出力データO(並列的に出力される各出力データO)を、図11を用いて説明したニューラルネットワーク集積回路C 2'における並列多数判定回路20への入力データ(即ち図11(b)に示す入力データI)とし、これにより、当該並列多数判定回路20から上記出力データOをシリアル形式で出力する構成を備える。このように、上記ニューラルネットワーク集積回路C 1'とニューラルネットワーク集積回路C 2'とを組み合わせることにより、結果的に、図9(a)に例示するニューラルネットワークS 1'と、図11(a)に例示するニューラルネットワークS 2'と、が組み合わせられた上記ニューラルネットワークS 1-2がモデル化される。なお、ニューラルネットワークS 1-2に含まれる上記ニューラルネットワーク集積回路C 1'及びニューラルネットワーク集積回路C 2'それぞれの動作は、図9及び図11を用いてそれぞれ説明した動作と同様となる。なお図12(b)に示すニューラルネットワーク集積回路C 1-2では、並列多数判定回路20に対応する直列多数判定回路16が、破線で示される一組の多数判定入力回路12及び直列多数判定回路13により、それぞれ構成されていることになる。

【0115】

以上説明したように、図12(a)に示すニューラルネットワークS 1-2が、図12(b)に示す直列入力 - 並列処理 - 直列出力型の構成を備えるニューラルネットワーク集積回路C 1-2によりモデル化される。

【0116】

より具体的に、ニューラルネットワーク集積回路C 1-2の構成によれば、ニューラルネットワーク集積回路C 1'とニューラルネットワーク集積回路C 2'とを備え、一の入力データIが入力されるニューラルネットワーク集積回路C 1'から出力される各出力データOがそれぞれ、ニューラルネットワーク集積回路C 2'における各入力データIとされており、ニューラルネットワーク集積回路C 2'から一の出力データOが出力される。よって、ニューラルネットワーク集積回路C 1'とニューラルネットワーク集積回路C 2

10

20

30

40

50

とを接続することで、回路規模及びそれに対応するコストを大幅に縮小しつつ、多様な脳機能に対応可能なニューラルネットワークS1-2を効率的に実現することができる。

(E) 第2実施形態に係るニューラルネットワーク集積回路の第4例について

次に、第2実施形態に係るニューラルネットワーク集積回路の第4例について、図13及び図14を用いて説明する。なお図13及び図14において、図9及び図11並びに図12を用いてそれぞれ説明した第2実施形態に係るニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

【0117】

図13を用いて説明する第2実施形態に係るニューラルネットワーク集積回路の第4例は、図13(a)に示すように、図12を用いて説明した第2実施形態に係るニューラルネットワーク集積回路C1-2において、それを構成する上記ニューラルネットワーク集積回路C1'と上記ニューラルネットワーク集積回路C2'との間にパイプラインレジスタ21を介在させた構成を備えたニューラルネットワーク集積回路C1-3である。このパイプラインレジスタ21が、本発明に係る「レジスタ部」の一例に相当する。そしてパイプラインレジスタ21は、メモリセルアレイMC1のビット幅に相当する数のデータを一時的に記憶すると共に、外部からのイネーブル信号ENにより、その出力動作が制御される。このイネーブル信号ENは、予め設定された基準クロック信号のうちの偶数基準クロックに相当するタイミング信号である。そしてニューラルネットワーク集積回路C1-3は、図13(b)に示すように全体として、ニューラルネットワーク集積回路C1'におけるメモリセルアレイMC1と、ニューラルネットワーク集積回路C2'におけるメモリセルアレイMC2と、の間に、1ビットの入力データIが例えばm個シリアル形式で入力されると共に上記イネーブル信号ENが入力され、これらに対応した1ビットの出力データOが例えばm個シリアル形式で出力される並列演算器PPを介在させた構成を備える。このとき、メモリセルアレイMC1及びメモリセルアレイMC2はそれぞれ、例えば256ビット幅で512ワード(Word)分の規模を備えており、アドレス指定用の例えば8ビットのアドレスデータADがそれぞれに入力される。そしてこの場合の並列演算器PPは、256ビット分の多数判定入力回路12及び直列多数判定回路13と、上記パイプラインレジスタ21と、256ビットに対応する並列多数判定回路20と、により構成される。

【0118】

以上の構成において、ニューラルネットワークS1-3に含まれる上記ニューラルネットワーク集積回路C1'及びニューラルネットワーク集積回路C2'それぞれの動作は、図9及び図11を用いて説明した動作と同様となる。一方パイプラインレジスタ21は、例えば、ニューラルネットワーク集積回路C2'のメモリセルアレイMC2から読み出した重み付け係数W及び接続有無情報Cに基づいて並列多数判定回路20において出力データOの生成/出力処理を行っているタイミングでニューラルネットワーク集積回路C1'のメモリセルアレイMC1から読み出した出力データOを一時的に記憶する。そして、上記重み付け係数W及び接続有無情報Cに基づく並列多数判定回路20の処理が完了したタイミングで、メモリセルアレイMC1から読み出して記憶していた出力データOを並列多数判定回路20に出力してそれに基づいた出力データOの生成/出力処理を行わせる。この処理により、見かけ上はメモリセルアレイMC1からの出力データOの読み出しと、メモリセルアレイMC2からの重み付け係数W及び接続有無情報Cの読み出しと、を同時に行わせることができ、結果的に、図12を用いて説明したニューラルネットワークS1-2に対して略二倍の処理速度を実現させることができる。

【0119】

次に、図13に示すニューラルネットワーク集積回路C1-3における特に並列演算器PPの細部構成について、図14を用いて説明する。

【0120】

先ず図14(a)に示すように並列演算器PPは、メモリセルアレイMC1のビット幅に相当する数の上記多数判定入力回路12及び上記直列多数判定回路13からなる直列多

10

20

30

40

50

数判定回路 16 と、メモリセルアレイ MC 1 のビット幅に相当する上記パイプラインレジスタ 21 と、出力フリップフロップ回路 22 を介して出力データ O を出力する上記並列多数判定回路 20 と、により構成されている。この構成においてパイプラインレジスタ 21 は図 14 (a) に示すように、メモリセルアレイ MC 1 のビット幅に相当する出力レジスタ 21 U 及び入力レジスタ 21 L により構成されており、上記イネーブル信号 EN が入力レジスタ 21 L に入力される。そして入力レジスタ 21 L は、イネーブル信号 EN が入力されるタイミングでそれに記憶 (ラッチ) されているデータを並列多数判定回路 20 に出力すると共に、当該タイミングで出力レジスタ 21 U に記憶されているデータを引き出して (即ちシフトさせて) 記憶 (ラッチ) する。またこれにより出力レジスタ 21 U は、入力レジスタ 21 L によりそのデータが引き出されたタイミングで、次の出力データ O を記憶 (ラッチ) する。以上の入力レジスタ 21 L 及び出力レジスタ 21 U の動作が繰り返されることにより、上述したパイプラインレジスタ 21 としての動作が実現される。

10

【 0 1 2 1 】

次に、上記多数判定入力回路 12 及び直列多数判定回路 13 の細部構成について、図 14 (b) を用いて説明する。図 14 (b) に示すように一の直列多数判定回路 16 内の多数判定入力回路 12 は、排他的否定論理和回路 12 A と、マスクフリップフロップ回路 12 B と、により構成されている。この構成において排他的否定論理和回路 12 A には、メモリセルアレイ MC 1 からの重み付け係数 W と、1 ビットの入力データ I と、が入力され、これらの排他的否定論理和の結果を上記出力データ E として直列多数決回路 13 に出力する。またマスクフリップフロップ回路 12 B は、メモリセルアレイ MC 1 からの接続有無情報 C と、上記イネーブル信号 EN と、が入力され、イネーブル信号 EN が入力されたタイミングで上記接続有無情報 C を直列多数決回路 13 に出力する。そして直列多数決回路 13 は、上記出力データ E 及び上記接続有無情報 C に基づいた上述した動作により出力データ O を生成して、パイプラインレジスタ 21 の出力レジスタ 21 U に出力する。このとき、上記既定の多数判定閾値を直列多数決回路 13 内の図示しないレジスタ内に保持してそれを参照することで、上述した直列多数決回路 13 としての動作を実現できる。

20

【 0 1 2 2 】

次に、上記並列多数判定回路 20 の細部構成について、図 14 (c) を用いて説明する。図 14 (c) に示すように並列多数判定回路 20 は、入力データ I の数と同数の排他的否定論理和回路 20 A 及びマスクフリップフロップ回路 20 B と、並列多数決回路 20 C と、により構成されている。この構成において排他的否定論理和回路 20 A には、メモリセルアレイ MC 2 からの 1 ビットの重み付け係数 W と、パイプラインレジスタ 21 の入力レジスタ 21 L からの 1 ビットの出力データ O と、が入力され、これらの排他的論理和の結果を並列多数決回路 20 C に出力する。またマスクフリップフロップ回路 20 B は、メモリセルアレイ MC 2 からの接続有無情報 C と、上記イネーブル信号 EN と、が入力され、イネーブル信号 EN が入力されたタイミングで上記接続有無情報 C を並列多数決回路 20 C に出力する。そして並列多数決回路 20 C は、メモリセルアレイ MC 2 からの一組の重み付け係数 W 及び接続有無情報 C に対応する排他的否定論理和回路 12 A 及びマスクフリップフロップ回路 20 B それぞれからの出力に基づいた上述した動作をメモリセルアレイ MC 1 からの出力データ O の数 (図 13 及び図 14 に例示する場合は 256) だけ繰り返す。そして、出力フリップフロップ回路 22 を介してシリアル形式で出力データ O として出力する。そして、上記既定の多数判定閾値を並列多数決回路 20 C 内の図示しないレジスタ内に保持してそれを参照することで、上述した並列多数決回路 20 としての動作を実現できる。

30

40

【 0 1 2 3 】

このとき、上述したパイプラインレジスタ 21 の動作により並列演算器 PP では、例えば図 14 (d) に示すように、メモリセルアレイ MC 1 からの 256 ビット分の出力データ O に対する処理 (図 14 (d) において「メモリセルブロック 15_{U1}」と示す) が終了すると、次にメモリセルアレイ MC 1 からの次の 256 ビット分の出力データ O に対する処理 (図 14 (d) において「メモリセルブロック 15_{U2}」と示す) と、メモリセル

50

アレイMC2からの256ビット分の重み付け係数W及び接続有無情報Cに対する処理(図14(d)において「メモリセルブロック15_{L1}」と示す)と、が、見かけ上同時並列的に実行される。そして、メモリセルブロック15_{U2}に対応する出力データO並びにメモリセルブロック15_{L1}に対応する重み付け係数W及び接続有無情報Cに対する処理が終了すると、次にメモリセルアレイMC1からの更に次の256ビット分の出力データOに対する処理(図14(d)において「メモリセルブロック15_{U3}」と示す)と、メモリセルアレイMC2からの次の256ビット分の重み付け係数W及び接続有無情報Cに対する処理(図14(d)において「メモリセルブロック15_{L2}」と示す)と、が、見かけ上同時並列的に実行される。以降は、メモリセルアレイMC1及びメモリセルアレイMC2それぞれからの256ビット分の出力データO並びに重み付け係数W及び接続有無情報Cに対して、逐次的且つ同時並列的な処理が実行される。

10

【0124】

なお、図14(b)に示す多数判定入力回路12及び直列多数判定回路13の細部構成、並びに図14(c)に示す並列多数判定回路20の細部構成は、図8以降に示す各メモリセル11からの上記接続有無情報Cの出力タイミングが、図8以降に示す各メモリセル10からの上記重み付け係数Wの出力タイミングよりも例えば一サイクル早いことを前提とした構成である。この出力タイミングのずれを吸収するのが、図14(b)及び図14(c)にそれぞれ示すマスクフリップフロップ回路12B及びマスクフリップフロップ回路20Bの機能である。一方、上記重み付け係数Wの出力タイミングと上記接続有無情報Cの出力タイミングとを同時並行的とすることも可能である。そしてこの場合、図14(b)及び図14(c)にそれぞれ示すマスクフリップフロップ回路12B及びマスクフリップフロップ回路20Bは、多数判定入力回路12及び並列多数判定回路20としては不要となる。

20

【0125】

以上説明したように、図13及び図14に示すニューラルネットワーク集積回路C1-3によれば、図12(a)に示すニューラルネットワークS1-2を、約二倍の処理速度をもってモデル化することができる。なお図14を用いて説明した直列多数判定回路16の細部構成は、図12を用いて説明したニューラルネットワーク集積回路C1-2に含まれる直列多数判定回路16の細部構成として適用することもできる。

【0126】

より具体的に、ニューラルネットワーク集積回路C1-3によれば、ニューラルネットワーク集積回路C1'とニューラルネットワーク集積回路C2'との間に備えられたパイプラインレジスタ21により、ニューラルネットワーク集積回路C1'から出力される各出力データOを一基準クロック分だけバッファリングして、ニューラルネットワーク集積回路C2'における各入力データIとして当該ニューラルネットワーク集積回路C2'に出力する。よって、ニューラルネットワーク集積回路C2'における並列多数判定回路20における見かけ上の並列処理が可能となり、多様な脳機能に対応可能なニューラルネットワークS1-2を効率的且つ高速化して実現することができる。

30

(F) 第2実施形態に係るニューラルネットワーク集積回路の第5例について

次に、第2実施形態に係るニューラルネットワーク集積回路の第5例について、図15を用いて説明する。なお図15において、図13及び図14を用いてそれぞれ説明した第2実施形態に係るニューラルネットワーク回路と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

40

【0127】

図15を用いて説明する第2実施形態に係るニューラルネットワーク集積回路の第5例は、図15(a)に示すように、図13及び図14を用いて説明した第2実施形態に係るニューラルネットワーク集積回路C1-3を例えば四つ備え、これらの動作を制御部CTにより制御する構成を備えたニューラルネットワーク集積回路CPである。より具体的にニューラルネットワーク集積回路CPは、図15(a)に示すように、メモリブロックMA上に集積された四つのニューラルネットワーク集積回路C1-3と、各ニューラルネッ

50

トワーク集積回路 C 1 - 3 に対応した四つの入力セクタ I S と、入力制御用で F I F O (First In First Out) 形式のメモリ M 1 と、出力制御用で F I F O 形式のメモリ M 2 と、制御部 C T と、バス B と、により構成されている。

【 0 1 2 8 】

この構成において 1 ビットの入力データ I は、書き込みストロープ W S により制御されるメモリ M 1 を介してバス B にシリアル形式で出力される。これにより各ニューラルネットワーク集積回路 C 1 - 3 のそれぞれは、対応する入力セクタ I S を介して入力データ I をシリアル形式で読み込み、上述してきた処理を施し、1 ビットの出力データ O を生成してシリアル形式でバス B に出力する。そして、各ニューラルネットワーク集積回路 C 1 - 3 からの出力データ O は、入力セクタ I S を介してメモリ M 2 に読み込まれる。その後、当該読み込まれた出力データ O は、読み出しストロープ R S により制御されるメモリ M 2 を介して外部に出力される。このとき制御部 C T は、外部からの実行信号 R N に基づいて、各ニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 及びメモリセルアレイ M C 2 にそれぞれ送信されるアドレスデータ A D 及びイネーブル信号 E N (図 1 3 参照) と、スタート信号 S T と、を生成して各ニューラルネットワーク集積回路 C 1 - 3 に出力する。

10

【 0 1 2 9 】

次に、上記制御部 C T の細部構成について、図 1 5 (b) を用いて説明する。

【 0 1 3 0 】

図 1 5 (b) に示すように制御部 C T は、アップカウンタ 2 5 ₁ 乃至アップカウンタ 2 5 ₅ と、サイクリックカウンタ 2 6 と、アップカウンタ 2 5 ₁ 乃至アップカウンタ 2 5 ₅ にそれぞれ対応するレジスタ 2 7 ₁ 乃至レジスタ 2 7 ₅ と、サイクリックカウンタ 2 6 に対応するレジスタ 2 7 _m と、により構成されている。

20

【 0 1 3 1 】

この構成においてサイクリックカウンタ 2 6 は、上記実行信号 R N とレジスタ 2 7 _m に記憶されているカウント値に基づいて上記スタート信号 S T を生成し、各ニューラルネットワーク集積回路 C 1 - 3 及びアップカウンタ 2 5 ₁ 乃至アップカウンタ 2 5 ₅ にそれぞれ出力する。これによりアップカウンタ 2 5 ₁ は、図示しない F I F O 型の入力メモリと最初のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 宛のアドレスデータ A D 及びイネーブル信号 E N を生成し、当該入力メモリと最初のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 に出力する。次にアップカウンタ 2 5 ₂ は、最初のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び第 2 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 宛のアドレスデータ A D 及びイネーブル信号 E N を生成し、当該最初のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び第 2 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 に出力する。次にアップカウンタ 2 5 ₃ は、第 2 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び第 3 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 宛のアドレスデータ A D 及びイネーブル信号 E N を生成し、当該第 2 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び第 3 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 に出力する。次にアップカウンタ 2 5 ₄ は、第 3 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び第 4 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 宛のアドレスデータ A D 及びイネーブル信号 E N を生成し、当該第 3 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び第 4 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 1 に出力する。最後にアップカウンタ 2 5 ₅ は、第 4 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び図示しない F I F O 型の出力メモリ宛のアドレスデータ A D 及びイネーブル信号 E N を生成し、当該第 4 のニューラルネットワーク集積回路 C 1 - 3 のメモリセルアレイ M C 2 及び出力メモリに出力する。これらにより各ニューラルネットワーク集積回路 C 1 - 3 は、上記スタート信号 S T 、上記アドレスデータ A D 及びイネーブル信号 E N

30

40

50

に基づき、例えば図14(d)に例示する態様で上述した動作をシリアル形式で実行し、最終的に出力データOがメモリM2を介して出力される。なお制御部CTは、モデル化すべきニューラルネットワークの態様(例えば、ニューロンNRの数やそれらの間の接続態様等)を変更すべき場合、上記アドレスAD及びイネーブル信号ENの内容又は出力先を変更することで、当該態様の変更に対応させてニューラルネットワーク集積回路CPの動作を変更する。

【0132】

以上説明したように、図15に示すニューラルネットワーク集積回路CPによれば、更に大規模なニューラルネットワークを、その構成の自由度を高めつつモデル化することができる。

(G) 第2実施形態に係るニューラルネットワーク集積回路の第6例等について

次に、第2実施形態に係るニューラルネットワーク集積回路の第6例及び第7例について、図16を用いて説明する。なお図16において、図12を用いて説明した第2実施形態に係るニューラルネットワーク回路C1-2と同様の構成部材については、同様の部材番号を付して細部の説明を省略する。

【0133】

先ず、第2実施形態に係るニューラルネットワーク集積回路の第6例を、図16(a)を用いて説明する。当該第6例は図16(a)に示すように、図12を用いて説明した第2実施形態に係るニューラルネットワーク集積回路C1-2を例えば三つ備え、これらが直列的に接続された構成を備えるニューラルネットワーク集積回路である。このときニューラルネットワーク集積回路C1-2は、上述した通り直列入力・並列処理・直列出力型の多段ニューラルネットワークをモデル化したニューラルネットワーク集積回路である。また図16(a)に示す構成は、図5を用いて説明した第1実施形態に対応する態様で上記ニューラルネットワーク集積回路C1-2を直列的に接続したニューラルネットワーク集積回路である。よってこの場合、一つのニューラルネットワーク集積回路C1-2の出力データOの数(シリアル形式で出力される出力データOの数)は、次段に接続されるニューラルネットワーク集積回路C1-2の入力データIの数(シリアル形式で出力される入力データIの数)に相当している必要がある。

【0134】

次に、第2実施形態に係るニューラルネットワーク集積回路の第7例を、図16(b)を用いて説明する。当該第7例は図16(b)に示すように、図12を用いて説明した第2実施形態に係るニューラルネットワーク集積回路C1-2を例えば三つ備え、共通の入力データIによりこれらが並列的に接続された構成を備えるニューラルネットワーク集積回路である。この図16(b)に示す構成は、図6を用いて説明した第1実施形態に対応する態様で上記ニューラルネットワーク集積回路C1-2を並列的に接続したニューラルネットワーク集積回路である。よってこの場合、図16(a)に示したニューラルネットワーク集積回路の場合のような出力データO及び入力データIそれぞれにおけるビット数についての制限はない。

【0135】

以上説明したように、図16に示す各ニューラルネットワーク集積回路によれば、更に大規模なニューラルネットワークをモデル化することができる。

【0136】

より具体的に、図16(a)に示す各ニューラルネットワーク集積回路によれば、複数のニューラルネットワーク集積回路C1-2が直列に接続されており、一のニューラルネットワーク集積回路C1-2からの一の出力データOが、直後段のニューラルネットワーク集積回路C1-2への一の入力データIとされているので、より多様な脳機能に対応可能なニューラルネットワークを効率的に実現することができる。また図16(b)に示す各ニューラルネットワーク集積回路によれば、複数のニューラルネットワーク集積回路C1-2のそれぞれに対して一の入力データIが共通に入力されており、当該複数のニューラルネットワーク集積回路C1-2からそれぞれ別個に出力データOが一つずつ出力される

10

20

30

40

50

ので、より多様な脳機能に対応可能なニューラルネットワークを効率的に実現することができる。

【0137】

以上それぞれ説明したように、第2実施形態に係るニューラルネットワーク回路CCS'及びニューラルネットワーク集積回路C1-2等の構成及び動作によれば、第1実施形態に係るニューラルネットワーク回路CS及びニューラルネットワーク集積回路C1等の構成及び動作と同様に、回路規模及びそれに対応するコストを大幅に縮小しつつ、ニューラルネットワーク回路を効率的に実現することができる。

(III)変形形態

次に、本発明に係る上述した第1実施形態及び第2実施形態を変形した変形形態について、図17及び図18を用いて説明する。なお、図17は変形形態に係るニューラルネットワークを説明する図等であり、図18は変形形態に係るニューラルネットワーク集積回路の細部構成を示す図である。

10

【0138】

以下に説明する変形形態は、上記第1実施形態及び上記第2実施形態としてそのモデル化を説明してきたニューラルネットワークに対して、脳機能をより一般的にモデル化する手法として、新たに「傾向係数」の概念を追加するものである。なお以下の説明において、特に図1及び図14を用いて説明した構成に含まれる部材等と同じ部材等については、同様の部材等の番号を付して細部の説明は省略する。

【0139】

先ず、上記傾向係数の概念を追加してモデル化したニューラルネットワークについて図17を用いて説明する。

20

【0140】

上述した第1実施形態及び第2実施形態において説明したニューラルネットワークのニューロンNRでは、外部から入力される複数の入力データIのそれぞれに対する上記乗算処理、上記加算処理及び上記活性化処理を当該ニューロンNRで実行し、その結果を出力データOとしていた。これに対し、変形形態に係るニューラルネットワークでは、各入力データIに対する上記乗算処理及び上記加算処理の結果に対して、当該ニューラルネットワークによりモデル化される脳機能に基づいて予め設定された、当該脳機能としての傾向をニューロンごとに示す上記傾向係数を更に加算する。そして変形形態に係るニューラルネットワークでは、当該傾向係数の加算結果に対して上記活性化処理を適用し、その結果を、変形形態に係る出力データとして出力する。即ち変形形態に係るニューラルネットワークの場合、「加算処理」とは、上述した第1実施形態及び第2実施形態それぞれに係るニューラルネットワークにおける加算処理に対して上記傾向係数の加算処理を更に加えることを含む。この変形形態に係る傾向係数は、上述したように脳機能としての傾向をニューロンごとに示し且つ予め設定された係数であり、その絶対値は、当該ニューロンに入力される入力データの数n以下の任意の整数である。ここで、上記「傾向」とは、例えば、モデル化の対象である脳機能においてニューロンごとの調整機能としてその存在が認められる、脳機能等の傾向をいう。更に上記傾向係数は、一般には「バイアス値(Bias value)」と称される場合もある。この傾向係数としての具体的な値は、そのニューロンについての上記傾向に対応して、上記入力データIの数以下の整数として、ニューロンごとに予め設定されている。より具体的に例えば、一つのニューロンに対して三つの入力データIが入力されるとすると、上記傾向係数として取り得る値は、「-3」乃至「3」の七つ(「0」を含む)である。ここで、傾向係数が「0」の場合が、上述してきた第1実施形態及び第2実施形態に係るニューラルネットワークであることになる(図1(a)参照)。

30

40

【0141】

そして、上述した変形形態に係るニューラルネットワークとしての一連の乗算処理、加算処理(傾向係数の加算処理を含む。以下、変形形態において同じ。)及び活性化処理を数式で表すと、図17(a)に示す式(2)となる。このとき、第1実施形態及び第2実施形態の場合と同様に各重み付け係数Wを各入力データIにそれぞれ乗算する乗算処理が

50

、変形形態に係るニューロン NRR 間の電気信号のやり取りにおけるシナプスの作用に相当する。そして図 17 (a) に例示するように、変形形態に係る加算処理後の値全体に対して活性化関数 F を適用して出力データ O を出力することが、変形形態に係る活性化処理に相当する。

【 0 1 4 2 】

なお、入力データ I と重み付け係数 W との各乗算結果の加算結果に対する変形形態に係る傾向係数 B_n の更なる加算処理を回路的に実現する場合、以下に説明する変形形態では、「 1 」を分割単位として当該傾向係数 B_n を分割 (分解) し、上記各乗算結果のそれぞれに対して「 1 」を加算又は減算する処理を、傾向係数 B_n の値に等しい数の乗算結果について行う。即ち、例えば傾向係数 B_n の値が「 2 」である場合、図 17 (a) に示す例えば入力データ I_1 と重み付け係数 W_1 の乗算結果に「 1 」を加算すると共に、入力データ I_2 と重み付け係数 W_2 の乗算結果にも「 1 」を加算し、これらを含めて活性化関数 F を適用させる。また、例えば傾向係数 B_n の値が「 - 3 」である場合、図 17 (a) に示す例えば入力データ I_1 と重み付け係数 W_1 の乗算結果及び入力データ I_2 と重み付け係数 W_2 の乗算結果からそれぞれ「 1 」を減算し、更に入力データ I_3 と重み付け係数 W_3 の乗算結果からも「 1 」を減算し、これらを含めて活性化関数 F を適用させる。このとき、いずれの乗算結果に対して「 1 」の加算又は減算を行うかは、モデル化される脳機能に対応して予め設定されている。

10

【 0 1 4 3 】

ここで変形形態に係る加算処理等を回路的に実現する場合、上記接続有無情報 C の意味 (定義) が、上記第 1 実施形態及び上記第 2 実施形態とは異なってくる。即ち図 17 (b) に示すように、変形形態に係る傾向係数 B_n の値が「 0 」である場合は、上記第 1 実施形態及び上記第 2 実施形態の構成に相当する。そしてこの場合は、変形形態に係るニューロン NRR 間であっても、当該ニューロン NRR 間について接続有無情報 C が「接続あり」を示している (図 17 (b) において「 1 」とされている) 場合のみ、対応する入力データ I と重み付け係数 W との乗算結果が一方のニューロン NRR に入力される (図 17 (b) 最上段及び上から二段目参照)。このとき、上記活性化処理後の出力データの値は、「 0 」又は「 1 」となる。そしてその後、そのニューロン NRR における第 1 実施形態及び第 2 実施形態と同様の加算処理及び活性化処理に供される。

20

【 0 1 4 4 】

これに対し、変形形態に係る傾向係数 B_n が「 0 」でない場合、当該傾向係数 B_n を分割した結果を加算又は減算する対象の乗算結果 (入力データ I と重み付け係数 W との乗算結果) について、接続有無情報 C が「 1 」とされている (即ち「接続あり」を示している) 場合には、正の値である傾向係数 B_n を分解した値としての「 1 」が当該乗算結果に「加算」されて、一方のニューロン NRR に入力される (図 17 (b) 最下段参照)。一方、接続有無情報 C が「 0 」とされている (即ち「接続なし」を示している) 場合には、負の値である傾向係数 B_n を分解した値としての「 - 1 」が上記乗算結果に加算 (即ち「 1 」が減算) されて、一方のニューロン NRR に入力される (図 17 (b) 下から二段目参照)。この場合、上記活性化処理後の出力データの値は、「 - 2 」又は「 0 」 (傾向係数 B_n が負の値である場合。図 17 (b) 下から二段目参照。)、或いは、「 2 」又は「 0 」 (傾向係数 B_n が正の値である場合。図 17 (b) 最下段参照。) となる。そしてその後、そのニューロン NRR における変形形態としての加算処理及び活性化処理に供される。

30

40

【 0 1 4 5 】

次に、図 13 に示すニューラルネットワーク集積回路 $C1 - 3$ に対して変形形態を適用した場合の、特に並列演算器 (図 13 符号 PP 参照) の細部構成について、図 14 を参照しつつ、図 18 を用いて説明する。

【 0 1 4 6 】

先ず図 18 (a) に示すように変形形態に係る並列演算器 PPP は、メモリセルアレイ $MC1$ のビット幅に相当する数の変形形態に係る多数判定入力回路 $12'$ 及び上記直列多

50

数判定回路 13 からなる直列多数判定回路 16' と、ニューラルネットワーク集積回路 C1-3 と同様のパイプラインレジスタ 21 と、ニューラルネットワーク集積回路 C1-3 と同様の出力フリップフロップ回路 22 を介して出力データ O を出力する変形形態に係る並列多数判定回路 20' と、により構成されている。この構成においてパイプラインレジスタ 21 は、図 14 (a) を用いて説明した場合と同様の構成を備え、同様の動作を実現する。また変形形態に係る並列演算器 PPP においては、重み付け係数 W と接続有無情報 C とが一サイクル異なったタイミングで入力される第 2 実施形態に係る並列演算器 PPP の場合と異なり、重み付け係数 W、接続有無情報 C 及び傾向係数 B_n は、メモリセルアレイ MC1 又はメモリセルアレイ MC2 から、それぞれ相互に同時並行的に並列演算器 PPP に入力される。

10

【0147】

次に、変形形態に係る多数判定入力回路 12' の細部構成について、図 18 (b) を用いて説明する。図 18 (b) に示すように一の直列多数判定回路 16' 内の多数判定入力回路 12' は、排他的論理和回路 25A と、セクタ 25B 及びセクタ 25F と、反転増幅回路 25C 及び反転増幅回路 25E と、論理積回路 25D と、加算回路 25G と、により構成されている。このとき、重み付け係数 W、接続有無情報 C 及び傾向係数 B_n が同時並行的に並列演算器 PPP に入力されるため、図 14 (b) に例示したマスクフリップフロップ回路 12B は不要となる。以上の構成において排他的論理和回路 25A には、メモリセルアレイ MC1 からの重み付け係数 W と、1 ビットの入力データ I と、が入力され、これらの排他的論理和の結果をセクタ 25B の「0」端子に出力する。一方論理積回路 25D には、メモリセルアレイ MC1 からの接続有無情報 C と、傾向係数 B_n を分割した 1 ビットのデータを反転増幅回路 25C により反転したデータと、が入力され、それらの論理積の結果がセクタ 25B の制御端子に出力される。これによりセクタ 25B は、接続有無情報 C 及び傾向係数 B_n に基づき、上記排他的論理和の結果又は 0 データのいずれか一方を選択し、加算回路 25G の一方の端子に出力する。次にセクタ 25F の制御端子には上記傾向係数 B_n を分割した 1 ビットのデータが入力され、更にセクタ 25F の「1」端子には、接続有無情報 C を反転増幅回路 25E により反転したデータが入力される。これによりセクタ 25F は、傾向係数 B_n に基づき、上記反転増幅回路 25E からの出力データ又は 0 データのいずれか一方を選択し、加算回路 25G の他方の端子に出力する。これらにより加算回路 25G は、セクタ 25B 及びセクタ 25F からの出力データを加算し、出力データ OP_n として直列多数決回路 13 に出力する。このとき当該出力データ OP_n の取り得る値は、図 17 (b) に示すように「-2」、「-1」、「0」、「1」又は「2」の五種類となるため、出力データ OP_n は 3 ビットのデータとなる。そして直列多数決回路 13 は、出力データ OP_n に対して図 14 に例示した場合と同様の活性化処理に相当する処理を行い、その結果を出力データ OO_n として (図 17 (a) 参照)、パイプラインレジスタ 21 の出力レジスタ 21U に出力する。このとき、上記既定の多数判定閾値を直列多数決回路 13 内の図示しないレジスタ内に保持してそれを参照することで、上述した直列多数決回路 13 としての動作を実現できる点は、図 14 に例示した直列多数決回路 13 と同様である。

20

30

【0148】

次に、変形形態に係る並列多数判定回路 20' の細部構成について、図 18 (c) を用いて説明する。図 18 (c) に示すように並列多数判定回路 20' は、図 18 (b) を用いて構成等を説明した多数判定入力回路 12' と同様の構成等を備え且つメモリセルアレイ MC2 のビット幅に相当する数の多数判定入力回路 12' と、並列多数決回路 30 と、により構成されている。この構成において多数判定入力回路 12' には、メモリセルアレイ MC2 からの 1 ビットの重み付け係数 W 及び接続有無情報 C 並びに傾向係数 B_n と、パイプラインレジスタ 21 の入力レジスタ 21L からの 1 ビットの出力データ O と、が入力される。そして各多数判定入力回路 12' は、重み付け係数 W、接続有無情報 C 並びに傾向係数 B_n 及び入力レジスタ 21L からの 1 ビットの出力データ O に対して図 18 (b) を用いて説明した動作と同様の動作を実行した結果を、並列多数決回路 30 に出力する。

40

50

そして並列多数決回路30は、メモリセルアレイMC2からの一組の重み付け係数W及び接続有無情報C並びに傾向係数 B_n に対応する各多数判定入力回路12'それぞれからの出力データ OP_n に基づいた上述した多数決動作を、メモリセルアレイMC1からの出力データOの数(例えば図13及び図14で例示した場合と同様の256)だけ繰り返し、出力フリップフロップ回路22を介してシリアル形式で出力データOとして出力する。このとき、変形形態に係る並列多数決回路30の構成として具体的には、例えば、隣接するビットに対応する出力データ OP_n 同士を加算するための加算回路を階層的に備え、その最終的な加算結果の符号ビットを上記出力フリップフロップ回路22に出力する構成が考えられる。また、上記既定の多数判定閾値を並列多数決回路30内の図示しないレジスタ内に保持してそれを参照することで、上述した並列多数決回路30としての動作を実現できる点は、図14に例示した並列多数決回路20Cと同様である。

10

【0149】

また、パイプラインレジスタ21の動作によりメモリセルアレイMC1及びメモリセルアレイMC2それぞれからの256ビット分の出力データO、重み付け係数W及び接続有無情報C並びに傾向係数 B_n に対して、逐次的且つ同時並列的な処理が実行されることは、図14に示す並列演算器PPと同様である。

【0150】

以上説明したように、図17及び図18に示す変形形態によれば、傾向係数 B_n を加味した例えば図12(a)に示すニューラルネットワークS1-2を、約二倍の処理速度をもってモデル化することができる。

20

【0151】

更に、変形形態に係るニューラルネットワーク集積回路に含まれる並列演算器PPPの構成及び動作によれば、変形形態に係るニューラルネットワーク(図17参照)をモデル化したニューラルネットワーク集積回路として、回路規模及びそれに対応するコストを大幅に縮小することができる。

【0152】

より具体的に、変形形態に係るニューラルネットワーク集積回路に含まれる並列演算器PPPの構成及び動作によれば、脳機能に基づく既定の傾向係数 B_n が各乗算処理の加算結果に対して更に加算されるべき場合、当該傾向係数 B_n の絶対値に等しい数のいずれかの多数判定入力回路12'に当該傾向係数 B_n が分けて入力される。そして上記接続有無情報Cに応じて、各乗算処理の加算結果に対する当該傾向係数 B_n の更なる加算結果が多数判定入力回路12'から並列多数決回路30に出力される。これらにより並列多数決回路30は、結果的に、傾向係数 B_n の更なる加算結果を各多数判定入力回路12'について加算した合計値が正又は0であるとき値「1」を出力データOとして出力し、当該合計値が負であるとき値「0」を出力データOとして出力する。よって、脳機能に基づく既定の傾向係数 B_n が導入されるべき場合であっても、回路規模及びそれに対応するコストを大幅に縮小しつつ、人の脳機能に対応したニューラルネットワークを効率的に実現することができる。

30

【0153】

なお、上述した変形形態においては、「1」を分割単位として変形形態に係る傾向係数 B_n を分割(分解)し、上記入力データIと上記重み付け係数Wとの各乗算結果のそれぞれに対して「1」を加算又は減算する処理を、傾向係数 B_n の値に等しい数の乗算結果について行ったが、これ以外に、傾向係数 B_n を分割することなく図示しないメモリ内に予め一つの値として記憶しておき、上記各乗算結果を加算した結果に対して当該傾向係数 B_n を加算又は減算するように構成してよい。この場合、当該図示しないメモリが本発明に係る傾向係数記憶部の一例に相当する。

40

【0154】

また、上述してきた第1実施形態並びに第2実施形態及び変形形態においては、出力データO、入力データI、重み付け係数W等において、それらの値を「1」又は「0」等とする場合について説明したが、これ以外に、回路設計上の便宜等により、上記値「0」を

50

値「-1」として各ニューラルネットワーク回路又はニューラルネットワーク集積回路を構成してもよい。

【産業上の利用可能性】

【0155】

以上それぞれ説明したように、本発明はニューラルネットワークをモデル化したニューラルネットワーク回路等の分野に利用することが可能であり、特に、製造コストの低減や効率的なニューラルネットワーク回路等を開発する場合に適用すれば、特に顕著な効果が得られる。

【符号の説明】

【0156】

- 1、10、11、 メモリセル
- 2 多数判定回路
- 12、12' 多数判定入力回路
- 12A、20A 排他的否定論理和回路
- 12B、20B マスクフリップフロップ回路
- 13、16、16' 直列多数判定回路
- 15、15_{U1}、15_{U2}、15_{L1}、15_{U3}、15_{L2} メモリセルブロック
- 20、20' 並列多数判定回路
- 20C、30 並列多数決回路
- 21 パイプラインレジスタ
- 21U 出力レジスタ
- 21L 入力レジスタ
- 22 出力フリップフロップ回路
- 25₁、25₁、25₁、25₁、25₅ アップカウンタ
- 25A 排他的論理和回路
- 25B、25F セレクタ
- 25C、25E 反転増幅回路
- 25D 論理積回路
- 25G 加算回路
- 26 サイクリックカウンタ
- 27₁、27₂、27₃、27₄、27₅、27_m レジスタ
- I、I₁、I₂、I₃、I₄、I₅、I₆、I₇、I₈、I_n、I_m 入力データ
- NR、NR R ニューロン
- G₁ XNORゲート
- G₂ XORゲート
- B_n 傾向係数
- O、O₁、O₂、O₃、O₄、O₅、O_n、O_m、O_{2m}、O₁₀、O₂₀、O₃₀、
O₄₀、O₁₁、O₂₁、O₃₁、O₄₁、O_{1n}、O_{2n}、O_{3n}、O_{n0}、O_{n1}、
OO、OP_n、E₁、E₂、E₃、E₄、E₁₀、E₂₀、E₃₀、E₄₀、E₁₁、E₂₁、E₃₁、E₄₁、E_{n0}、E_{n1} 出力データ
- W₁、W₂、W_n 重み付け係数
- S、S1、SS1、SS2、SS3、S1'、S2'、S1-2、S1-3 ニューラルネットワーク
- S' ネットワーク
- C1、C2、C3、C4、CC1、CC2、CC3、C1'、C2'、CP、C1-2、
C1-3 ニューラルネットワーク集積回路
- CS、CS1、CS2、CS3、CS4、CS5、CS11、CS12、CS21、C
22、CS31、CS32、CS1n、CS1m、CS2n、CS2m、CS3n、CS
3p、CS4q、CSm、CCS' ニューラルネットワーク回路
- CS' ネットワーク回路

10

20

30

40

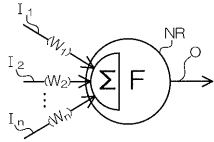
50

T ₁ 、T ₂ 、T ₃ 、T ₄ 、T ₅ 、T ₆ 、T ₇ 、T ₈ 、T ₉ 、T ₁₀ 、T ₁₁ 、T ₁₂ 、	
T ₁₃ 、T ₁₄ 、T ₁₅ 、T ₁₆ 、T ₁₇ 、T ₁₈ 、T ₁₉ 、T ₂₀ 、T ₂₁ 、T ₂₂ 、	
T ₂₃ 、T ₂₄ 、T ₂₅ 、T ₂₆ 、T ₂₇ 、T ₂₈ 、T ₂₉ 、T ₃₀	トランジスタ
IV ₁ 、IV ₂ 、IV ₃ 、IV ₄	インバータ
LI _n 、/LI _n 、W1、W2、LO、/LO	接続線
M	マッチ線
/M	反転マッチ線
SA	センスアンプ
1、2、/2、3	タイミング信号
TG	タイミング生成回路
SW1、SW2、SW3、SW4	スイッチ
SB1、SB2、SB3、SB4	スイッチボックス
M ₁ 、M ₂ 、M ₃ 、M ₄ 、M ₅	セレクタ
MC1、MC2	メモリセルアレイ
EN	イネーブル信号
CLK	基準クロック信号
ECK	偶数基準クロック
PP、PPP	並列演算器
CT	制御部
MA	メモリブロック
IS	入力セレクタ
CL ₁ 、CL ₂ 、M1、M2	メモリ
WS	書き込みストロープ
B	バス
RS	読み出しストロープ
RN	実行信号
AD	アドレスデータ
ST	スタート信号
Sc ₁ 、Sc ₂ 、Sc ₃ 、Sc ₄ 、Sc ₅	切換制御信号

10

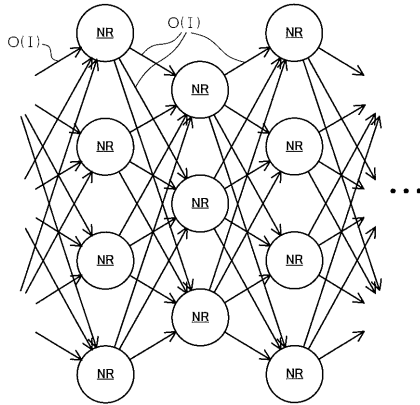
20

【 図 1 】



$$O = F(W_1 \times I_1 + W_2 \times I_2 + \dots + W_n \times I_n) \dots (1)$$

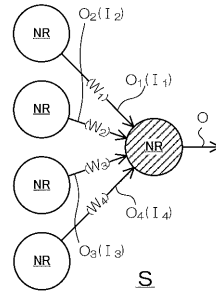
(a)



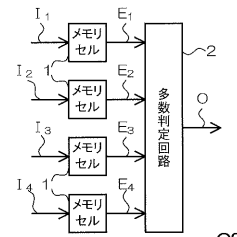
SS

(b)

【 図 2 】



(a)

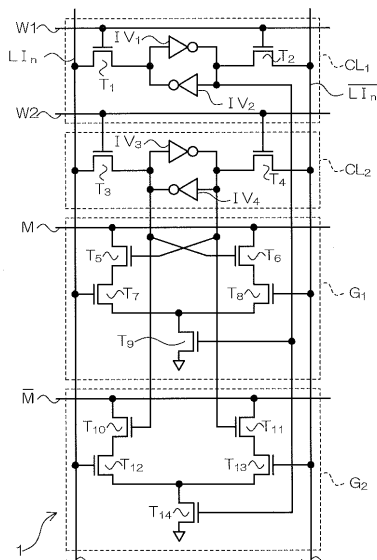


(b)

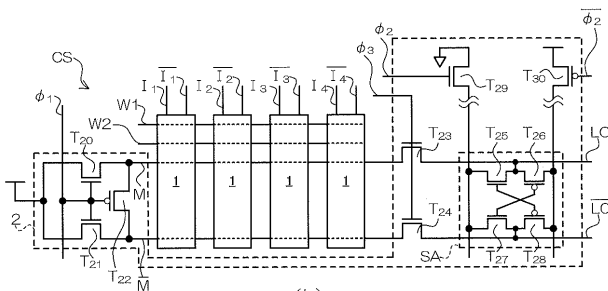
記憶値	入力ター I	出力ター E
0	0	1
0	1	0
1	0	0
1	1	1
NC	X	NC

(c)

【 図 3 】

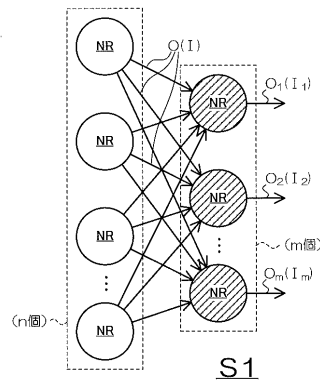


(a)

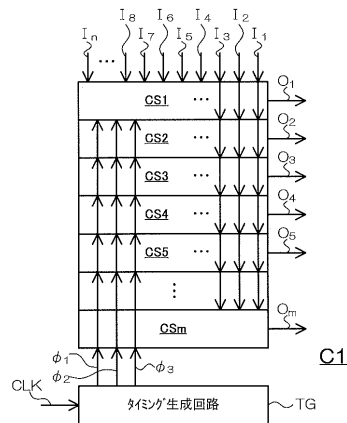


(b)

【 図 4 】

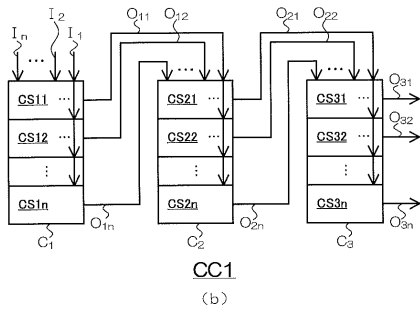
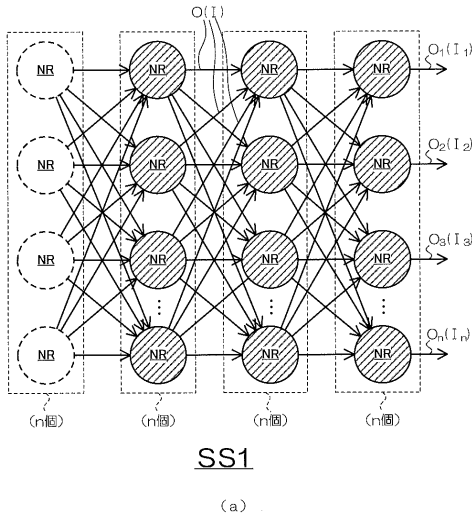


(a)

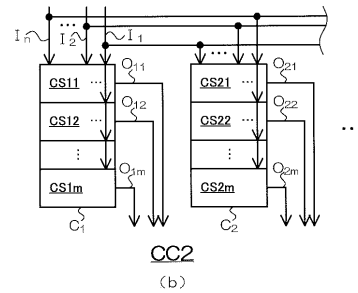
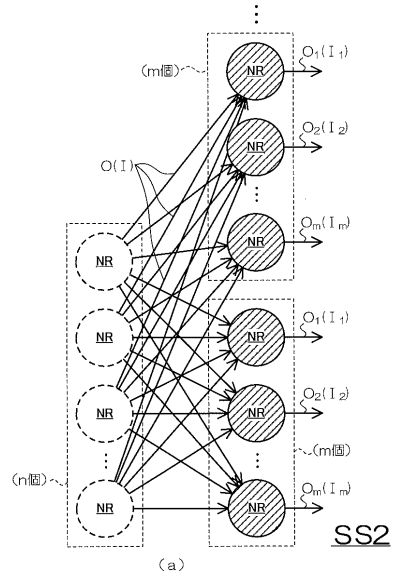


(b)

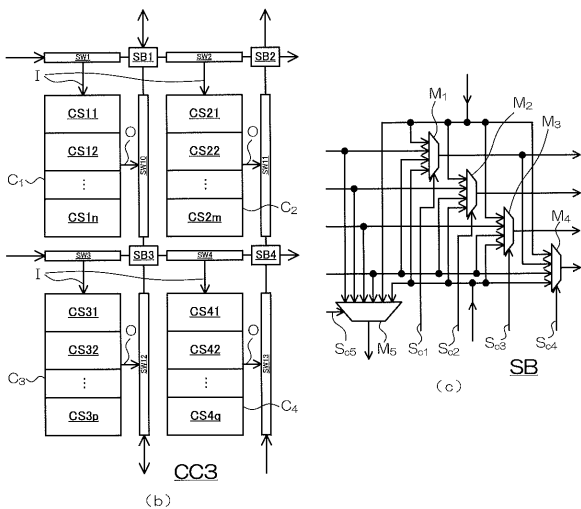
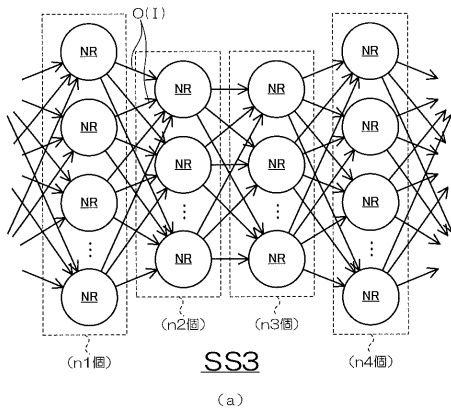
【 図 5 】



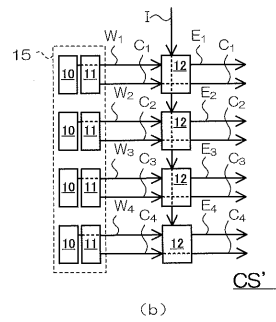
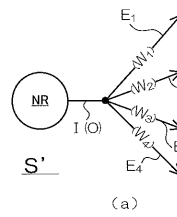
【 図 6 】



【 図 7 】



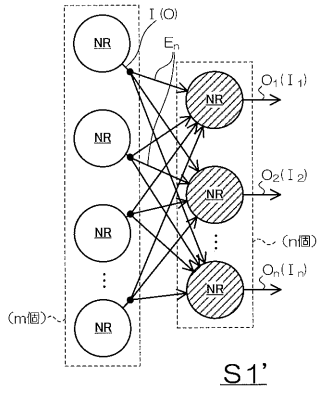
【 図 8 】



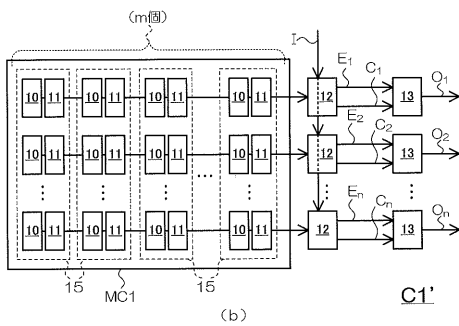
記憶値 (w)	入力1-9	XOR	XNOR 出力値(E)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

(c)

【図9】

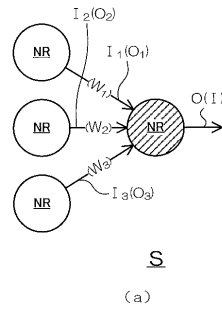


(a)

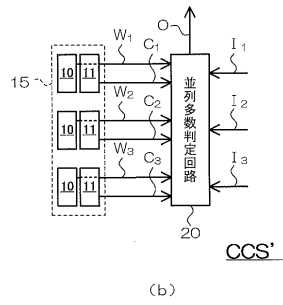


(b)

【図10】

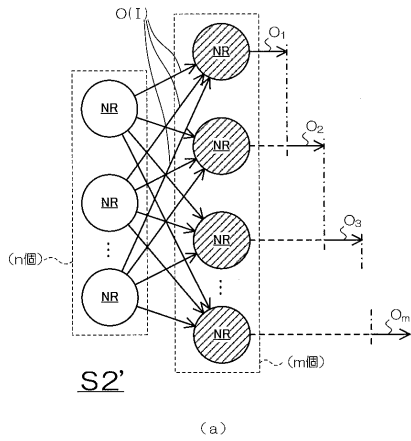


(a)

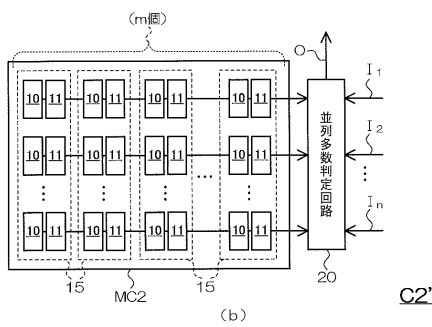


(b)

【図11】

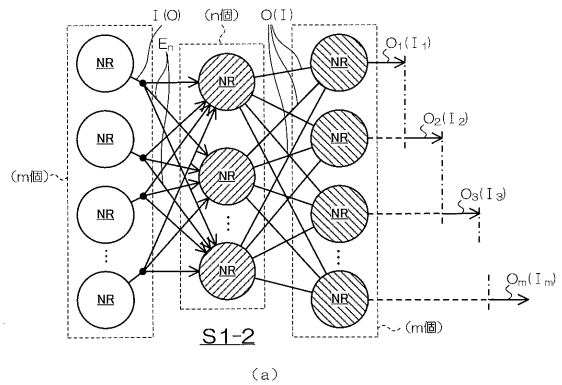


(a)

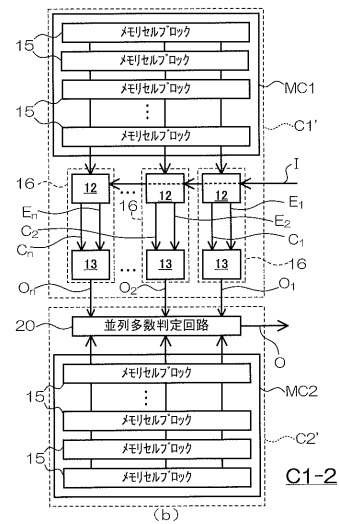


(b)

【図12】

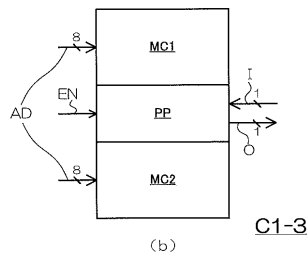
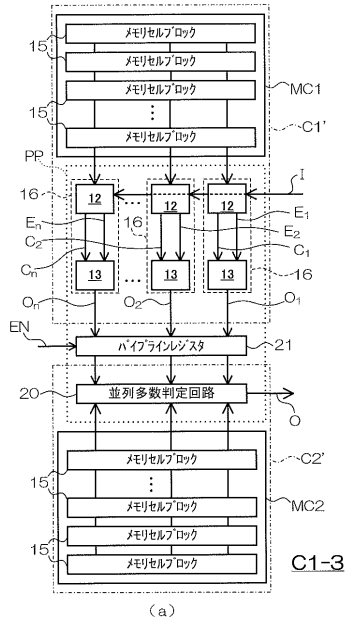


(a)

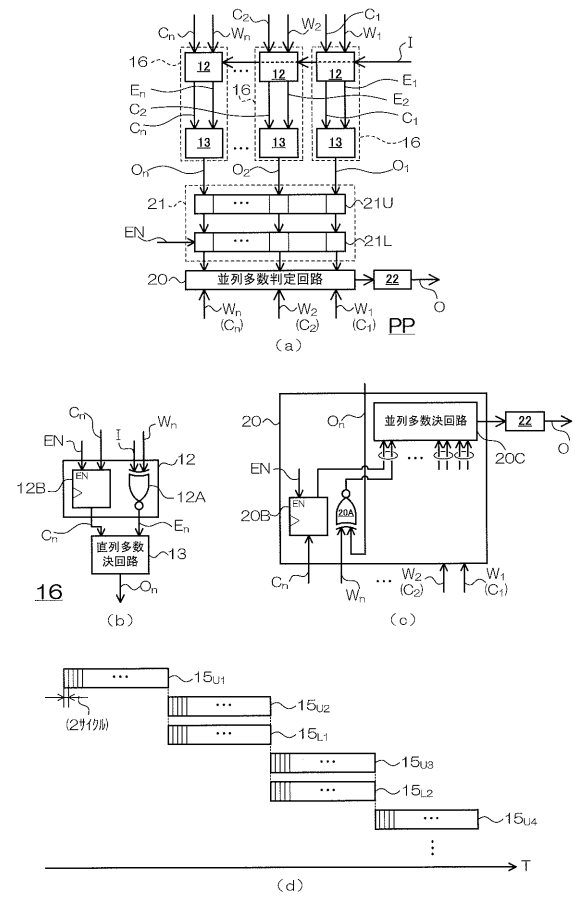


(b)

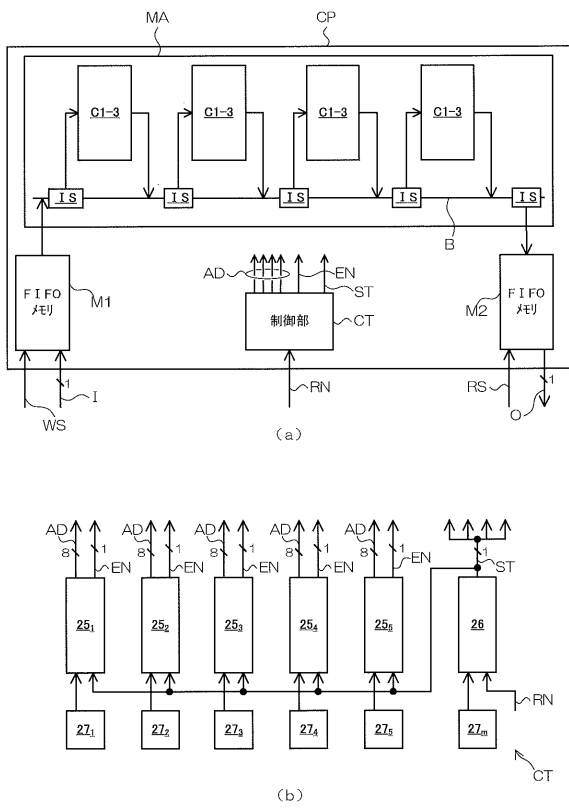
【図13】



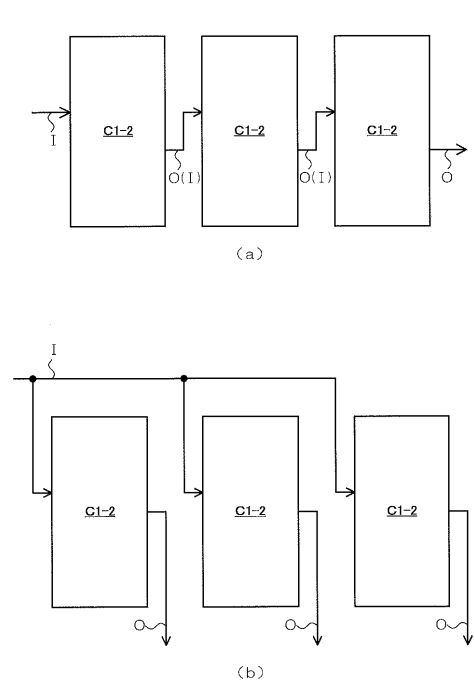
【図14】



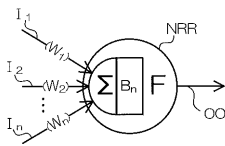
【図15】



【図16】



【 図 1 7 】



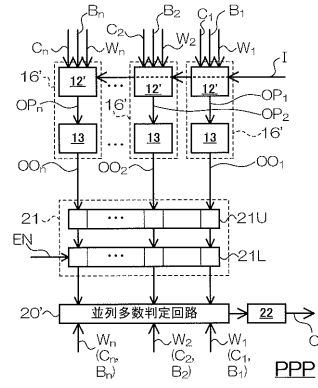
$OO = F(W_1 \times I_1 + W_2 \times I_2 + \dots + W_n \times I_n + B_n) \dots (2)$
 但し、 $0 \leq |B_n| \leq n$ 且つ B_n は整数

(a)

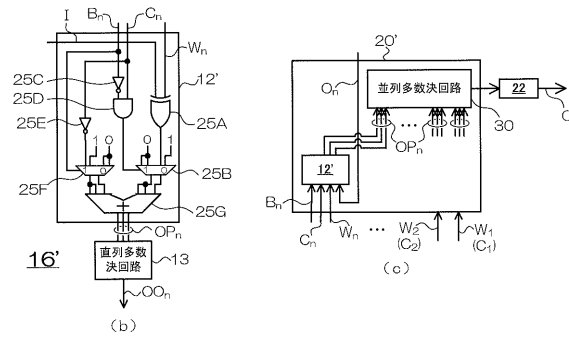
傾向係数	接続有無情報	接続	出力データ
0	0		-1 又は1
0	1		0
1	0		-2 又は0
1	1		0 又は2

(b)

【 図 1 8 】



(a)



(b)

(c)

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2017/018836
A. CLASSIFICATION OF SUBJECT MATTER G06N3/063(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06N3/063 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017 Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-096138 A (Justsystem Corp.), 12 April 1996 (12.04.1996), entire text (Family: none)	1-16
A	JP 2015-534172 A (International Business Machines Corp.), 26 November 2015 (26.11.2015), entire text & US 2015/0254551 A1 & WO 2014/041443 A1 & CN 104641385 A	1-16
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 July 2017 (04.07.17)		Date of mailing of the international search report 11 July 2017 (11.07.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 1 8 8 3 6	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06N3/063(2006,01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06N3/063			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2017年 日本国実用新案登録公報 1996-2017年 日本国登録実用新案公報 1994-2017年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 08-096138 A (株式会社ジャストシステム) 1996.04.12, 全文 (ファミリーなし)	1-16	
A	JP 2015-534172 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2015.11.26, 全文 & US 2015/0254551 A1 & WO 2014/041443 A1 & CN 104641385 A	1-16	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー		の日の後に公表された文献	
「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの		「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	
「O」 口頭による開示、使用、展示等に言及する文献		「&」 同一パテントファミリー文献	
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 04.07.2017		国際調査報告の発送日 11.07.2017	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 多胡 滋	5B 3562
		電話番号 03-3581-1101 内線 3545	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(出願人による申告)平成27年度 国立研究開発法人科学技術振興機構、戦略的創造研究推進事業「TCI 積層情報処理アクセラレータの研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。