

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02018/012546

発行日 令和1年5月23日 (2019.5.23)

(43) 国際公開日 平成30年1月18日 (2018.1.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/203 (2006.01)	HO 1 L 21/203	4 K O 2 9
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F O O 3
HO 1 L 29/778 (2006.01)	HO 1 L 29/91 F	5 F 1 O 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/88	5 F 1 O 3
HO 1 L 29/861 (2006.01)	HO 1 L 29/66 T	

審査請求 未請求 予備審査請求 有 (全 29 頁) 最終頁に続く

出願番号 特願2018-527637 (P2018-527637)
 (21) 国際出願番号 PCT/JP2017/025436
 (22) 国際出願日 平成29年7月12日 (2017.7.12)
 (31) 優先権主張番号 特願2016-140117 (P2016-140117)
 (32) 優先日 平成28年7月15日 (2016.7.15)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 504132881
 国立大学法人東京農工大学
 東京都府中市晴見町 3-8-1
 (71) 出願人 301022471
 国立研究開発法人情報通信研究機構
 東京都小金井市貫井北町 4-2-1
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (74) 代理人 100090387
 弁理士 布施 行夫
 (72) 発明者 須田 良幸
 東京都府中市晴見町 3-8-1 国立大学
 法人東京農工大学内

最終頁に続く

(54) 【発明の名称】 半導体積層膜の製造方法、および半導体積層膜

(57) 【要約】

本発明に係る半導体積層膜の製造方法は、シリコン基板上に、スパッタ法によって、シリコンおよびゲルマニウムを含む半導体層を形成する工程を含み、スパッタ法において、半導体層の成膜温度は、500 未満であり、かつ、半導体層の成膜圧力は、1 mTorr 以上 11 mTorr 以下であり、または、半導体層の成膜温度は、600 未満であり、かつ、半導体層の成膜圧力は、2 mTorr 以上 5 mTorr 未満であり、スパッタガスにおける水素ガスの体積比は、0.1% 未満であり、半導体層の厚さを t (nm) とし、半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、 $t = 0.881 \times x^{-4.79}$ の関係を満たす。

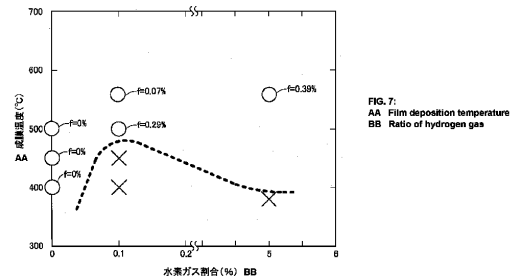


FIG. 7.
 AA: Film deposition temperature
 BB: Ratio of hydrogen gas

【特許請求の範囲】

【請求項 1】

シリコン基板上に、スパッタ法によって、シリコンおよびゲルマニウムを含む半導体層を形成する工程を含み、

前記スパッタ法において、

前記半導体層の成膜温度は、500 未満であり、かつ、前記半導体層の成膜圧力は、1 mTorr 以上 11 mTorr 以下であり、

または、

前記半導体層の成膜温度は、600 未満であり、かつ、前記半導体層の成膜圧力は、2 mTorr 以上 5 mTorr 未満であり、

10

スパッタガスにおける水素ガスの体積比は、0.1% 未満であり、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t = 0.881 \times x^{-4.79}$$

の関係を満たす、半導体積層膜の製造方法。

【請求項 2】

請求項 1 において、

前記スパッタガスにおける前記水素ガスの体積比は、0.0001% 以下である、半導体積層膜の製造方法。

20

【請求項 3】

請求項 1 または 2 において、

前記半導体層の成膜温度は、350 以上 550 以下である、半導体積層膜の製造方法。

【請求項 4】

請求項 3 項において、

前記半導体層は、導電性を付与する不純物を含む半導体層である。半導体積層膜の製造方法。

【請求項 5】

請求項 1 ないし 4 のいずれか 1 項において、

前記半導体層の成膜圧力は、2 mTorr 以上 4 mTorr 以下である、半導体積層膜の製造方法。

30

【請求項 6】

請求項 1 ないし 5 のいずれか 1 項において、

前記半導体層は、前記シリコン基板に格子整合する、半導体積層膜の製造方法。

【請求項 7】

請求項 1 ないし 6 のいずれか 1 項において、

前記半導体層の表面粗さ R_{ms} は、1 nm 以下である、半導体積層膜の製造方法。

【請求項 8】

請求項 1 ないし 7 のいずれか 1 項において、

前記半導体層は、シリコンおよびゲルマニウムからなる、半導体積層膜の製造方法。

40

【請求項 9】

シリコン基板と、

前記シリコン基板上に設けられ、シリコンおよびゲルマニウムを含む半導体層と、を含み、

前記半導体層の表面粗さ R_{ms} は、1 nm 以下であり、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t = 0.881 \times x^{-4.79}$$

の関係を満たす、半導体積層膜。

【請求項 10】

50

請求項 9 において、
 前記半導体層は、前記シリコン基板に格子整合し、
 前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、
 $t < 0.881 \times x^{-4.79}$
 の関係を満たす、半導体積層膜。

【請求項 11】

請求項 9 または 10 において、
 前記半導体層の表面粗さ R_{ms} は、0.5 nm 以下である、半導体積層膜。

【請求項 12】

請求項 9 ないし 11 のいずれか 1 項において、
 前記半導体層は、シリコンおよびゲルマニウムからなる、半導体積層膜。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体積層膜の製造方法、および半導体積層膜に関する。

【背景技術】

【0002】

次世代の Si 系超高速デバイスとして、通信用の高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT)、ドーブチャネル電界効果トランジスタ (Doped-Channel Field-Effect Transistor: DCFET)、共鳴トンネルダイオード (Resonant Tunnel Diode: RTD)、ヘテロバイポーラトランジスタ (Hetero-Bipolar Transistor: HBT)、歪チャネル金属-酸化物-半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor: MOSFET) などがある。これらのデバイスにおいて、特に、正孔キャリア型の HEMT (p-HEMT または HHMT)、正孔キャリア型の DCFET (p-DCFET)、正孔トンネル型の RTD (p-RTD) およびヘテロバイポーラトランジスタ (HBT)、正孔キャリア型の歪 SiGe チャネルを有する MOSFET (歪 SiGe チャネル p-MOSFET) およびチャネル埋め込み型の MOSFET (埋め込みチャネル p-MOSFET) は、シリコン (Si) 基板と、Si にほぼ整合した圧縮歪を有するシリコンゲルマニウム (SiGe) 層と、のヘテロ構造を用いている。

【0003】

圧縮歪を有する SiGe は、圧縮歪 SiGe を歪の無い Si で挟む (Si / 圧縮歪 SiGe / Si) ことで、バンド幅が変化して価電子帯に正孔に対するポテンシャルの井戸を形成して高速化のための構造を実現したり、圧縮歪 SiGe 層をチャネルとして用いることにより通過する正孔の移動度 (速度) を向上させたりすることができるため、デバイスの高速化を実現することができる。特に、SiGe 層中の Ge 組成 (原子数) 比を高くして SiGe 層の圧縮歪を大きくすることで、ポテンシャルの井戸が深くなり、また、移動度が大きくなって、より高速なデバイスを実現することが可能となる。

【0004】

例えば非特許文献 1 (Journal of Applied Physics, Vol. 95, No. 12, 15 June 2004, p. 7681 - 7689) には、CVD (Chemical Vapor Deposition) 法により、Si 基板上に SiGe 層を形成することが記載されている。また、例えば特許文献 1 (特開 2008 - 21674 号公報) には、スパッタガスとして水素を含有する混合ガスを用いて、スパッタ法により、Si 基板上に SiGe 層を形成することが記載されている。

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【0005】

しかしながら、非特許文献1に記載の技術および特許文献1に記載の技術では、半導体デバイスの特性を大きく向上させる（例えば高いキャリア移動度を実現し、半導体デバイスを高速化させる）ことが期待できる高いGe組成（原子数）比でかつ高い圧縮歪を有するSiGe層を形成する過程において、半導体積層膜の形成制御技術の面で、困難な課題に直面していた。

【0006】

発明者らは、半導体デバイスの特性を十分に向上させることができる高圧縮歪SiGe層を形成するために、スパッタ法に着目し、多くの成膜条件を鋭意検討し、特に、SiGe層成膜時の基板温度（成膜温度）、SiGe層成膜時のスパッタガス中の水素濃度、およびSiGe層成膜時のスパッタガスの圧力（成膜圧力）が重要であることを見出した。

10

【0007】

本発明のいくつかの態様に係る目的の1つは、シリコンおよびゲルマニウムを含む半導体層であって、ゲルマニウム組成比が高くても半導体層をシリコン基板により格子整合した形で成長させることができ、特性の良好な半導体デバイスを形成することができる半導体積層膜の製造方法を提供することにある。また、本発明のいくつかの態様に係る目的の1つは、シリコンおよびゲルマニウムを含む半導体層であって、ゲルマニウム組成比が高くても、シリコン基板により格子整合した半導体層を含み、特性の良好な半導体デバイスを形成することができる半導体積層膜を提供することにある。

【課題を解決するための手段】

20

【0008】

本発明に係る半導体積層膜の製造方法は、シリコン基板上に、スパッタ法によって、シリコンおよびゲルマニウムを含む半導体層を形成する工程を含み、

前記スパッタ法において、

前記半導体層の成膜温度は、500未満であり、かつ、前記半導体層の成膜圧力は、1mTorr以上11mTorr以下であり、

または、

前記半導体層の成膜温度は、600未満であり、かつ、前記半導体層の成膜圧力は、2mTorr以上5mTorr未満であり、

30

スパッタガスにおける水素ガスの体積比は、0.1%未満であり、

前記半導体層の厚さを t (nm)とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t = 0.881 \times x^{-4.79}$$

の関係を満たす。

【0009】

このような半導体積層膜の製造方法では、例えばスパッタガスにおける水素ガスの体積比が0.1%以上の成膜条件で形成された半導体層に比べて、より高い圧縮歪を（すなわち、より小さな格子不整合率 f を）有する半導体層を形成することができる（詳細は後述）。したがって、このような半導体積層膜の製造方法では、ゲルマニウム組成比が高くても半導体層をシリコン基板により格子整合した形で成長させることができ、従来技術では不可能であった高性能な半導体デバイスの製造や、デバイス特性の大幅な高性能化につながる半導体積層膜を製造することができる。

40

【0010】

本発明に係る半導体積層膜の製造方法において、

前記スパッタガスにおける前記水素ガスの体積比は、0.0001%以下であってもよい。

【0011】

本発明に係る半導体積層膜の製造方法において、

前記半導体層の厚さを t (nm)とし、前記半導体層におけるシリコンの原子数とゲル

50

マニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t < 0.881 \times x^{-4.79}$$

の関係を満たしてもよい。

【0012】

本発明に係る半導体積層膜の製造方法において、
前記半導体層の成膜温度は、350 以上550 以下であってもよい。

【0013】

本発明に係る半導体積層膜の製造方法において、
前記半導体層は、導電性を付与する不純物を含む半導体層であってもよい。

【0014】

本発明に係る半導体積層膜の製造方法において、
前記半導体層の成膜圧力は、2 mTorr 以上4 mTorr 以下であってもよい。

10

【0015】

本発明に係る半導体積層膜の製造方法において、
前記半導体層は、前記シリコン基板に格子整合してもよい。

【0016】

本発明に係る半導体積層膜の製造方法において、
前記半導体層の表面粗さ R_{ms} は、1 nm 以下であってもよい。

【0017】

本発明に係る半導体積層膜の製造方法において、
前記半導体層は、シリコンおよびゲルマニウムからなってもよい。

20

【0018】

本発明に係る半導体積層膜は、
シリコン基板と、
前記シリコン基板上に設けられ、シリコンおよびゲルマニウムを含む半導体層と、
を含み、

前記半導体層の表面粗さ R_{ms} は、1 nm 以下であり、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t < 0.881 \times x^{-4.79}$$

30

の関係を満たす。

【0019】

このような半導体積層膜では、ゲルマニウム組成比 x が高くても、半導体層 20 は、より高い圧縮歪を（すなわち、より小さな格子不整合率 f を）有することができる（詳細は後述参照）。したがって、このような半導体積層膜では、ゲルマニウム組成比が高くても、半導体層は、シリコン基板により格子整合し、優れた特性の半導体デバイスを形成することができる。

【0020】

本発明に係る半導体積層膜において、
前記半導体層は、前記シリコン基板に格子整合し、

40

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t < 0.881 \times x^{-4.79}$$

の関係を満たしていてもよい。

【0021】

本発明に係る半導体積層膜において、
前記半導体層の表面粗さ R_{ms} は、0.5 nm 以下であってもよい。

【0022】

本発明に係る半導体積層膜において、
前記半導体層は、シリコンおよびゲルマニウムからなってもよい。

50

【図面の簡単な説明】

【0023】

【図1】図1は、本実施形態に係る半導体積層膜を模式的に示す断面図である。

【図2】図2は、SiGe層がシリコン基板に対して格子整合している場合の状態を説明するための図である。

【図3】図3は、SiGe層がシリコン基板に対して格子整合している場合の状態を説明するための図である。

【図4】図4は、SiGe層がシリコン基板に対して格子整合していない場合の状態を説明するための図である。

【図5】図5は、本実施形態に係る半導体積層膜の製造方法を説明するためのフローチャートである。

【図6】図6は、スパッタガス中の水素の割合と、成膜温度と、格子不整合率と、の関係を示す表である。

【図7】図7は、スパッタガス中の水素の割合と、成膜温度と、格子不整合率と、の関係を示すグラフである。

【図8】図8は、成膜圧力と、成膜温度と、格子不整合率と、の関係を示す表である。

【図9】図9は、成膜圧力と、成膜温度と、格子不整合率と、の関係を示すグラフである。

【図10】図10は、Ge組成比と、厚さと、格子不整合率と、の関係を示す表である。

【図11】図11は、スパッタ法で作製した場合の、Ge組成比と、厚さと、格子不整合率と、の関係を示すグラフである。

【図12】図12は、CVD法で作製した場合の、Ge組成比と、厚さと、格子不整合率と、の関係を示すグラフである。

【図13】図13は、Ge組成比と、格子整合が得られる最大厚さと、の関係を示すグラフである。

【図14】図14は、Ge組成比と、厚さと、表面粗さと、の関係を示す表である。

【図15】図15は、スパッタ法で作製した場合の、Ge組成比と、厚さと、表面粗さと、の関係を示すグラフである。

【図16】図16は、CVD法で作製した場合の、Ge組成比と、厚さと、表面粗さと、の関係を示すグラフである。

【図17】図17は、本実施形態に係る第1半導体デバイスを模式的に示す断面図である。

【図18】図18は、本実施形態に係る第2半導体デバイスを模式的に示す断面図である。

【図19】図19は、本実施形態に係る第3半導体デバイスを模式的に示す断面図である。

【図20】図20は、本実施形態に係る第4半導体デバイスを模式的に示す断面図である。

【発明を実施するための形態】

【0024】

以下、本発明の好適な実施形態について、図面を用いて詳細に説明する。なお、以下に説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また、以下で説明される構成の全てが本発明の必須構成要件であるとは限らない。

【0025】

1. 半導体積層膜

まず、本実施形態に係る半導体積層膜について、図面を参照しながら説明する。図1は、本実施形態に係る半導体積層膜100を模式的に示す断面図である。

【0026】

半導体積層膜100は、図1に示すように、シリコン(Si)基板10と、半導体層2

10

20

30

40

50

0と、を含む。

【0027】

シリコン基板10の材質は、シリコンである。シリコン基板10は、単結晶基板であってもよい。シリコン基板10は、絶縁体にシリコン単結晶薄膜が形成されたSOI (Silicon on Insulator) 基板やSOQ (Silicon on Quartz) 基板であってもよい。シリコン基板10は、例えば、(100) 基板であってもよい。シリコン基板10は、シリコン単結晶基板と、該シリコン単結晶基板上に設けられたシリコン層と、から構成されていてもよい。

【0028】

半導体層20は、シリコン基板10上に設けられている。半導体層20は、シリコン (Si) およびゲルマニウム (Ge) を含む。半導体層20は、導電性を付与する不純物を含む半導体層であってもよい。半導体層20は、シリコン基板10にほぼ格子整合し、高い圧縮歪を有している。好ましくは、半導体層20は、シリコン基板10に格子整合 (完全に格子整合) している。半導体層20は、シリコンおよびゲルマニウムからなる $Si_{1-x}Ge_x$ 層 (ただし $0 < x < 1$) であってもよい。ここで、図2および図3は、SiGe層がSi基板に対して格子整合している場合の状態を説明するための図である。なお、図2および図3において、白丸はSi原子を示し、黒丸Ge原子を示している。

10

【0029】

$Si_{1-x}Ge_x$ 層の格子定数は、一般的に、Si基板の格子定数よりも大きい。Siの格子定数は 0.357 nm であり、Geの格子定数は 0.357 nm であるため、 $Si_{1-x}Ge_x$ 層の格子定数は、 0.357 nm より大きく 0.357 nm より小さい。半導体積層膜100では、図3に示すように、半導体層20 (図示の例ではSiGe層) は、平面方向 (積層方向と直交する方向) に圧縮し、かつ積層方向に引っ張られて、シリコン基板10 (図示の例ではSi基板) に格子整合する。そのため、半導体層20は、平面方向において圧縮歪を有している。このように、半導体層20が圧縮歪を有し、シリコン基板10の格子に整合することを、「半導体層20はシリコン基板10に格子整合している」という。

20

【0030】

例えば図4に示すように、SiGe層がSi基板と格子整合しない場合は、SiGe層は緩和した界面領域2を有している。これにより、半導体積層膜の表面において、不整合欠陥により発生した貫通転位が表出する場合がある。これに対し、半導体積層膜100では、半導体層20は、シリコン基板10にほぼ格子整合しているため、貫通転位の発生を十分に低減することができる。したがって、半導体積層膜100を半導体デバイスに用いた場合に、欠陥に起因した動作不良の発生が十分に抑制されて、半導体デバイスの信頼性を向上させることができる。

30

【0031】

半導体層20のシリコン基板10に対して完全に格子整合していない場合の格子不整合率 f は、例えば、 0.3% 以下であり、好ましくは 0.1% 以下である。上述のように、半導体層20は、シリコン基板10に格子整合 (完全に格子整合) していることが好ましく、この場合、格子不整合率 f は、 0% である。格子不整合率 f が 0% の場合、半導体層20の平面方向における格子間隔は、シリコン基板10の平面方向における格子間隔と完全に同じとなり、半導体層20は、シリコン基板10に格子整合している。格子不整合率 $f (\%)$ は、Siの格子定数を a_{Si} とし、SiGeの格子定数を a_{SiGe} とすると、下記式 (1) により求めることができる。なお、 a_{Si} および a_{SiGe} は、例えば、結晶方位 (404) におけるX線回折により逆格子マップを測定し求めることができる。SiGe層のGeの原子数比を高くしても、SiGe層がシリコン基板にほぼ格子整合し、格子不整合率 f が 0% に近くなれば、高い圧縮歪SiGe層が得られ、正孔に対するポテンシャルの井戸や移動度が大きくなり、デバイスの特性が大きく向上することになる。

40

【0032】

$$f = (a_{SiGe} - a_{Si}) / a_{Si} \times 100 \dots (1)$$

50

半導体層20の厚さを t (nm)とし、半導体層20におけるSiの原子数とGeの原子数との和に対するGeの原子数の比を x (以下、「Ge組成比 x 」ともいう)とすると、半導体積層膜100は、下記式(2)の関係を満たす。好ましくは、半導体積層膜100は、下記式(3)の関係を満たす。

【0033】

$$t = 0.881 \times x^{-4.79} \dots \quad (2)$$

$$t < 0.881 \times x^{-4.79} \dots \quad (3)$$

半導体層20の厚さ t は、例えば、断面TEM (Transmission Electron Microscope) 像の観察により測定することができる。Ge組成比 x は、例えば、二次イオン質量分析法 (SIMS; Secondary Ion Mass Spectrometry) やXRD (X-ray diffraction) スペクトルの分析により測定することができる。半導体層20は、式(2)を満たすことにより、格子不整合率 f をほぼ0%にすることができ、式(3)を満たすことにより、格子不整合率 f を0%にすることができ(詳細は後述)。格子不整合率 f が0%となる場合は、格子整合しており、完全圧縮とも呼ばれる。

【0034】

具体的には、半導体層20の厚さ t が280nm以下の場合、Ge組成比 x は0.30以下である。厚さ t が125nm以下の場合、Ge組成比 x は0.355以下である。厚さ t が50nm以下の場合、Ge組成比 x は0.43以下である。半導体層20の厚さ t は、例えば、1nm以上1 μ m以下であり、好ましくは、5nm以上500nm以下である。なお、半導体層20の厚さ t とは、半導体層20の積層方向の大きさのうちの最大値のことである。

【0035】

半導体層20の表面粗さRms (Root Mean Square) 値は、1nm以下であり、好ましくは0.5nm以下である。SiGeの格子定数は、0.543nm以上であるため、Rmsが0.5nmであれば、半導体層20は、SiGeの格子定数よりも小さい表面粗さを有することができる。表面粗さRmsは、二乗平均粗さであり、AFM (Atomic Force Microscope) により測定することができる。

【0036】

半導体層20は、添加物として炭素(C)および錫(Sn)の少なくとも一方を含んでいてもよい。添加物として添加されるCおよびSnの濃度は、半導体層20において全原子数の20%以下である。CやSnを半導体層20に添加することにより、半導体層20の格子定数を調整することができる。Cの格子定数は0.356nmとSiGeの格子定数よりも小さいため、Cを添加することにより半導体層20の格子定数を小さくすることができる。この場合、半導体層20は、SiとGeとCとからなる $Si_{1-x-y}Ge_xC_y$ ($0 < y < x$) 層であってもよい。一方、Snの格子定数は0.646nmとSiGeの格子定数よりも大きいため、Snを添加することにより半導体層20の格子定数を大きくすることができる。この場合、半導体層20は、SiとGeとSnとからなる $Si_{1-x-y}Ge_xSn_y$ ($0 < y < x$) 層であってもよい。

【0037】

半導体積層膜100は、例えば、以下の特徴を有する。

【0038】

半導体積層膜100では、上記式(2)を満たす。半導体積層膜100では、例えばCVD法により成膜された半導体層に比べて、膜厚に対してGe組成比 x が高くて、半導体層20は、より高い圧縮歪を(すなわち、より小さな格子不整合率 f を)有することができる(詳細は後述参照)。したがって、半導体積層膜100では、Ge組成比が高くて、半導体層20は、シリコン基板10により格子整合し、特性の良好な半導体デバイスを形成することができる。具体的には、半導体積層膜100を半導体デバイスに用いた場合に、価電子帯に正孔に対する深いポテンシャルの井戸を形成したり、SiGe層をチャネルとして用いることにより通過する正孔の移動度(速度)を向上させたりすることがで

10

20

30

40

50

きるため、デバイスの高速化を実現することができる。

【0039】

さらに、半導体積層膜100では、半導体層20の表面粗さ R_{ms} は、1nm以下である。このように、半導体積層膜100では、半導体層20の表面粗さ R_{ms} を小さくすることができ、半導体積層膜100を半導体デバイスに用いた場合に、高密度な素子を形成することができる。

【0040】

以上のように、半導体積層膜100は、特性の良好な半導体デバイスを形成することができる半導体層20を含むことができる。

【0041】

半導体積層膜100では、半導体層20の表面粗さ R_{ms} は、0.5nm以下であってもよい。そのため、半導体積層膜100では、半導体層20の表面粗さ R_{ms} を、 $SiGe$ の格子定数よりも小さくすることができ、さらに高密度に素子を形成することができる。

【0042】

半導体積層膜100では、上記式(3)を満たしてもよい。この場合、格子不整合率 f は0%となることができ、半導体層20は、シリコン基板10に格子整合する。

【0043】

2. 半導体積層膜の製造方法

次に、本実施形態に係る半導体積層膜100の製造方法について、図面を参照しながら説明する。図5は、本実施形態に係る半導体積層膜100の製造方法を説明するためのフローチャートである。

【0044】

まず、図1に示すように、シリコン基板10を準備する(ステップS1)。

【0045】

次に、シリコン基板10上に、スパッタ法によって、半導体層20を形成する(ステップS2)。スパッタ法は、スパッタ装置のチャンパー内にスパッタガスを導入し、ターゲットに電圧を印加してグロー放電を発生させ、スパッタガス原子をイオン化し、高速でターゲットの表面にガスイオンを衝突させて、ターゲットを構成する成膜材料の粒子をたたきだし、基板の表面に堆積させて薄膜を形成することができる。スパッタ装置としては、例えば、真空反応容器(チャンパー)と試料導入容器(チャンパー)とが真空遮閉器を介して連結されている装置を用いる。

【0046】

半導体層20を形成するためのスパッタ法において、半導体層20の成膜温度は、600未満であり、好ましくは350以上550以下であり、より好ましくは350以上450以下である。成膜温度が350より低くなると、半導体層20にリンや砒素やアンチモンやポロンやガリウムなどのドーパント(不純物)を注入する場合、ドーパントの活性化率が顕著に低くなる場合がある。また、成膜温度を350以上とすることにより、成膜後の加熱なしで、不純物を活性化させることができ、導電性を付与する不純物を含む半導体層20を形成することができる。成膜温度が600以上になると、格子不整合率 f が大きくなる場合がある。半導体層20の成膜温度とは、例えば、シリコン基板10上に半導体層20を成膜する際の、シリコン基板10の基板温度である。

【0047】

半導体層20を形成するためのスパッタ法において、例えば、不純物が混在したスパッタターゲットを用いることにより、不純物を含む半導体層20を形成してもよい。または、スパッタ法によって成膜した後にイオン注入を行うことにより、不純物を含む半導体層20を形成してもよい。または、スパッタ法によって成膜した後に、不純物を含むガスを用いた熱拡散を行うことにより、不純物を含む半導体層20を形成してもよい。

【0048】

なお、半導体層20は、複数回、スパッタ法を行うことによって形成されてもよい。す

10

20

30

40

50

なわち、半導体層20は、複数の層からなる積層構造を有していてもよい。この場合、上記不純物は、積層構造をなすいずれか1層に含まれていてもよいし、積層構造をなす全層に含まれていてもよい。また、式(2)および式(3)の t (nm)は積層膜の総厚で、 x は平均値(x を厚み方向に全層厚の範囲で積分し、 t で割った値で $x = (\int x dt) / t$ で与えられる)に対して成立する。

【0049】

なお、半導体層20をシリコン基板10上に成膜する前に、シリコン基板10を例えば1000以上1100以下に加熱して、清浄化してもよい。これにより、シリコン基板10に含まれている不純物を除去することができる。

【0050】

半導体層20を形成するためのスパッタにおいて、半導体層20の成膜圧力は、1mTorr以上11mTorr以下であり、好ましくは2mTorr以上10mTorr以下であり、より好ましくは2mTorr以上5mTorr以下であり、さらにより好ましくは2mTorr以上4mTorr以下である。半導体層20の成膜圧力が1mTorrより小さくなると、放電が開始しないなど不安定になる場合がある。半導体層20の成膜圧力が11mTorrより大きくなると、格子不整合率 f が大きくなる場合がある。半導体層20の成膜圧力とは、例えば、シリコン基板10上に半導体層20を成膜する際のシリコン基板10が載置されたチャンパー(スパッタ装置内のチャンパー)内の圧力である。

【0051】

半導体層20を形成するためのスパッタは、下記第1条件および第2条件のいずれか一方の条件で行われる。

【0052】

第1条件：成膜温度は500未満であり、かつ、成膜圧力は1mTorr以上11mTorr以下である。

【0053】

第2条件：成膜温度は600未満であり、かつ、成膜圧力は2mTorr以上5mTorr未満である。

【0054】

半導体層20を形成するためのスパッタにおいて、スパッタガスにおける水素ガスの体積比は、0.1%以下であり、好ましくは0.0001%以下であり、より好ましくは0%である。スパッタガスにおける水素ガスの体積比は、0.1%より大きいと、格子不整合率 f が大きくなる場合や、そもそも結晶化しない場合がある。具体的には、スパッタガスとしては、アルゴン(Ar)などの不活性ガスと水素ガスとの混合ガスを用いてもよいし、アルゴンガスを用いてもよい。ただし、通常購入可能なアルゴンガスの純度は、99.9999%程度であり、0.0001%以下の水素が混入している。他の不活性ガスの純度も同様である。

【0055】

半導体層20を形成するためのスパッタにおいて、スパッタガスの流量は、例えば、供給するスパッタガスの温度が0で大気圧の場合、0.1cc/分以上10000cc/分以下である。スパッタガスの流量を上記範囲にすることにより、より確実に、圧縮歪を有する半導体層20を形成することができる。

【0056】

半導体層20を形成するためのスパッタにおいて、スパッタ装置の高周波電力は、ターゲットの単位面積当たり、例えば、0.1W/cm²以上20W/cm²以下である。直流電力を印加する場合は、例えば、0.1W/cm²以上10W/cm²以下である。高周波電力ならびに直流電力を上記範囲にすることにより、半導体層20の成膜速度ならびに組成比 x を調整することができ、より確実に、圧縮歪を有する半導体層20を形成することができる。

【0057】

以上の工程により、半導体積層膜100を製造することができる。

10

20

30

40

50

【0058】

半導体積層膜100の製造方法では、スパッタガスにおける水素ガスの体積比は、0.1%未満であり、半導体層20を形成するためのスパッタは、上記第1条件および第2条件のいずれか一方の条件で行われる。さらに、半導体積層膜100の製造方法では、上記式(2)を満たす。そのため、半導体積層膜100の製造方法では、例えばスパッタガスにおける水素ガスの体積比が0.1%以上の成膜条件で形成された半導体層に比べて、より高い圧縮歪を(すなわち、より小さな格子不整合率 f を)有することができる半導体層20を形成することができる(詳細は後述)。したがって、半導体積層膜100の製造方法では、Ge組成比が高くても半導体層20をシリコン基板10により格子整合した形で成長させることができ、特性の良好な半導体デバイスを形成することができる半導体積層膜100を製造することができる。

10

【0059】

半導体積層膜100の製造方法では、スパッタガスにおける水素ガスの体積比は、0.0001%以下であってもよい。そのため、半導体積層膜100の製造方法では、格子不整合率 f が0%となる半導体層20を形成することができる(詳細は後述)。

【0060】

3. 実験例

以下に実験例を示し、本発明をより具体的に説明する。なお、本発明は、以下の実験例によって何ら限定されるものではない。

【0061】

3.1. 試料の作製

真空反応容器(チャンバー)と試料導入容器(チャンバー)とが真空遮閉器を介して連結されている装置を用いてスパッタを行い、Si基板上にSiGe層を形成した。真空反応容器は、Si用マグネトロンスパッタガンと、Ge用マグネトロンスパッタガンと、を具備している。

20

【0062】

具体的には、まず、真空反応容器を真空排気した。より具体的には、真空遮閉器を閉じて真空反応容器を 1×10^{-9} Torr以下まで排気した。そして、真空遮閉器を閉じたまま試料導入容器にSi基板を載置した。次に、試料導入容器を試料導入容器に連結されているターボ分子ポンプおよびロータリーポンプで排気して、 1×10^{-7} Torr以下の真空にした。

30

【0063】

次に、試料導入容器の真空度を保ったまま、真空遮閉器を開いて真空反応容器の所定の位置にSi基板を載置した。次に、真空遮閉器を閉じ、真空反応容器を 1×10^{-9} Torr以下の超高真空領域の圧力になるように排気した。 1×10^{-9} Torr以下の圧力となっている真空反応容器内で、所定の位置に設置したSi基板を、ヒーターで800以上に加熱し、清浄化した。

【0064】

次に、スパッタガスを真空反応容器に導入し、スパッタガスの流量を調整し、真空反応容器内のスパッタガス圧力を所定の値に設定した。

40

【0065】

次に、ヒーターによってSi基板の温度を所定の値に調整した。次に、スパッタターゲットをシャッターで覆い、Siスパッタガンに高周波電源からの高周波電力を、Geターゲットには直流電力を印加して、スパッタを開始した。この段階では、スパッタターゲットから飛散したSiおよびGeは、シャッターの裏面に付着し、Si基板の表面には到達しない。

【0066】

次に、スパッタを行っている状態でシャッターを開いて、Si基板の表面からスパッタターゲットが見えるようにした。スパッタされたSiおよびGe原子は、Si基板に到達して成膜が開始する。SiおよびGeのスパッタレートならびにSiとGeとの原子数(

50

組成比) x は、予め高周波電力と直流電力とで調整した。このようにして Si 基板上に SiGe 層を成膜した。

【0067】

SiGe 層を成膜した後、スパッタガンへの電力供給を停止し、スパッタガスの導入を停止し、ヒーターによる加熱を停止した。 SiGe 層が形成された Si 基板を、真空反応容器への導入のときの逆手順で、試料導入容器側に取り出した。すなわち、真空反応容器の圧力を 1×10^{-7} Torr 以下に保持し、 Si 基板を試料導入容器へ移送し、真空遮閉器を閉じた。真空遮閉器を閉じた後、真空反応容器をこれに接続された真空ポンプを用いて 1×10^{-9} Torr 以下まで排気し、この真空度を維持した。

【0068】

以上により、 Si 基板上に SiGe 層が形成された半導体積層膜を作製した。

【0069】

3.2. スパッタガス中の水素の割合と、成膜温度と、格子不整合率と、の関係
上記「3.1.」に示した方法により、 Si 基板上に SiGe ($\text{Si}_{0.7}\text{Ge}_{0.3}$) 層を形成した。 SiGe 層の厚さを 30nm とした。 SiGe 層の成膜圧力を 3mTorr とした。スパッタガスとしては、純度 99.9999% の Ar ガス (水素ガスなどが 0.0001% 以下含まれる)、 Ar ガス 99.9% と水素ガス 0.1% との混合ガス、および Ar ガス 95% と水素ガス 5% との混合ガス (%は何れも体積比) の3種類のガスを用い、成膜温度を、 370 、 400 、 450 、 500 、 560 として SiGe 層を成膜した。

【0070】

上記のようにして作製した SiGe 層の格子不整合率 (SiGe 層の Si 基板に対する格子不整合率) f を求めた。格子不整合率 f は、結晶方位 (404) もしくは (224) における X 線回折による逆格子マップにより Si および SiGe の格子定数を求め、上記式 (1) より求めた。図6は、スパッタガス中の水素の割合 (体積比) と、成膜温度と、格子不整合率と、の関係を示す表である。図7は、図6に示す表の値をプロットしたグラフである。

【0071】

なお、図6では、 SiGe 層の状態も示しており、「結晶」とは X 線回折によってピークが確認されたもの、「非晶質」とは X 線回折によってピークが確認されなかったものである。図7では、「結晶」と「非晶質」との境界を破線で示しており、破線よりも高温側が「結晶」であり、破線よりも低温側が「非晶質」である。

【0072】

図6および図7に示すように、水素ガスの混合割合が小さいほど、格子不整合率 f は小さくなった。水素ガスの割合を 5% にすると格子不整合率 f は、 0.3% を超えるが、水素ガスの割合を 0.1% とすると、格子不整合率 f は、 0.3% 未満となった。水素ガスの割合を 0.1% とした場合では、温度が 500 を越え 600 に近づくとつれて格子不整合率 f は急速に低下し、格子整合条件に近づく結果が得られた。これは、温度が高いと、水素が SiGe 層から脱離し、格子整合しやすくなったためであると考えられる。さらに、水素ガスの割合を 0.0001% 以下とすると、格子不整合率 f は、 0% となった。

【0073】

3.3. 成膜圧力と、成膜温度と、格子不整合率と、の関係

上記「3.1.」に示した方法により、 Si 基板上に SiGe ($\text{Si}_{0.77}\text{Ge}_{0.23}$) 層を形成した。 SiGe 層の厚さを 273nm とした。スパッタガスとしては、純度 99.9999% の Ar ガス (Ar ガス 99.9999% と水素ガスなどが 0.0001% 以下含まれる) を用いた。成膜圧力を 1.2mTorr 、 2mTorr 、 3.5mTorr 、 5mTorr 、 7mTorr 、 10mTorr とした。成膜温度を 400 、 450 、 500 、 600 とした。この実験では、 350 未満の成膜温度では、不純物の活性化率が低くなる問題があり、 600 を超える成膜温度領域では、積層膜の平坦

10

20

30

40

50

化特性面での劣化が見られることで、一般応用を考えた場合の成膜温度として、この成膜温度範囲において条件設定を行った。

【0074】

上記のようにして作製したSiGe層の格子不整合率fを求めた。図8は、成膜圧力と、成膜温度と、格子不整合率fと、の関係を示す表である。図9は、図8に示す表の値をプロットしたグラフである。

【0075】

図8および図9に示すように、成膜温度を500未満とし、成膜圧力を1mTorr以上11mTorr以下とすると、格子不整合率fは、ほぼ0%となった(上述の第1条件)。また、成膜温度を600未満とし、成膜圧力を2mTorr以上5mTorr以下とすると、格子不整合率fは、ほぼ0%となった(上述の第2条件)。さらに、成膜温度を400以上500以下とし、成膜圧力を2mTorr以上4mTorr以下とすることにより、格子不整合率fは、0%となった。

10

【0076】

以上、図6~図9により、成膜温度を500未満とし、成膜圧力を1mTorr以上11mTorr以下とし、スパッタガスの水素ガスの体積比を0.1%未満とすることにより、例えばスパッタガスの水素ガスの体積比が0.1%以上の場合に比べて、より大きな圧縮歪を有するSiGe層を形成できることがわかった。また、成膜温度を600未満とし、成膜圧力を2mTorr以上5mTorr未満とし、スパッタガスの水素ガスの体積比を0.1%未満とすることにより、例えばスパッタガスの水素ガスの体積比が0.1%より大きい場合に比べて、より大きな圧縮歪を有するSiGe層を形成できることがわかった。

20

【0077】

3.4. Ge組成比と、厚さと、格子不整合率と、の関係

上記「3.1.」に示した方法により、Si基板上にSi_{1-x}Ge_x層を形成した。スパッタガスとしては、純度99.9999%のArガス(Arガス99.9999%と水素ガスなどが0.0001%以下含まれる)を用いた。成膜温度を400、成膜圧力を3.5mTorrとし、Si_{1-x}Ge_x層の厚さtが、50nm、125nm、280nmのときに、それぞれ格子整合成長するSi_{1-x}Ge_x層のGe組成比xを求めた。

30

【0078】

上記のようにして作製したSi_{1-x}Ge_x層の格子不整合率fを求めた。図10は、Ge組成比と、厚さと、格子不整合率fと、の関係を示す表である。図11は、図10に示す表の値をプロットしたグラフである。

【0079】

なお、図10では、比較例として、CVD法で、Si基板上に成膜したSi_{1-x}Ge_x層(74nm)の結果も示している。また、図12は、図10に示す表のCVD法の場合の値をプロットしたグラフである。

【0080】

図10および図11に示すように、Ge組成比xが小さいほど、格子不整合率fは小さくなった。さらに、厚さt(nm)が小さいほど、Ge組成比xを大きくしても格子不整合率fを小さくすることができた。図10および図11から十分に格子不整合率fをほぼ0とすることができるGe組成比xの境界は、t=50nm、125nm、280nmのそれぞれに対して、Ge組成比x=0.43、0.355、0.3であると考えられる。この3点(50、0.43)、(125、0.355)、(280、0.3)を図13のようにプロットすると、該3点を通る直線の式を下記式(4)のように得ることができた。図13の縦軸は、格子整合が得られる最大の厚さt(nm)である。

40

【0081】

$$t = 0.881 \times x^{-4.79} \dots \quad (4)$$

したがって、 $t < 0.881 \times x^{-4.79}$ を満たせば、格子不整合率fを0%にする

50

ことができることがわかった。式(4)の相関係数Rはほぼ1であった。

【0082】

また、図11および図12に示すように、上記「3.1.」に示した方法で $Si_{1-x}Ge_x$ 層を成膜すると、CVD法で $Si_{1-x}Ge_x$ 層を成膜した場合に比べて、Ge組成比xを大きくしても格子不整合率fを小さくできることがわかった。

【0083】

3.5. Ge組成比と、厚さと、表面粗さと、の関係

上記「3.4.」に示した方法で作製した $Si_{1-x}Ge_x$ 層の表面粗さ R_{ms} ($Root\ Mean\ Square$)をAFMにより測定した。図14は、Ge組成比と、厚さと、表面粗さと、の関係を示す表である。図15は、図14に示す表のスパッタ法の場合の値をプロットしたグラフである。図16は、図14に示す表のCVD法の場合の値をプロットしたグラフである。

【0084】

図14および図15に示すように、Ge組成比xが大きいほど、表面粗さ R_{ms} は大きくなった。さらに、厚さtが大きいほど、表面粗さ R_{ms} は大きくなった。

【0085】

また、図15および図16に示すように、上記「3.1.」に示した方法で $Si_{1-x}Ge_x$ 層を成膜すると、CVD法で $Si_{1-x}Ge_x$ 層を成膜した場合に比べて、Ge組成比xを大きくしても表面粗さ R_{ms} を小さくできることがわかった。

【0086】

4. 半導体積層膜を含む半導体デバイス

次に、本発明に係る半導体積層膜を含む半導体デバイスについて説明する。以下では、本発明に係る半導体積層膜として、上述した半導体積層膜100を含む半導体デバイスについて説明する。

【0087】

4.1. 第1半導体デバイス

図17は、本実施形態に係る第1半導体デバイス210を模式的に示す断面図である。第1半導体デバイス210は、正孔キャリア型のHEMT(p-HEMTまたはHHMT(High Hole Mobility Transistor))である。第1半導体デバイス210は、図17に示すように、シリコン基板10と、半導体層20と、 Si スペーサー層211と、 Si 供給層212と、 Si スペーサー層213と、 Si キャップ層214と、ゲート電極215と、ソース電極216と、ドレイン電極217と、を含む。

【0088】

シリコン基板10は、n型の(100) Si 基板10aと、 Si 基板10a上に設けられたi型の Si 層10bと、を有している。 Si 基板10aは、単結晶基板であってもよい。シリコン基板10は、絶縁体にシリコン単結晶薄膜が形成されたSOI(Silicon on Insulator)基板やSOQ(Silicon on Quartz)基板であってもよい。 Si 層10bの厚さは、例えば、40nm程度である。

【0089】

半導体層20は、シリコン基板10上に設けられている。半導体層20は、i型である。半導体層20の厚さは、例えば、10nm程度である。半導体層20は、正孔をキャリアとするチャンネル層である。

【0090】

Si スペーサー層211は、半導体層20上に設けられている。 Si スペーサー層211は、i型である。 Si スペーサー層211の厚さは、例えば、1nm以上10nm以下である。

【0091】

Si 供給層212は、 Si スペーサー層211上に設けられている。 Si 供給層212は、p型である。 Si 供給層212の厚さは、例えば、1nm以上10nm以下である。

Si 供給層 212 は、半導体層 20 にキャリア（正孔）を供給する。

【0092】

Si スペース層 213 は、Si 供給層 212 上に設けられている。Si スペース層 213 は、i 型である。Si スペース層 213 の厚さは、例えば、1 nm 以上 10 nm 以下である。Si スペース層 213 上には、ゲート電極 215 が設けられている。

【0093】

Si キャップ層 214 は、Si スペース層 213 上に設けられている。Si キャップ層 214 は、p 型である。Si キャップ層 214 の厚さは、例えば、5 nm 以上 50 nm 以下である。Si キャップ層 214 上には、ソース電極 216 およびドレイン電極 217 が設けられている。さらに、Si キャップ層 214 上には、保護層 218 として、SiO₂ 層、SiN 層、または絶縁レジスト層などが設けられている。なお、保護層 218 は、設けられていなくてもよい。

10

【0094】

第 1 半導体デバイス 210 は、半導体層 20 を含む。半導体層 20 は、上述のように、膜厚に対して十分に Ge 組成比 x を大きくしても、格子不整合率 f を小さくして高い圧縮歪を有することができる。ここで、正孔キャリア型の HEMT では、Ge 組成比 x が大きいほど、圧縮歪を大きく（高く）でき、キャリア移動度を向上させることができる。したがって、第 1 半導体デバイス 210 は、キャリア移動度を向上させることができ、Ge 組成比 x を上げかつ圧縮歪を大きくすることで高速化を図ることができる。また、半導体層 20 にドーパント原子を含まず、正孔キャリアは不純物散乱を受けず、キャリア移動度が低下しない。半導体層 20 に電気伝導度を与える正孔キャリアは、Si 供給層 212 から供給される。

20

【0095】

4.2. 第 2 半導体デバイス

図 18 は、本実施形態に係る第 2 半導体デバイス 220 を模式的に示す断面図である。第 2 半導体デバイス 220 は、正孔キャリア型の DCFET (p-DCFET (Doped Channel Field Effect Transistor)) である。第 2 半導体デバイス 220 は、図 18 に示すように、シリコン基板 10 と、半導体層 20 と、Si キャップ層 221 と、ゲート電極 222 と、ソース電極 223 と、ドレイン電極 224 と、を含む。

30

【0096】

シリコン基板 10 は、n 型の (100) Si 基板 10a と、Si 基板 10a 上に設けられた i 型の Si 層 10b と、を有している。Si 基板 10a は、単結晶基板であってもよい。シリコン基板 10 は、絶縁体にシリコン単結晶薄膜が形成された SOI (Silicon on Insulator) 基板や SOQ (Silicon on Quartz) 基板であってもよい。Si 層 10b の厚さは、例えば、10 nm 以上 100 nm 以下である。

【0097】

半導体層 20 は、シリコン基板 10 上に設けられている。半導体層 20 は、p 型である。半導体層 20 の厚さは、例えば、10 nm 以上 100 nm 以下である。半導体層 20 は、正孔をキャリアとするチャネル層である。半導体層 20 上には、ソース電極 223 およびドレイン電極 224 が設けられている。

40

【0098】

Si キャップ層 221 は、半導体層 20 上に設けられている。Si キャップ層 221 は、i 型である。Si キャップ層 221 の厚さは、例えば、10 nm 以上 100 nm 以下である。Si キャップ層 214 上には、ゲート電極 222 が設けられている。

【0099】

第 2 半導体デバイス 220 は、半導体層 20 を含む。半導体層 20 は、上述のように、膜厚に対して十分に Ge 組成比 x を大きくしても、格子不整合率 f を小さくして高い圧縮歪を有することができる。ここで、正孔キャリア型の DCFET では、Ge 組成比 x が大

50

きいほど、圧縮歪が大きくなり正孔の移動度が向上する。したがって、第2半導体デバイス220は、Ge組成比 x を上げかつ圧縮歪を大きくすることで、より高速化を図ることができる。

【0100】

4.3. 第3半導体デバイス

図19は、本実施形態に係る第3半導体デバイス230を模式的に示す断面図である。第3半導体デバイス230は、正孔トンネル型のRTD (p-RTD (Resonant Tunneling Diode)) である。第3半導体デバイス230は、シリコン基板10と、半導体層20と、Si層231と、Si層232と、例えばAlからなる電極層233と、例えばAlからなる電極層234と、を含む。第3半導体デバイス230は、4つのSiGe半導体層20a, 20b, 20c, 20dを有している。

10

【0101】

シリコン基板10は、p型の(100)Si基板10aと、Si基板10a上に設けられたp型のSi層10bと、を有している。Si基板10aは、単結晶基板であってもよい。シリコン基板10は、絶縁体にシリコン単結晶薄膜が形成されたSOI (Silicon on Insulator) 基板やSOQ (Silicon on Quartz) 基板であってもよい。Si層10bの厚さは、例えば、10nm以上100nm以下である。Si基板10a上には、電極層233が設けられている。電極層233は、第3半導体デバイス230の一方の電極である。

【0102】

半導体層20aは、シリコン基板10上に設けられている。SiGe半導体層20a, 20b, 20c, 20dは、この順で積層され、半導体層20a, 20b, 20c, 20dの間にSi層231が設けられている。半導体層20a, 20b, 20c, 20dは、i型SiGeである。半導体層20a, 20dの厚さは、例えば、10nm以上100nm以下である。半導体層20b, 20cの厚さは、例えば、1nm以上6nm以下である。Si層231は、i型である。Si層231の厚さは、例えば、1nm以上3nm以下である。半導体層20b, 20cは、量子井戸層であり、Si層231は、障壁層である。

20

【0103】

Si層232は、半導体層20d上に設けられている。Si層232は、p型である。Si層232は、例えば、10nm以上100nm以下である。Si層232上には、例えばAlからなる電極層234が設けられている。電極層234は、第3半導体デバイス230の他方の電極である。

30

【0104】

第3半導体デバイス230は、半導体層20を含む。半導体層20は、上述のように、膜厚に対して十分にGe組成比 x を大きくしても、高い圧縮歪を有することができる。ここで、正孔トンネル型のRTDでは、Ge組成比 x が大きく圧縮歪が高いほど、深い井戸型ポテンシャルを形成しやすく大きな共鳴電流が得られ、動作速度が向上する。したがって、第3半導体デバイス230は、Ge組成比 x を上げかつ圧縮歪を大きくすることで、より高速化を図ることができる。

40

【0105】

4.4. 第4半導体デバイス

図20は、本実施形態に係る第4半導体デバイス240を模式的に示す断面図である。第4半導体デバイス240は、npn型のヘテロバイポーラトランジスタ(HBT)である。第4半導体デバイス240は、図20に示すように、シリコン基板10と、半導体層20と、Si層241と、コレクタ電極242と、ベース電極243と、エミッタ電極244と、を含む。

【0106】

シリコン基板10は、n型の(100)Si基板である。シリコン基板10は、コレクタ領域である。シリコン基板10の上にn型Si層を設けてもよい。シリコン基板10上

50

には、コレクタ電極 242 が設けられている。シリコン基板 10 は、単結晶基板であってもよい。シリコン基板 10 は、絶縁体に n 型のシリコン単結晶薄膜が形成された SOI (Silicon on Insulator) 基板や SOQ (Silicon on Quartz) 基板であってもよい。あるいは、SOI 基板や SOQ 基板上に n 型 Si 層を設けてもよい。

【0107】

半導体層 20 は、シリコン基板 10 上に設けられている。半導体層 20 は、ベース領域である。半導体層 20 の Ge 組成比 x は、基板面と垂直な方向に変化していてもよい。半導体層 20 は、p 型である。半導体層 20 の厚さは、例えば、30 nm 以上 200 nm 以下である。半導体層 20 上には、ベース電極 243 が設けられている。

10

【0108】

Si 層 241 は、半導体層 20 上に設けられている。Si 層 241 は、n 型である。Si 層 241 は、エミッタ領域である。Si 層 241 の厚さは、例えば、20 nm 以上 100 nm 以下である。Si 層 241 上には、エミッタ電極 244 が設けられている。

【0109】

第 4 半導体デバイス 240 は、半導体層 20 を含む。半導体層 20 は、上述のように、Ge 組成比 x を大きくしても、シリコン基板 10 もしくはシリコン基板上に設けられた n 型シリコン層に対して格子整合またはほぼ格子整合できる。npn 型の HBT では、Ge 組成比 x が大きいほど、エミッタ領域とベース領域との界面の価電子帯に正孔に対してより大きなポテンシャル障壁が形成され、電流増幅率を向上させることができる。したがって、第 4 半導体デバイス 240 は、Ge 組成比 x を大きくしかつ圧縮歪を大きくすることで電流増幅率を向上させることができ、より高速化を図ることができる。

20

【0110】

なお、半導体積層膜 100 は、上記の半導体デバイスに限定されず、例えば、正孔キャリア型の歪 SiGe チャンネルを有する MOSFET (歪 SiGe チャンネル p-MOSFET) および SiGe チャンネル埋め込み型の MOSFET (埋め込みチャンネル p-MOSFET) 等に用いることができる。例えば、埋め込みチャンネル p-MOSFET の場合、第 2 半導体デバイス 220 における Si キャップ層 221 を i 型 Si スペース層と SiO₂ 等の絶縁層を積層した 2 層に置き換えることで実現できる。この場合、i 型 Si スペース層を 2 層の内の下層側に配置する。

30

【0111】

上記のような本発明に係る半導体層の形成技術によれば、格子不整合率が小さくほぼ格子整合した、または格子整合した Ge 組成比の高い SiGe 層を含む半導体積層膜を製造することが可能である。この本発明による半導体積層膜技術を用いた半導体デバイスは、ミリ波帯電子デバイス部品の高性能化と低コスト化への利用が期待されている。ミリ波無線通信やレーダ、さらには物体画像検出や非侵襲・非破壊検査など、今後高周波エレクトロニクス、計測センシング技術の基盤となる電子デバイス技術として、センサネットワーク、AI (Artificial Intelligence)、IoT (Internet of Things) 等の関連産業技術領域での展開に大きく寄与すると期待される。本発明に係る半導体積層膜は、n 型のチャンネルに比べ、動作速度の性能が劣る p 型のチャンネルのトランジスタの性能向上に特に有効であり、コンプリメンタリ構成の高周波増幅器実現による顕著な低消費電力化も可能となる。

40

【0112】

本発明は、実施の形態で説明した構成と実質的に同一の構成 (例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成) を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

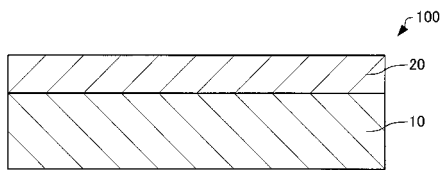
【符号の説明】

50

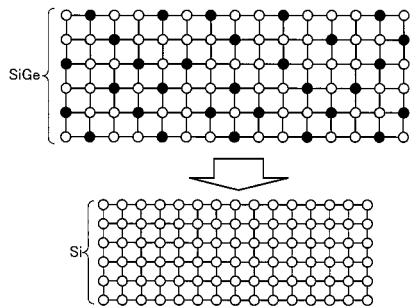
【 0 1 1 3 】

2 ... 界面領域、 1 0 ... シリコン基板、 1 0 a ... S i 基板、 1 0 b ... S i 層、 2 0 , 2 0 a , 2 0 b , 2 0 c , 2 0 d ... 半導体層、 1 0 0 ... 半導体積層膜、 2 1 0 ... 第 1 半導体デバイス、 2 1 1 ... S i スペース層、 2 1 2 ... S i キャリア供給層、 2 1 3 ... S i スペース層、 2 1 4 ... S i キャップ層、 2 1 5 ... ゲート電極、 2 1 6 ... ソース電極、 2 1 7 ... ドレイン電極、 2 1 8 ... 保護層、 2 2 0 ... 第 2 半導体デバイス、 2 2 1 ... S i キャップ層、 2 2 2 ... ゲート電極、 2 2 3 ... ソース電極、 2 2 4 ... ドレイン電極、 2 3 0 ... 第 3 半導体デバイス、 2 3 1 , 2 3 2 ... S i 層、 2 3 3 , 2 3 4 ... 電極層、 2 4 0 ... 第 4 半導体デバイス、 2 4 1 ... S i 層、 2 4 2 ... コレクタ電極、 2 4 3 ... ベース電極、 2 4 4 ... エミッタ電極

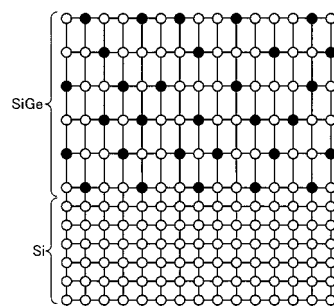
【 図 1 】



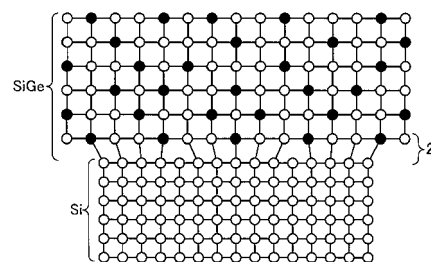
【 図 2 】



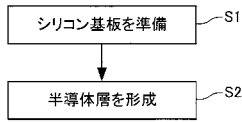
【 図 3 】



【 図 4 】



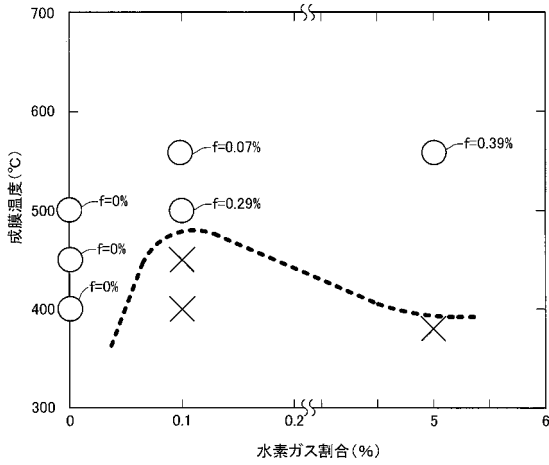
【 図 5 】



【 図 6 】

成膜温度 (°C)	水素ガス0.0001%		水素ガス0.1%		水素ガス5%	
	状態	格子不整合率	状態	格子不整合率	状態	格子不整合率
370	-	-	-	-	非晶質	-
400	結晶	0%	非晶質	-	結晶	-
450	結晶	0%	非晶質	-	結晶	-
500	結晶	0%	結晶	0.29%	結晶	-
560	-	-	結晶	0.07%	結晶	0.39%

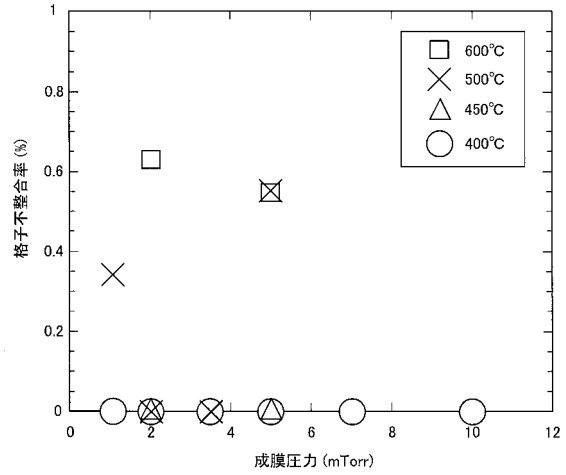
【 図 7 】



【 図 8 】

成膜圧力 (mTorr)	格子不整合率 (%)			
	400°C	450°C	500°C	600°C
1.2	0	-	0.346	-
2	0	0	0	0.63
3.5	0	-	0	-
5	0	0.0014	0.551	0.5458
7	0	-	-	-
10	0	-	-	-

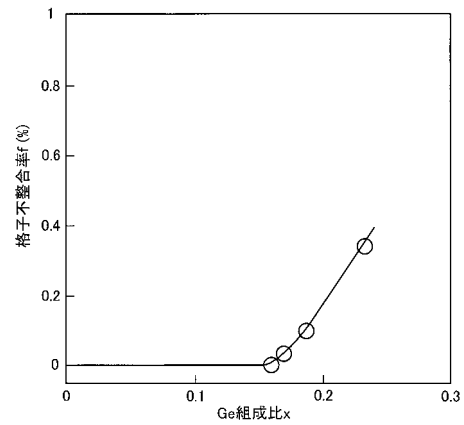
【 図 9 】



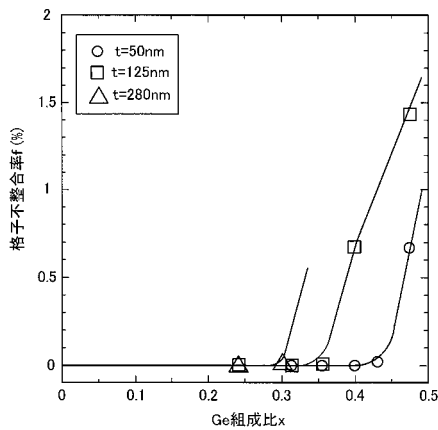
【 図 10 】

Ge組成比	格子不整合率 (%)			
	スパッタ法			CVD法
	t=50nm	t=125nm	t=280nm	t=74nm
0.16	-	-	-	0.00672
0.17	-	-	-	0.0357
0.187	-	-	-	0.1021
0.233	-	-	-	0.34251
0.24	-	0	0	-
0.3	-	-	0.0099	-
0.313	0	0	-	-
0.355	0	0.007071	-	-
0.399	0	0.67669	-	-
0.43	0.018	-	-	-
0.474	0.67	1.4357	-	-

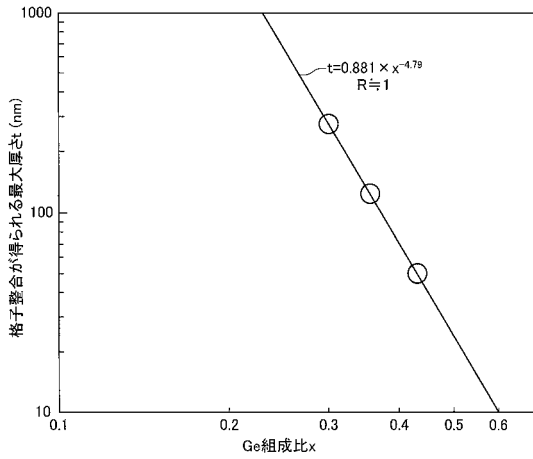
【 図 12 】



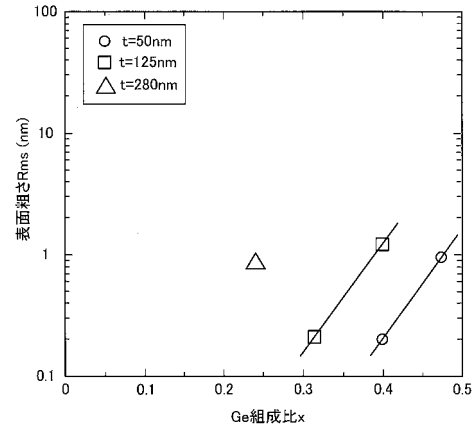
【 図 11 】



【図 1 3】



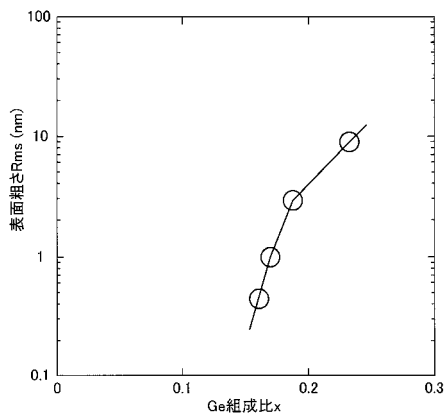
【図 1 5】



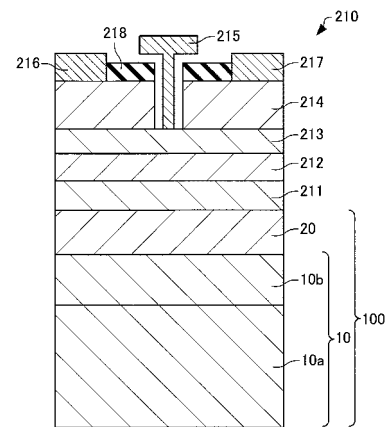
【図 1 4】

Ge組成比	表面粗さRms (nm)			
	スパッタ法			CVD法
	t=50nm	t=125nm	t=280nm	t=74nm
0.16	-	-	-	0.45
0.17	-	-	-	1
0.187	-	-	-	3
0.233	-	-	-	9
0.24	-	-	0.88	-
0.313	-	0.21	-	-
0.399	0.2	1.2	-	-
0.474	0.97	-	-	-

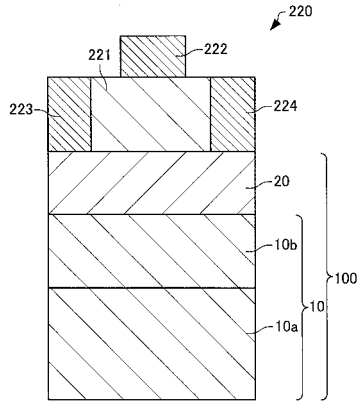
【図 1 6】



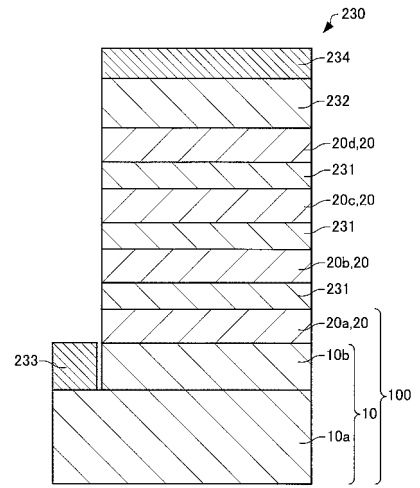
【図 1 7】



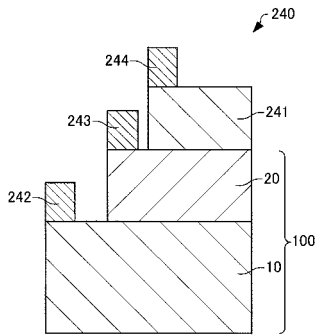
【 図 1 8 】



【 図 1 9 】



【 図 2 0 】



【手続補正書】

【提出日】平成29年12月25日(2017.12.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン基板上に、スパッタ法によって、シリコンおよびゲルマニウムを含む半導体層を形成する工程を含み、

前記スパッタ法において、

前記半導体層の成膜温度は、500 未満であり、かつ、前記半導体層の成膜圧力は、1 mTorr 以上 11 mTorr 以下であり、

または、

前記半導体層の成膜温度は、600 未満であり、かつ、前記半導体層の成膜圧力は、2 mTorr 以上 5 mTorr 未満であり、

スパッタガスにおける水素ガスの体積比は、0.0001% 以下であり、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t = 0.881 \times x^{-4.79}$$

の関係を満たす、半導体積層膜の製造方法。

【請求項2】

(削除)

【請求項3】

請求項1において、

前記半導体層の成膜温度は、350 以上 550 以下である、半導体積層膜の製造方法。

【請求項4】

請求項3において、

前記半導体層は、導電性を付与する不純物を含む半導体層である。半導体積層膜の製造方法。

【請求項5】

請求項1, 3, 4のいずれか1項において、

前記半導体層の成膜圧力は、2 mTorr 以上 4 mTorr 以下である、半導体積層膜の製造方法。

【請求項6】

請求項1, 3, 4, 5のいずれか1項において、

前記半導体層は、前記シリコン基板に格子整合する、半導体積層膜の製造方法。

【請求項7】

請求項1, 3, 4, 5, 6のいずれか1項において、

前記半導体層の表面粗さ R_{ms} は、1 nm 以下である、半導体積層膜の製造方法。

【請求項8】

請求項1, 3, 4, 5, 6, 7のいずれか1項において、

前記半導体層は、シリコンおよびゲルマニウムからなる、半導体積層膜の製造方法。

【請求項9】

シリコン基板と、

前記シリコン基板上に設けられ、シリコンおよびゲルマニウムを含む半導体層と、を含み、

前記半導体層の表面粗さ R_{ms} は、1 nm 以下であり、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t > 0.881 \times x^{-4.79}$$

の関係を満たし、

前記半導体層は、シリコンおよびゲルマニウムを含む混晶の半導体層である、半導体積層膜。

【請求項 10】

請求項 9 において、

前記半導体層は、前記シリコン基板に格子整合し、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t < 0.881 \times x^{-4.79}$$

の関係を満たす、半導体積層膜。

【請求項 11】

請求項 9 または 10 において、

前記半導体層の表面粗さ R_{ms} は、0.5 nm 以下である、半導体積層膜。

【請求項 12】

請求項 9 ないし 11 のいずれか 1 項において、

前記半導体層は、シリコンおよびゲルマニウムからなる、半導体積層膜。

【請求項 13】

シリコン基板の上に、スパッタ法によって、シリコンおよびゲルマニウムを含む半導体層を形成する工程を含み、

前記スパッタ法において、

前記半導体層の成膜温度は、500 未満であり、かつ、前記半導体層の成膜圧力は、1 mTorr 以上 11 mTorr 以下であり、

または、

前記半導体層の成膜温度は、600 未満であり、かつ、前記半導体層の成膜圧力は、2 mTorr 以上 5 mTorr 未満であり、

スパッタガスにおける水素ガスの体積比は、0.1% 未満であり、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t > 0.881 \times x^{-4.79}$$

の関係を満たし、

前記半導体層は、シリコンおよびゲルマニウムを含む混晶の半導体層である、半導体積層膜の製造方法。

【請求項 14】

請求項 10 において、

前記半導体層の厚さは、125 nm 以上である、半導体積層膜。

【請求項 15】

シリコン基板と、

前記シリコン基板の上に設けられ、シリコンおよびゲルマニウムを含む半導体層と、を含み、

前記半導体層の表面粗さ R_{ms} は、1 nm 以下であり、

前記半導体層は、前記シリコン基板に格子整合し、

前記半導体層の厚さを t (nm) とし、前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比を x とすると、

$$t < 0.881 \times x^{-4.79}$$

の関係を満たし、

前記半導体層におけるシリコンの原子数とゲルマニウムの原子数との和に対するゲルマニウムの原子数の比は、0.313 以上である、半導体積層膜。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2017/025436
A. CLASSIFICATION OF SUBJECT MATTER See extra sheet. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/203, C23C14/06, C23C14/34, H01L21/329, H01L21/331, H01L21/336, H01L21/338, H01L29/161, H01L29/737, H01L29/778, H01L29/78, H01L29/812, H01L29/88 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017 Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) AIP Citation		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	SUTTER, P, et al., Magnetron sputter epitaxy of Si _m Ge _n /Si(001) strained-layer superlattices, Applied Physics Letters, Vol.65, No.17, 1994. 10.24, p.2220-2222	1, 3-6, 8 7, 9, 10, 12 2, 11
Y A	JP 2015-153775 A (Tokyo University of Agriculture and Technology), 24 August 2015 (24.08.2015), paragraphs [0092] to [0099]; fig. 16 (Family: none)	7, 9, 10, 12 1-6, 8, 11
X A	T. Spila, P. Desjardins, J. D'Arcy-Gall, R. D. Twesten, and J. E. Greene, Effect of steady-state hydrogen coverage on the evolution of crosshatch morphology during Si _{1-x} Ge _x /S, J. Appl. Phys., 2003.02.15, Vol.93 No.4, Page.1918-1925	9-12 1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 30 August 2017 (30.08.17)		Date of mailing of the international search report 12 September 2017 (12.09.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/025436

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

*H01L21/203(2006.01)i, C23C14/06(2006.01)i, C23C14/34(2006.01)i,
H01L21/329(2006.01)i, H01L21/331(2006.01)i, H01L21/336(2006.01)i,
H01L21/338(2006.01)i, H01L29/161(2006.01)i, H01L29/737(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i,
H01L29/88(2006.01)i*

(According to International Patent Classification (IPC) or to both national
classification and IPC)

国際調査報告		国際出願番号 PCT/J P 2017/025436									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. 特別ページ参照											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L21/203, C23C14/06, C23C14/34, H01L21/329, H01L21/331, H01L21/336, H01L21/338, H01L29/161, H01L29/737, H01L29/778, H01L29/78, H01L29/812, H01L29/88											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2017年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2017年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2017年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2017年	日本国実用新案登録公報	1996-2017年	日本国登録実用新案公報	1994-2017年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2017年										
日本国実用新案登録公報	1996-2017年										
日本国登録実用新案公報	1994-2017年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) AIP Citation											
C. 関連すると認められる文献											
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X Y A	SUTTER, P, et al., Magnetron sputter epitaxy of Si _n Ge _n /Si(001) strained-layer superlattices, Applied Physics Letters, Vol. 65, No. 17, 1994. 10. 24, p. 2220-2222	1, 3-6, 8 7, 9, 10, 12 2, 11									
Y A	JP 2015-153775 A (国立大学法人東京農工大学) 2015. 08. 24, 段落 [0092] ~ [0099]、図16 (ファミリーなし)	7, 9, 10, 12 1-6, 8, 11									
X A	T. Spila, P. Desjardins, J. D'Arcy-Gall, R. D. Twesten, and J. E. Greene, Effect of steady-state hydrogen coverage on the	9-12 1-8									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリ 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献											
国際調査を完了した日 30. 08. 2017		国際調査報告の発送日 12. 09. 2017									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鈴木 聡一郎 電話番号 03-3581-1101 内線 3559	50 8395								

国際調査報告

国際出願番号 PCT/JP2017/025436

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	evolution of crosshatch morphology during $\text{Si}_{1-x}\text{Ge}_x/\text{S}$, J. Appl. Phys., 2003.02.15, Vol.93 No.4, Page.1918-1925	

国際調査報告

国際出願番号 PCT/J P 2 0 1 7 / 0 2 5 4 3 6

発明の属する分野の分類

H01L21/203(2006.01)i, C23C14/06(2006.01)i, C23C14/34(2006.01)i,
H01L21/329(2006.01)i, H01L21/331(2006.01)i, H01L21/336(2006.01)i,
H01L21/338(2006.01)i, H01L29/161(2006.01)i, H01L29/737(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i, H01L29/88(2006.01)i

フロントページの続き

(51) Int. Cl.	F I	テーマコード (参考)
H 0 1 L 29/868 (2006.01)	H 0 1 L 29/06	6 0 1 W
H 0 1 L 21/329 (2006.01)	H 0 1 L 29/72	H
H 0 1 L 29/88 (2006.01)	C 2 3 C 14/06	E
H 0 1 L 29/66 (2006.01)	C 2 3 C 14/34	R
H 0 1 L 29/06 (2006.01)		
H 0 1 L 21/331 (2006.01)		
H 0 1 L 29/737 (2006.01)		
C 2 3 C 14/06 (2006.01)		
C 2 3 C 14/34 (2006.01)		

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

- (72) 発明者 塚本 貴広
東京都府中市晴見町 3 - 8 - 1 国立大学法人東京農工大学内
- (72) 発明者 本橋 勲
東京都府中市晴見町 3 - 8 - 1 国立大学法人東京農工大学内
- (72) 発明者 出蔵 恭平
東京都府中市晴見町 3 - 8 - 1 国立大学法人東京農工大学内
- (72) 発明者 大久保 克己
東京都府中市晴見町 3 - 8 - 1 国立大学法人東京農工大学内
- (72) 発明者 八木 拓馬
東京都府中市晴見町 3 - 8 - 1 国立大学法人東京農工大学内
- (72) 発明者 笠松 章史
東京都小金井市貫井北町 4 - 2 - 1 国立研究開発法人情報通信研究機構内
- (72) 発明者 広瀬 信光
東京都小金井市貫井北町 4 - 2 - 1 国立研究開発法人情報通信研究機構内
- (72) 発明者 松井 敏明
東京都小金井市貫井北町 4 - 2 - 1 株式会社通信デバイス研究所内

F ターム(参考) 4K029 AA06 AA24 BA52 BB02 BD01 CA05 DC02 DC16 DC34 DC35
EA03 EA05 EA08
5F003 AZ03 BB90 BC02 BC90 BE90 BF06 BG06 BM01 BP31
5F102 GB01 GC01 GJ03 GK02 GL02 GM02 GN02 GR01 GR04 GS04
GV05 GV07 GV08
5F103 AA08 BB22 DD30 GG01 HH03 KK07 KK10 LL07 LL09 LL11
LL20 NN01 NN04 NN06 PP02 PP03 PP04 RR05 RR07

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。