

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-39205  
(P2020-39205A)

(43) 公開日 令和2年3月12日(2020.3.12)

(51) Int.Cl.	F I	テーマコード(参考)
<b>HO2M 1/08 (2006.01)</b>	HO2M 1/08 A	5H740
HO3K 17/12 (2006.01)	HO3K 17/12	5J055
HO3K 17/567 (2006.01)	HO3K 17/567	

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 (22) 出願日  (出願人による申告)平成26年度、国立研究開発法人新エネルギー・産業技術総合開発機構「低炭素社会を実現する次世代パワーエレクトロニクスプロジェクト／研究開発項目1(10)新世代Siパワーデバイス技術開発／新世代Si-IGBTと応用基本技術の研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願	特願2018-164922(P2018-164922) 平成30年9月3日(2018.9.3)	(71) 出願人 504174135 国立大学法人九州工業大学 福岡県北九州市戸畑区仙水町1番1号 (74) 代理人 100116573 弁理士 羽立 幸司 (74) 代理人 100180921 弁理士 峰 雅紀 (72) 発明者 大村 一郎 福岡県北九州市若松区ひびきの2番4号 国立大学法人九州工業大学内 (72) 発明者 トリパシ ラビ ナス 福岡県北九州市若松区ひびきの2番4号 国立大学法人九州工業大学内 Fターム(参考) 5H740 BA11 BB02 BC01 BC02 JA01 JB01 KK01  最終頁に続く
--	--	---

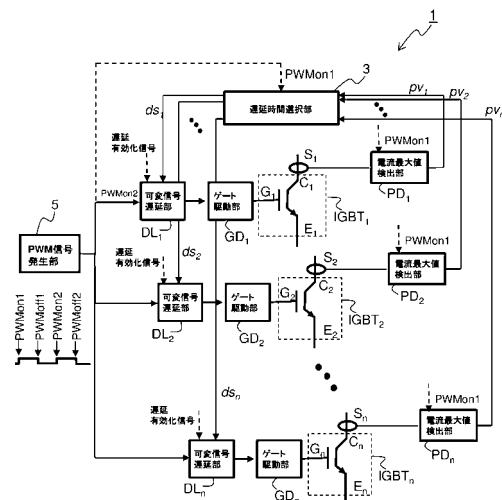
(54) 【発明の名称】 電力変換器、可変信号遅延回路及び電力変換方法

(57) 【要約】

【課題】 トランジスタの数を増やすことなく特定のトランジスタに過度の負荷が集中することのない電力変換器等を提供することを目的とする。

【解決手段】 接続された複数のトランジスタを備える電力変換器であって、パルス幅変調信号を発生させるパルス幅変調信号発生部と、複数の前記トランジスタをそれぞれ駆動させる複数のゲート駆動部と、前記ゲート駆動部に対して、前記パルス幅変調信号に遅延を与えた遅延パルス幅変調信号を出力する複数の可変信号遅延部とを備え、及び/又は、前記ゲート駆動部のゲート抵抗を増大させ、若しくは、前記ゲート駆動部のゲート駆動電圧若しくはゲート電流を減少させることの少なくともいずれかの処理を行う複数のゲート制御部を備える、電力変換器である。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

接続された複数のトランジスタを備える電力変換器であって、  
パルス幅変調信号を発生させるパルス幅変調信号発生部と、  
複数の前記トランジスタをそれぞれ駆動させる複数のゲート駆動部とを備え、  
さらに、前記ゲート駆動部に対して、前記パルス幅変調信号に遅延を与えた遅延パルス幅変調信号を出力する複数の可変信号遅延部を備え、及び/又は、前記ゲート駆動部のゲート抵抗を増大させ、若しくは、前記ゲート駆動部のゲート駆動電圧若しくはゲート電流を減少させることの少なくともいずれかの処理を行う複数のゲート制御部を備える、電力変換器。

10

**【請求項 2】**

複数の前記可変信号遅延部を備えるものであり、  
複数の前記可変信号遅延部に対して、個別に遅延時間を指定する遅延指令信号を出力する遅延時間選択部をさらに備え、  
前記可変信号遅延部は、前記パルス幅変調信号に対して、前記遅延指令信号に応じた遅延を与える、請求項 1 記載の電力変換器。

**【請求項 3】**

複数の前記トランジスタのそれぞれに対応する複数の物理量最大値検出部をさらに備え、  
前記物理量最大値検出部は、対応する前記トランジスタにおける所定の期間内の電流、電圧、電力又は温度の最大値である個別最大値を検出して前記個別最大値を前記遅延時間選択部に出力し、  
前記遅延時間選択部は、複数の前記物理量最大値検出部から出力された複数の前記個別最大値のうち最大のものを出力した前記物理量最大値検出部に対応する前記可変信号遅延部が出力する前記パルス幅変調信号の前記遅延時間を、相対的に増加させ、又は、相対的に減少させる前記遅延指令信号を出力する、請求項 2 記載の電力変換器。

20

**【請求項 4】**

前記遅延時間選択部で決定される各前記トランジスタの前記遅延時間を一定期間ごとに記憶する遅延時間記憶部と、  
前記遅延時間記憶部が記憶した複数の前記遅延時間を比較する比較部とをさらに備える、請求項 2 又は 3 記載の電力変換器。

30

**【請求項 5】**

接続された複数のトランジスタを駆動させる複数のゲート駆動部に対して、パルス幅変調信号を出力する可変信号遅延回路であって、  
入力されたパルス幅変調信号に対して互いに異なる遅延を与えて複数の遅延パルス幅変調信号を出力するディレイラインと、  
複数の前記遅延パルス幅変調信号のうちから特定の前記遅延パルス幅変調信号を選択する選択部とを備える、可変信号遅延回路。

**【請求項 6】**

前記選択部は、  
前記複数のトランジスタが出力する物理量の値に基づいて外部信号を出力する遅延時間選択部と接続されており、  
前記外部信号に基づいて前記特定の遅延パルス幅変調信号を選択する、請求項 5 記載の可変信号遅延回路。

40

**【請求項 7】**

接続された複数のトランジスタを備える電力変換器を用いた電力変換方法であって、  
前記電力変換器は、  
パルス幅変調信号を発生させるパルス幅変調信号発生部と、  
複数の前記トランジスタをそれぞれ駆動させる複数のゲート駆動部と、  
前記ゲート駆動部に対して、前記パルス幅変調信号を出力し、又は、遅延を与えた遅

50

延パルス幅変調信号を出力する複数の可変信号遅延部とを備え、

前記可変信号遅延部が、前記遅延パルス幅変調信号を出力する遅延パルス幅変調信号出力ステップを含む、電力変換方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力変換器、可変信号遅延回路及び電力変換方法に関し、特に、複数の並列に接続されたトランジスタを備える電力変換器等に関する。

【背景技術】

【0002】

IGBT等の電力用半導体が利用される電力変換器では、年々容量の拡大が進んでおり並列接続されて使われることが多くなっている。また、パワーモジュールといわれるものでもIGBTのチップが内部で並列されていることが多い。

【0003】

図11は、従来の複数のIGBT等のパワー半導体素子を駆動するための構成例を示す図である。従来、図11に示すように、並列に配置されているIGBTに対しては、1つのPWM信号発生部105が1つのゲート駆動部107にPWM信号を出力し、ゲート駆動部107が複数のIGBTを駆動している。しかし、温度の不均一、寄生インダクタンス、信号の遅延などの理由で、スイッチング時に一部の素子ないし一部のチップに電流が集中することで、発熱や安全動作領域逸脱などの現象により素子が破壊するという課題があった。

【0004】

このため、実際には定格電流よりも低い電流で動作させるディレーティング（定格値以下で動作させること）をして、十分な余裕をもって使うことがある（非特許文献1等）。

【0005】

本願発明者は、IGBTをはじめとするパワーモジュールの構造や駆動方法について、長年にわたって研究開発を行ってきた（例えば、特許文献1、2、非特許文献2等）。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2018-64115号公報

【特許文献2】特開平04-229657号公報

【非特許文献】

【0007】

【非特許文献1】「高圧IGBTモジュール アプリケーションマニュアル」（"HIGH VOLTAGE IGBT MODULE Application Manual"）、株式会社日立パワーデバイス（Hitachi Power Semiconductor Device, Ltd.）、2009年、参照番号NO.IGBT-HI-00002 R2

【非特許文献2】宮崎耕太郎ら、外6名（Koutaro Miyazaki et al.）、"General-Purpose Clocked Gate Driver (CGD) IC with Programmable 63-Level Drivability to Reduce Ic Overshoot and Switching Loss of Various Power Transistors"、IEEE、2016年、p. 1640-1645

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、IGBTの数を増やして1個当たりの負荷を軽減するディレーティングを行うことにより、利用するIGBTの数が増えるためコストが上昇し、小型化が困難になるといった課題があった。この課題は、利用するIGBT等の数が増える近年において、特に顕著である。

【0009】

ゆえに、本発明は、トランジスタの数を増やすことなく特定のトランジスタに過度の負

10

20

30

40

50

荷が集中することのない電力変換器等を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の第1の観点は、接続された複数のトランジスタを備える電力変換器であって、パルス幅変調信号を発生させるパルス幅変調信号発生部と、複数の前記トランジスタをそれぞれ駆動させる複数のゲート駆動部とを備え、さらに、前記ゲート駆動部に対して、前記パルス幅変調信号に遅延を与えた遅延パルス幅変調信号を出力する複数の可変信号遅延部を備え、及び/又は、前記ゲート駆動部のゲート抵抗を増大させ、若しくは、前記ゲート駆動部のゲート駆動電圧若しくはゲート電流を減少させることの少なくともいずれかの処理を行う複数のゲート制御部を備える、電力変換器である。

10

【0011】

本発明の第2の観点は、第1の観点の電力変換器であって、複数の前記可変信号遅延部を備えるものであり、複数の前記可変信号遅延部に対して、個別に遅延時間を指定する遅延指令信号を出力する遅延時間選択部をさらに備え、前記可変信号遅延部は、前記パルス幅変調信号に対して、前記遅延指令信号に応じた遅延を与える。

【0012】

本発明の第3の観点は、第2の観点の電力変換器であって、複数の前記トランジスタのそれぞれに対応する複数の物理量最大値検出部をさらに備え、前記物理量最大値検出部は、対応する前記トランジスタにおける所定の期間内の電流、電圧、電力又は温度の最大値である個別最大値を検出して前記個別最大値を前記遅延時間選択部に出力し、前記遅延時間選択部は、複数の前記物理量最大値検出部から出力された複数の前記個別最大値のうち最大のものを出力した前記物理量最大値検出部に対応する前記可変信号遅延部が出力する前記パルス幅変調信号の前記遅延時間を、相対的に増加させ、又は、相対的に減少させる前記遅延指令信号を出力する。

20

【0013】

本発明の第4の観点は、第2又は第3の観点の電力変換器であって、前記遅延時間選択部で決定される各前記トランジスタの前記遅延時間を一定期間ごとに記憶する遅延時間記憶部と、前記遅延時間記憶部が記憶した複数の前記遅延時間を比較する比較部とをさらに備える。

【0014】

本発明の第5の観点は、接続された複数のトランジスタを駆動させる複数のゲート駆動部に対して、パルス幅変調信号を出力する可変信号遅延回路であって、入力されたパルス幅変調信号に対して互いに異なる遅延を与えて複数の遅延パルス幅変調信号を出力するディレイラインと、複数の前記遅延パルス幅変調信号のうちから特定の遅延パルス幅変調信号を選択する選択部とを備える、可変信号遅延回路である。

30

【0015】

本発明の第6の観点は、第5の観点の可変信号遅延回路であって、前記選択部は、前記複数のトランジスタが出力する物理量の値に基づいて外部信号を出力する遅延時間選択部と接続されており、前記外部信号に基づいて前記特定の遅延パルス幅変調信号を選択する。

40

【0016】

本発明の第7の観点は、接続された複数のトランジスタを備える電力変換器を用いた電力変換方法であって、前記電力変換器は、パルス幅変調信号を発生させるパルス幅変調信号発生部と、複数の前記トランジスタをそれぞれ駆動させる複数のゲート駆動部と、前記ゲート駆動部に対して、前記パルス幅変調信号を出力し、又は、遅延を与えた遅延パルス幅変調信号を出力する複数の可変信号遅延部とを備え、前記可変信号遅延部が、前記遅延パルス幅変調信号を出力する遅延パルス幅変調信号出力ステップを含む、電力変換方法。

【発明の効果】

【0017】

本発明の各観点によれば、トランジスタごとに異なる遅延をパルス幅変調信号に与え、

50

及び/又は、ゲートのスイッチングを個別に遅らせることが可能となる。そのため、トランジスタの数を増やすことなく各トランジスタの負荷を低減することが可能となる。また、一部の素子に発熱が集中することなく、素子の最高温度を下げるができる。結果として、並列接続された電力用半導体素子ないし、並列接続された電力用半導体チップの電流均一化が図られ、電力用半導体素子の故障を防止するとともに、コストを下げ、小型化を実現することができる。

【0018】

また、本発明の第3の観点によれば、電流、電圧、電力又は温度の最大値が大きなトランジスタに対して優先的に遅延指令信号を出力することとなり、大きな負荷がかかるトランジスタほど優先的に負荷を低減することが可能となる。

10

【0019】

ここで、本発明の第3の観点に記載された「所定の期間」には、少なくとも、トランジスタのターンオン期間又はターンオフ期間が該当しうる。また、遅延時間を相対的に増加させることには、対象となる可変信号遅延部に遅延時間を増加させることだけでなく、対象外の可変信号遅延部に遅延時間を減少させることが含まれる。

【0020】

さらに、本発明の第4の観点によれば、トランジスタの特性変化を遅延時間を通じて把握し、トランジスタの予知保全を行うことが可能となる。

【図面の簡単な説明】

【0021】

20

【図1】本発明の実施例に係る電力変換方法の概要を示すフロー図である。

【図2】本発明の実施例に係る電力変換器1の全体図である。

【図3】電流最大値検出部PDの構成例を示す図である。

【図4】電流最大値検出部の機能を説明した図である。

【図5】遅延時間選択部3の構成例を示す図である。

【図6】可変信号遅延部DLの構成例を示す図である。

【図7】ターンオン時の電流ピークの抑制と、ターンオフ時の電流ピークの抑制を行う機能を持った、可変信号遅延部51の構成例を示す図である。

【図8】MatlabとFPGA設計ツールによる、ターンオン時のデジタル、アナログ、パワー回路統合シミュレーション結果を示す図である。

30

【図9】ターンオフ時の電流均一化のシミュレーション結果を示す図である。

【図10】実際の実験で得られた波形である。

【図11】従来の複数のIGBTを駆動するための構成例を示す図である。

【発明を実施するための形態】

【0022】

以下、図面を参照して、本願発明の実施例について述べる。なお、本願発明の実施の形態は、以下の実施例に限定されるものではない。また、同種の構成要素が複数あれば符号に添え字を付す場合もあるが、集合的に記述する際には符号の添え字を省略する場合もある。

【0023】

40

電力変換器において、大きな出力容量を得るために複数のIGBT (Insulated Gate Bipolar Transistor) やSiC-MOSFETなどのパワー半導体が並列に接続されて変換回路が構成されている。以下、まずは図1を参照しつつ、IGBTを例にとって、本発明に係る電力変換方法の要点を説明する。図1は、本発明の実施例に係る電力変換方法の概要を示すフロー図である。

【0024】

並列接続されているIGBT (IGBTモジュールの並列接続、またはモジュール内でIGBTチップ、あるいはモジュール内のサブモジュールとしてIGBTが実装されたDBC (Direct Bonded Copper) 基板などが並列接続されたもの) に、それぞれ対応するゲート駆動回路があり、その出力は対応するIGBTのゲートに接続されている。各ゲート駆

50

動回路と電力変換器を制御するPWM (Pulse Width Modulation) 信号発生器の間に、信号遅延回路が挿入されている。この信号遅延回路は、外部からの選択信号により遅延時間の長さを変化させることができるようになっている。

【0025】

他方、各IGBTのコレクタ電極、あるいはエミッタ電極の配線には電流センサが取り付けられており、電流センサが接続されている回路(電流最大値検出部)により、ターンオン期間、ターンオフ期間の電流の最大値を検出できるようになっている。例えば電流センサには空芯のコイルを用い、その信号を不完全積分回路に通したのち、高速ADコンバータでデジタル信号に変換し、デジタル信号処理で最大値を検出することができる。

【0026】

また、不完全積分回路の出力に直列にダイオードを入れ、その先に接地との間にコンデンサを入れることで、アナログ回路で最大値を検出してもよい。一般に高速ADコンバータは高価でありパラレル出力を用いているため配線が複雑になり、実装されるプリント基板も高価な多層基板になる。一方、ダイオードを用いたアナログ回路では、高速のADコンバータは不要になり、シリアル出力の安価な低速なADコンバータで機能する。シリアル出力ではピン数が大幅に削減できるため、配線が簡素化され、プリント基板の配線層数を削減でき、低コスト化が可能となる。

【0027】

空芯コイルは磁気飽和を起こさないので、大容量でもセンサが小型でよく、装置全体の小型化が可能になる。特に大容量では、電流が大きくなるが、磁性部品を用いたセンサー(電流トランスやホール電流センサー)は電流値にほぼ比例して、サイズが大きくなる。一方、空芯コイルでは、電流の変化をとらえるので、大電流になればなるほど、小型なセンサーであっても高いセンサー出力が得られやすいというメリットがある。

【0028】

ステップST01において、PWM信号が並列接続されている各IGBTに与えられる。ここでは、ターンオン時を例に考える。ステップST02において、各IGBTから電流最大値検出部回路に電流が出力される。ステップST03において、各IGBTを流れる電流値の最大値(電流ピーク、本願請求項記載の「個別最大値」の一例)が上記の方法で、電流最大値検出回路からデジタル回路で構成された遅延時間選択回路に送られる。ステップST04において、それぞれの電流ピークのうち最大のピークを持つIGBTを判定する。ステップST05において、最大のピークを持つと判定されたIGBTの可変信号遅延回路には、遅延時間選択回路より遅延時間を増加する信号が与えられる。ステップST06において、遅延時間を増加するように設定された可変信号遅延回路では、次のPWMパルスのターンオン信号(例えば0Vの電圧が5Vに変化する信号)を指定された時間だけ遅延させた遅延PWMパルス(本願請求項における「遅延パルス幅変調信号」の一例)を出力する(本願請求項における「遅延パルス幅変調信号出力ステップ」の一例)。

【0029】

このようにすると、次のPWMパルスが与えられてターンオンが行われた際、ターンオン時に大きなピーク電流を持つIGBTのゲート信号を上記のように遅らせることで、そのIGBTのピークを低減でき、電流の均一化を図ることができる。

【0030】

ターンオフの際は、逆に最大のピークを持つIGBTの遅延を縮小することで同様の効果が得られる。ただし、遅延が縮小できない場合は、他のIGBTの遅延回路に同一の遅延を与えることで相対的に、最大のピークを持つIGBTの遅延を縮小することと同等の効果が得られる。ターンオンの遅延とターンオフの遅延は、独立に制御される。

【実施例】

【0031】

図2は、本発明の実施例に係る電力変換器1(本願請求項における「電力変換器」の一例)の全体図である。電力変換器1は、複数のパワー半導体IGBT<sub>1</sub>~IGBT<sub>n</sub>(本願請求項における「トランジスタ」の一例)と、ゲート駆動部GD<sub>1</sub>~GD<sub>n</sub>(本願請求

10

20

30

40

50

項における「ゲート駆動部」の一例)と、センサ $S_1 \sim S_n$ と、電流最大値検出部 $PD_1 \sim PD_n$ (本願請求項における「物理量最大値検出部」の一例)と、遅延時間選択部3(本願請求項における「遅延時間選択部」の一例)と、PWM信号発生部5(本願請求項における「パルス幅変調信号発生部」の一例)と、可変信号遅延部 $DL_1 \sim DL_n$ (本願請求項における「可変信号遅延部」及び「可変信号遅延回路」の一例)とを備える。パワー半導体 $IGBT_k$ ( $k$ は1から $n$ までの自然数)は、コレクタ端子 $C_k$ と、エミッタ端子 $E_k$ と、ゲート端子 $G_k$ とを有する。

【0032】

図2を参照して、各 $IGBT$ ( $IGBT_1 \sim IGBT_n$ )は、並列に接続されている。すなわち、主電極(コレクタ)端子 $C_1 \sim C_n$ が電氣的に接続され、もう一方の主電極(エミッタ)端子 $E_1 \sim E_n$ が電氣的に接続されている。ここでは、逆並列のダイオードや、並列接続の配線、インバータの回路構成は省略している。各 $IGBT$ のゲート端子( $G_1 \sim G_n$ )には、それぞれ対応するゲート駆動部(ゲート駆動回路) $GD_1 \sim GD_n$ が接続されており、主電極を流れる電流(コレクタ電流)を計測するために、センサ $S_1 \sim S_n$ が挿入されている。

10

【0033】

センサ $S_1 \sim S_n$ からの出力は、電流最大値検出部 $PD_1 \sim PD_n$ に入力され、あらかじめ定められたスイッチング期間内での、各 $IGBT$ の電流最大値を検出しその値 $p_{v_1} \sim p_{v_n}$ を遅延時間選択部3に入力する。

【0034】

PWM信号発生部5は、PWM信号(本願請求項における「パルス幅変調信号」の一例)を可変信号遅延部 $DL_1 \sim DL_n$ に入力し、各可変信号遅延部 $DL_1 \sim DL_n$ は、PWM信号発生部5から入力されたPWM信号に、遅延時間選択部3から出力された遅延指令信号 $ds_1 \sim ds_n$ (本願請求項における「遅延指令信号」の一例)に応じた遅延を与えた遅延PWM信号(本願請求項における「遅延パルス幅変調信号」の一例)をゲート駆動部 $GD_1 \sim GD_n$ に出力する。

20

【0035】

なお、例えば全体の電流が小さく、電流の均一性がさほど問題にならない場合や、信号に遅延を与えるとかがって故障を招く可能性があるとは判断された場合は、遅延有効化信号に無効信号を与えて、上記の遅延を与える動作を一時的に停止することができる。

30

【0036】

また、スイッチングのうち、ターンオンあるいはターンオフのいずれかの場合にのみ遅延を与えるようにする場合には、それ以外の場合には無効信号を与えることで、遅延を与える動作を無効にすることができる。このような機能は、予測されなかった動作を検知した場合に用いることで、より大きな障害を防ぐことができる。

【0037】

図3は、電流最大値検出部 $PD$ の構成例を示す図である。電流最大値検出部 $PD$ は、ロゴスキコイル11と、不完全積分回路13と、ピーク検出回路15と、ADコンバータ17とを備える。不完全積分回路13は、OPアンプ21と、キャパシタ23と、抵抗25とを有する。不完全積分回路13において、OPアンプ21と、キャパシタ23と、抵抗25とが並列に接続されている。また、OPアンプ21の入力の一方は、ロゴスキコイル11の出力と接続されており、OPアンプ21の入力の他方は、接地されている。ピーク検出回路15は、ダイオード27と、キャパシタ29と、抵抗31とを有する。ダイオード27の出力は、ADコンバータ17、キャパシタ29及び抵抗31に並列に接続されている。キャパシタ29及び抵抗31のダイオード27とは反対側の端子は、接地されている。

40

【0038】

図3を参照して、センサには空芯のロゴスキコイル11を用い、不完全積分回路13を介して、ダイオード27とコンデンサ29で構成されるピーク検出回路15に送られる。空芯のロゴスキコイル11と不完全積分回路13で電流値に対応する電圧がダイオード2

50

7に入力される。その値の最大値はキャパシタ29に保持され、ADコンバータ17でデジタル信号に変換され、シリアル信号で遅延時間選択部3に送られる。デジタル信号の送信をシリアル信号にすることで、遅延時間選択部3を構成するICやプリント基板回路に必要とされるピン数や配線数を大幅に削減することができる。なお、回路図にはキャパシタを放電するリセット回路などは省略されている。

【0039】

図4は電流最大値検出部PDの機能を説明した図である。ここではスイッチングのうちターンオンを例として説明する。

【0040】

図4(A)は、PWM信号発生部5から出力されるPWM信号と、一つのIGBTのコレクタ電流の波形と、その波形から検出した電流最大値(電流ピーク)を示している。電流最大値検出部PDは、PWM信号のスイッチング信号(LowからHighへのエッジ)の時点から、あらかじめ定められた期間を電流最大値検出期間として、その期間内の最大値を出力する。

【0041】

この期間はIGBTの場合、500ナノ秒から10マイクロ秒の範囲で選択するが、スイッチング周波数の逆数の0.5%から2%が望ましい。これは、0.5%未満では、スイッチングが終了していない可能性があることと、2%以上では、PWM信号の変調率を高く設定できないという制限が出てくるためである。すなわち、検出期間中に次のスイッチングが開始される可能性があるため、短いパルスが発生される可能性のある、高い変調率を選択することが出来ないためである。

【0042】

図4(B)は、最大値検出期間中に極大値を持たなかった場合を説明している。このような場合でも、その期間中の最大値を検出するようにすることで、検出値を定義できるだけではなく、図3の回路を特に変更する必要がない。ターンオフの場合も上記と同様にすることにより、最大値を検出できる。

【0043】

図5は、遅延時間選択部3の構成例を示す図である。遅延時間選択部3は、電流最大値選択部41と、遅延カウンタDC1~DCnと、カウンタ原点復帰部43とを備える。

【0044】

図5を参照して、電流最大値検出部PDから与えられた、最大値の信号 $pv_1 \sim pv_n$ が電流最大値選択部41に入力される。電流最大値選択部41は、その中での最大値を与えるIGBTの番号を特定し、対応する番号の出力として対応するレジスタ又はメモリである遅延カウンタDCに1を出力し、それ以外の出力として対応する遅延カウンタDCに0を出力する。この演算を行うタイミング(最大電流値が格納されているレジスタあるいはメモリを読み込むタイミング)は、対応するターンオンの電流最大値検出期間以降の時間で、次のターンオフが始まる前とする。

【0045】

こうすることで、電流最大値が格納されているレジスタあるいはメモリが書き換えられる前に、正しく最大値を探ることができる。例えば、ターンオンエッジに電流最大値検出期間よりわずかに長い遅延を与えた信号でトリガをかけるタイミング、すなわち、レジスタあるいはメモリを読み込むタイミングを定めればよい。これらの出力は、IGBTの番号に対応した遅延カウンタDCにそれぞれ加算される。カウンタがオーバフローしないために、また、遅延時間が必要以上に長くなるようにするために、カウンタ原点復帰部43は、適宜それぞれの遅延カウンタDCから、すべての遅延カウンタDCの中の最小値を差し引く。すなわち、カウンタ原点復帰部43は、各遅延カウンタDCに格納されている値から、 $\min(DC1, DC2, \dots, DCn)$ を差し引く。

【0046】

図6は、可変信号遅延部DLの構成例を示す図である。可変信号遅延部DLは、ディレイライン45と、第1マルチプレクサ47(本願請求項記載の「選択部」の一例)と、第

10

20

30

40

50



2マルチプレクサ49とを備える。

【0047】

図6を参照して、ここでは遅延時間選択部3から出力された信号 $ds_k$ がk番目に大きいものについてのみ説明するが、1番目からn番目まで同様である。PWM信号発生部5から入力されるPWM信号に対して、複数の遅延信号を発生するディレイライン45があり、一定値 $t$ ずつ、遅延時間(本願請求項における「遅延時間」の一例)が増加した信号を発生している。遅延時間選択部3から出力された信号 $ds_k$ ( $k=1\sim n$ )に基づき、ディレイライン45から出力される信号の中からk番目に遅延が大きい信号をマルチプレクサ47で選択する。なお、 $ds_k$ が0の場合はPWM信号がそのまま、遅延せず選択される。

【0048】

ディレイライン45としては、クロック回路とは別にディレイライン用の回路を用意するとしてもよい。例えば、クロック回路は40MHz(25nsec周期)程度の比較的遅いものを用いてコストを抑えつつ、ディレイライン45用に1nsec程度の回路を用意してもよい。このような回路の例として、CMOSインバータを直列に接続したインバータチェーンディレイラインやプログラマブル・ディレイ回路を用いてもよい。

【0049】

第2マルチプレクサ49には、遅延有効化信号が入力されている。これにより、直前のターンオフ信号の後であってターンオン信号の前には、第2マルチプレクサ49は、第1マルチプレクサ47が選択した遅延PWM信号が有効となるように選択する。他方、ターンオフ期間中は、第2マルチプレクサ49は、バイパスから出力される遅延していないPWM信号を選択する。バイパスは、ディレイライン45及び第1マルチプレクサ47を介さずに、PWM信号発生部5から直接第2マルチプレクサ49に接続される信号線である。

【0050】

以上のような構成により、ターンオン期間に大きな電流ピークを有するIGBTが故障することを防ぐために、ターンオン動作を遅らせることでそのIGBTへの電流の突入による電流ピークを減少させることができる。これにより、自動的に電流均一化が進み、ディレーティングをせずに並列に接続されたIGBTを大きな電流でスイッチング動作をさせることができる。

【0051】

単位遅延時間 $t$ は、IGBTのゲート容量と、実効的なゲート抵抗とで定まるCR時定数より十分短く、特にミラー期間より短く設定することが必要である。こうすることで、ディレイカウンタが1増えた(ピークを持つ)IGBTの電流が大きく減少してしまい、他のIGBTの電流が過剰に増大することを防ぐことができる。

【0052】

ここで、IGBTのスイッチング時にコレクタエミッタ間電圧が変化していると、コレクタゲート間容量を介して、ゲートに電流が流れる。この影響で、コレクタエミッタ間電圧が変化している間、ゲート電圧がほぼ一定の値に保たれ、その期間をミラー期間という。コレクタエミッタ電圧は、ミラー期間の間に大きく変化するため、 $t$ がミラー期間より長いと、スイッチング時の波形を詳細に制御することができず、電流のピークを抑えるという本発明の目的を達しない。

【0053】

なお、ディレイが必要のない場合には、遅延有効化信号により、PWM信号をそのまま出力するように選択できる。この機能は、予測されなかった動作を検知した場合に用いることで、より大きな障害を防ぐことができる。

【0054】

また、スイッチングのうち、ターンオンあるいはターンオフのいずれかの場合にのみ遅延を与えるようにする場合には、それ以外の場合には無効信号を与えることで、遅延を与える動作を無効にすることができる。

【0055】

10

20

30

40

50

なお、ターンオフ時の電流のばらつきを抑制するために、遅延時間選択部 3 を用いることもできる。一般に並列動作では、遅れてターンオフする IGBT に電流が集中する傾向がある。そこで、図 5 の場合と異なり、最大値を持つ IGBT に対応する出力には 0 を与え、それ以外の IGBT に対応する出力に 1 を与えることである。こうすることで、ターンオフ時に電流ピークを有する IGBT のスイッチングを他より相対的に早めることで、電流のピークを抑えることができる。

#### 【0056】

図 7 は、ターンオン時の電流ピークの抑制と、ターンオフ時の電流ピークの抑制を行う機能を持った、可変信号遅延部 51 の構成例を示す図である。可変信号遅延部 51 は、ディレイライン 53 と、第 1 マルチプレクサ 55 と、第 2 マルチプレクサ 57 と、ディレイライン 59 と、第 3 マルチプレクサ 61 とを備える。図 6 に示す可変信号遅延部 DL と比較して、ターンオフ時に対応した遅延時間選択部 3 からの信号  $ds\_off_1 \sim ds\_off_n$  に基づき、ディレイライン 59 の信号を第 3 マルチプレクサ 61 で選択する機能が加わっている。具体的には、第 2 マルチプレクサ 57 は、遅延有効化信号に基づいて、ターンオン時にはディレイライン 53 及び第 1 マルチプレクサ 55 を経由した入力 A を選択し、ターンオフ時にはディレイライン 59 及び第 3 マルチプレクサ 61 を経由した入力 B を選択し、ディレイを使わない場合にはバイパスを經由した入力 C を選択する。こうすることでターンオンの電流集中を抑制する機能に加え、ターンオフ期間の電流集中を抑制する機能を付加することができる。ディレイライン 53 は、直列に配列された複数の遅延回路を有する。

#### 【0057】

なお、単位遅延時間は、ターンオンとターンオフとはそれぞれ別の値に設定できる。一般にターンオンが早い素子は、ターンオフが遅いことがあるため、そのような場合はターンオンの単位遅延時間  $t_{on}$  を短く設定し、逆に  $t_{off}$  を長く設定することができる。このようにすることで、より細かく効率的な最適化が可能になる。

#### 【0058】

図 8 は、MATLAB (登録商標) と FPGA (Field Programmable Gate Array) 設計ツールによる、ターンオン時のデジタル、アナログ、パワー回路統合シミュレーションの結果である。IGBT を 2 つ並列に接続した条件で、デューティ 50% の PWM パルスで IGBT を駆動し、R 負荷でスイッチング行っている。あらかじめ 2 つの IGBT の特性を異なる設定にして、一方の IGBT に発生する電流ピークが発生する条件でシミュレーションを開始した。最初は並列接続した一方の電流にピークがみられる (IC2) が、5 回程度のパルスの後、本手法により電流が均一化している。

#### 【0059】

図 9 は、同様にターンオフ時の電流均一化のシミュレーション結果を示す図である。

#### 【0060】

図 10 は、実際の実験で得られた波形である。図 10 (A) は、実験当初の波形、図 10 (B) は、25 回の PWM パルスを入力した後の波形を示す図である。図 10 (A) に示すように、実験当初は、アンバランスな波形が見られた。しかし、図 10 (B) に示すように、25 回の PWM パルスの後、ほぼ完全に電流が 2 つの IGBT に均一に流れ、一方の IGBT にのみ大きなピークが現れる現象が抑制されている。

#### 【0061】

以上のように、スイッチング時に一方の IGBT に電流が偏ることにより、あらかじめ IGBT が有する安全動作領域 (IGBT チップが動作できる電流と電圧の範囲) を超えた電流が IGBT に流入することにより IGBT が破壊することを、本発明では防ぐことができる。インバータや電源回路などの電力変換回路の高信頼化と、電流が偏ることを見越して設定していたディレーティングを不要とすることで、より大きな電流を流せるようになり、機器の大容量化、あるいは小型化を図ることができる。

#### 【0062】

なお、図 2 ではセンサがコレクタ側の配線に挿入されているが、センサをエミッタ側に挿入してもよい。電圧の急激な変化による変位電流のノイズを防ぐためには、インバータ

10

20

30

40

50

の出力端子に接続されていない側の配線に挿入するのが望ましい。

【0063】

また、上記のターンオン時の記載では、電流最大値選択部41は、最大値の信号 $p_{v_1} \sim p_{v_n}$ のうち最大値を与えるIGBTの番号を特定し、遷移カウンタDCに1を出力するとした。しかし、最大値に近い他のピーク値がある場合、最大値を与えるもののみ遅延させても他のピーク値が高くなる場合がある。このため、電流最大値選択部41は、最大値から一定の範囲内のピーク値を与える複数のIGBTの番号を特定し、対応する遷移カウンタDCに1を出力することとしてもよい。さらに具体的には、10個のIGBTのうち3つが最大値に近いピーク値を出力した場合、ピーク値のうち最大値を決定した後、一定値を差し引いた基準値を決定して基準値以上のピーク値を与える複数のIGBTに対応する遷移カウンタDCに1を出力することとしてもよい。また、最大のピーク値と各ピーク値との差分を求め、一定値以下の差分しかないピーク値を与えるIGBTに対応する遷移カウンタDCに1を出力することとしてもよい。

10

【0064】

さらに、IGBTを並列に接続してコレクタ電流又はエミッタ電流のピーク値に基づいて遅延時間を選択する以外にも、IGBTを直列に接続して主電極間電圧(コレクタ-エミッタ電圧又はパワーMOSFETにおけるドレイン-ソース電圧)のピーク値に基づいて選択してもよい。さらに、IGBTにおける電力や温度のピーク値に基づいて選択してもよい。温度は、チップ内部の接合温度や、チップのケースの温度を対象としてもよい。電力や温度であれば、IGBTを並列/直列のいずれで接続する場合にも採用することができる。

20

【0065】

さらに、トランジスタの数を増やすことなく特定のトランジスタに過度の負荷が集中させない手段として、スイッチング時の遅延を大きくする以外にも、ゲート抵抗を増大させ、又は、ゲート駆動電圧若しくはゲート電流を減少させる処理をIGBTごとに個別に行うゲート制御部(本願請求項記載の「ゲート制御部」の一例)を備えることとしてもよい。

【0066】

さらに、図5に示す遅延カウンタDC1~DCnの値をある一定期間ごとにメモリ(本願請求項における「遅延時間記憶部」の一例)に記憶しておくことで、IGBTなどパワー素子の特性の変化を検出できる。例えば、あるIGBTのゲート閾値が低下した場合は、ターンオン時の遅延が、低下する前より長くなる傾向にあり、上昇した場合はその逆になる。ターンオフの場合は、閾値が上昇した場合に遅延が増大する。結果として、特性が変化したIGBTの遅延カウンタの値が、並列接続されている他のIGBTの遅延カウンタの値と相対的に変化する。このように、最適な遅延カウンタの値をモニタリングすることで、IGBTの特性変化を記録し、ある程度以上変化が大きくなった際は、保守担当に自動的に連絡をいれるなどの予知保全に用いることができる。変化の大きさを判定するためには、例えば、電力変換器が備える比較部(本願請求項における「比較部」の一例)が、メモリに記録した複数の遅延時間を比較すればよい。このような機能は、遅延カウンタの値を格納したメモリのデータを、通信(有線LAN、無線LAN等)を用いてサーバに送信し、サーバ上で遅延カウンタの値を分析することで可能となる。この機能が実現すると、定期検査での当該IGBTの交換等を実施することで、故障が起こる確率を低下させることができる。

30

40

【符号の説明】

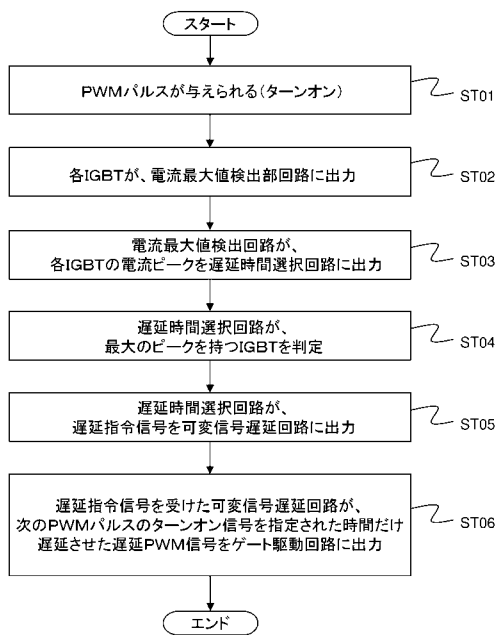
【0067】

1・・・電力変換器、3・・・遅延時間選択部、5・・・PWM信号発生部、11・・・ロゴスキコイル、13・・・不完全積分回路、15・・・ピーク検出回路、17・・・ADコンバータ、21・・・OPアンプ、23・・・キャパシタ、25・・・抵抗、27・・・ダイオード、29・・・キャパシタ、31・・・抵抗、41・・・電流最大値選択部、43・・・カウンタ原点復帰部、45・・・ディレイライン、47・・・第1マルチプレクサ、49・・・第2マルチプレクサ、51・・・可変信号遅延部、53・・・ディ

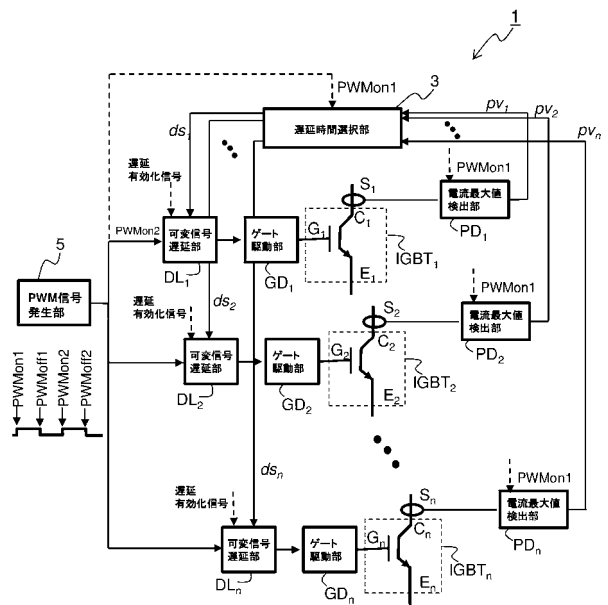
50

レイライン、55・・・第1マルチプレクサ、57・・・第2マルチプレクサ、59・・・ディレイライン、61・・・第3マルチプレクサ、DL・・・可変信号遅延部、GD・・・ゲート駆動部、C・・・コレクタ電極、E・・・エミッタ電極、G・・・ゲート電極、PD・・・電流最大値検出部

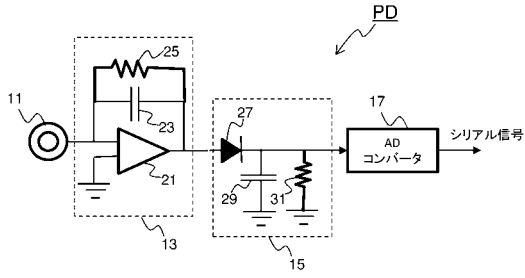
【 図 1 】



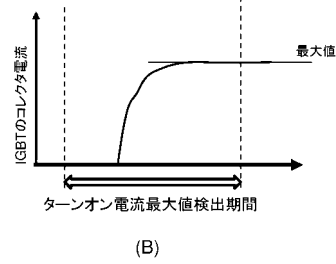
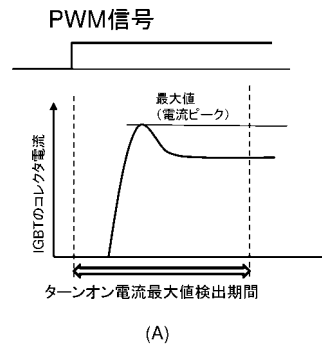
【 図 2 】



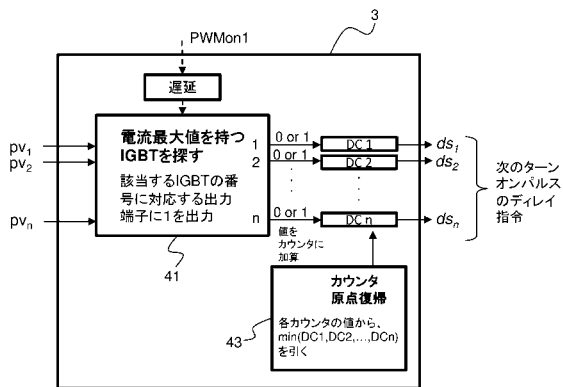
【 図 3 】



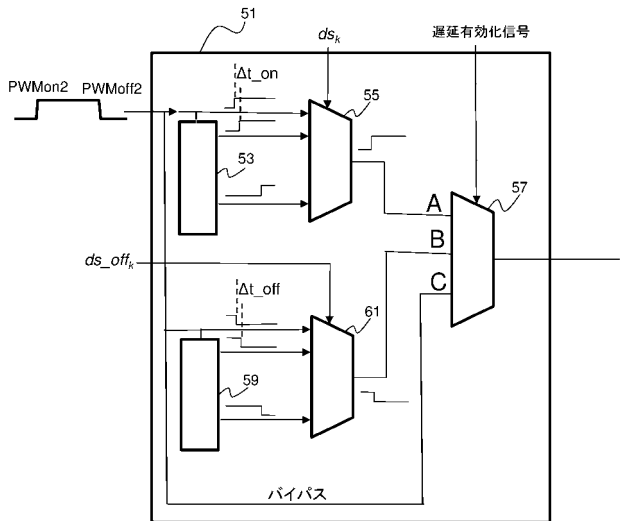
【 図 4 】



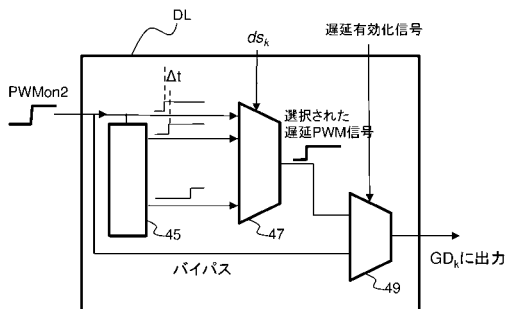
【 図 5 】



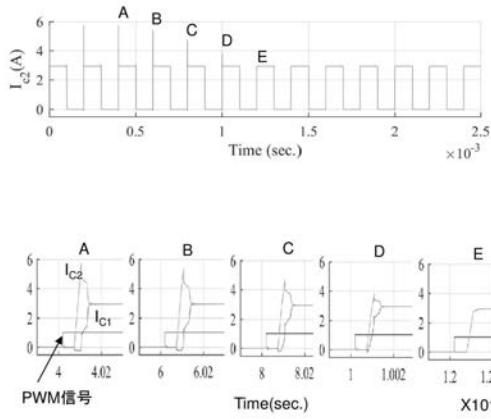
【 図 7 】



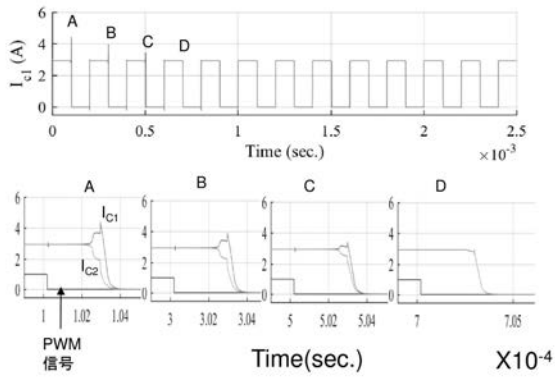
【 図 6 】



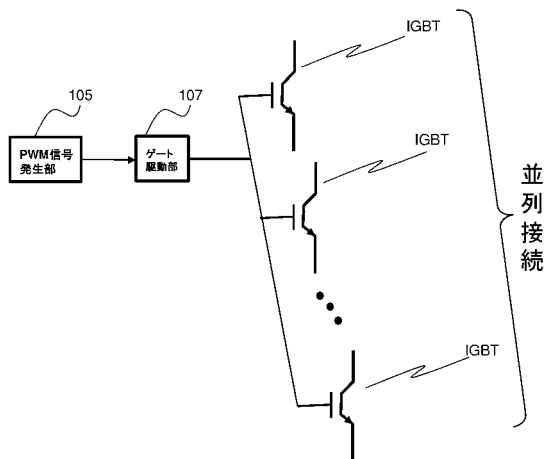
【 図 8 】



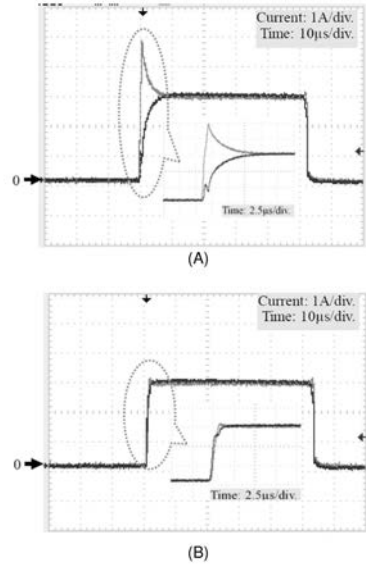
【 図 9 】



【 図 1 1 】



【 図 1 0 】



---

フロントページの続き

Fターム(参考) 5J055 AX07 BX16 CX07 DX09 DX73 EY01 EY05 EY10 EY12 EZ09  
EZ10 EZ23 EZ29 EZ50 FX04 GX01 GX03 GX04