

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-39941
(P2019-39941A)

(43) 公開日 平成31年3月14日(2019.3.14)

(51) Int.Cl. F I テーマコード (参考)
GO2F 3/00 (2006.01) GO2F 3/00 501 2K102
GO6E 1/00 (2006.01) GO6E 1/00

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2017-159096 (P2017-159096)
 (22) 出願日 平成29年8月22日 (2017.8.22)

(出願人による申告) 平成28年度、国立研究開発法人
 科学技術振興機構、新たな光機能や光物性の発現・利活
 用を基軸とする次世代フォトリソグラフィの基盤技術、産業技
 術力強化法第19条の適用を受ける特許出願

(71) 出願人 000004226
 日本電信電話株式会社
 東京都千代田区大手町一丁目5番1号
 (71) 出願人 504132272
 国立大学法人京都大学
 京都府京都市左京区吉田本町36番地1
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (74) 代理人 100153006
 弁理士 小池 勇三
 (74) 代理人 100064621
 弁理士 山川 政樹
 (72) 発明者 新家 昭彦
 東京都千代田区大手町一丁目5番1号 日
 本電信電話株式会社内

最終頁に続く

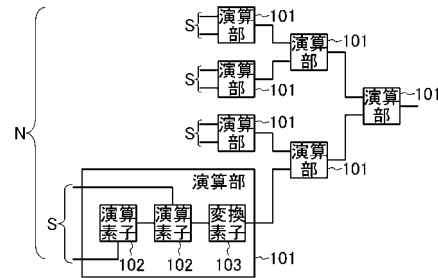
(54) 【発明の名称】 光演算器

(57) 【要約】

【課題】 より高速に光演算ができるようにする。

【解決手段】 入力信号に対して1つの光信号を出力する
 S個 (Sは自然数) の演算素子102をシリアルに接続
 して構成され、S個の入力信号により1つの光信号を演
 算出力する複数の演算部101をカスケード接続する。
 前段のS個の演算部101から出力された信号が、後段
 の1つの演算部101に入力される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力信号に対して 1 つの光信号を出力する S 個 (S は自然数) の演算素子がシリアルに接続されて構成され、 S 個の前記入力信号により 1 つの光信号を演算出力する複数の演算部を備え、

前記複数の演算部は、カスケード接続され、

前段の S 個の演算部から出力された信号が、後段の 1 つの演算部に入力されることを特徴とする光演算器。

【請求項 2】

請求項 1 記載の光演算器において、

前記入力信号は、電気信号であり、

前記複数の演算部の各々は、シリアル接続されている最終段の前記演算素子から出力された光信号を光電変換する変換素子を備える

ことを特徴とする光演算器。

10

【請求項 3】

請求項 1 記載の光演算器において、

前記入力信号は、光信号であり、

前記複数の演算部の各々は、 S 個の前記演算素子から光信号が出力された場合に値 1 を出力し、 S 個の前記演算素子から光信号が出力された場合以外に値 0 を出力する変換素子を備える

ことを特徴とする光演算器。

20

【請求項 4】

請求項 2 または 3 記載の光演算器において、

前記カスケード接続の段数 M および前記演算素子の個数 S は、前記入力信号の数 N と、前記演算素子における演算時間 τ_{gate} と、前記変換素子における処理時間 τ_{OEO} とから、(A) 式により決定されることを特徴とする光演算器。

【数 1】

$$F(S) = \frac{\tau_{OEO} + S\tau_{gate}}{\ln(S)} \ln(N) - \tau_{OEO} \cdot \cdot \cdot (A)$$

30

【請求項 5】

請求項 1 記載の光演算器において、

1 段目の前記複数の演算部は、前記演算素子がマッハツェンダー干渉計から構成され、

2 段目以降の前記複数の演算部における前記演算素子は、電気号である 1 つの前記入力信号に対して 1 つの光信号を出力する

ことを特徴とする光演算器。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、光電融合型の演算回路から構成された光演算器に関する。

【背景技術】

【0002】

現在の電子演算回路は、演算の処理速度を向上させるため、チップサイズや素子サイズを極限まで小さくする工夫がなされている。これは、回路内の抵抗 (R) とキャパシタンス (C) が、信号の伝搬を大きく遅延しているため、演算速度を上げるには、チップサイズや素子サイズを小さくするしかないためである。このため、狭面積の論理ブロックやコアに素子を詰め込み、マルチコア・メニーコア化などの工夫がなされているが、これらをつなぐための配線が新たな「遅延」を生み、演算の高速化に限界が見えつつある。

50

【 0 0 0 3 】

一方、光通信などで用いられる光配線や光パスゲートは、この配線経路内のCやRに無依存で光信号を伝播させることができる。また、ナノフォトリクス進展により、光ゲートの消費エネルギーは飛躍的に改善され、このエネルギーコスト[J / b i t]は、CMOSゲートと光パスゲートとで同程度のレベルになりつつある。このため、チップ内やチップ間の通信を光化する様々な研究がなされている。

【 0 0 0 4 】

ここで、光ゲートの電気制御ポート側から信号入力する接続形態をカスケード接続、スイッチの光伝搬経路が連続的に接続されている形態をシリアル接続と定義する。例えばシリアル接続とカスケード接続が混在した光電融合型の回路を想定した場合、カスケード接続の部分が光と電気の境界となる。この境界において、回路中を伝搬する光信号は一度電気に変換(OE変換)されることになる。この変換は、電気回路に律速されるため、OE変換の多用される回路は、光を使うことのメリットが小さい。このため、光と電気の境界、つまりカスケード接続の配置場所と数が、回路構成の重要なポイントとなる。

【 0 0 0 5 】

ここでN入力のAND回路を例に取り上げる。CMOS回路の場合、シリアルに接続されたパスブロックゲートでS入力素子を構成し、これを一段のツリー状にカスケード接続することで、N入力関数を構成する。この場合、N入力関数の遅延時間は下記の式となる。

【 0 0 0 6 】

【 数 1 】

$$F(N, M) = \sum_{k=1}^M (k \text{ 段目のシリアル接続回路の信号伝播遅延}) \cdot \dots \cdot (1)$$

Sはシリアル接続の段数、Mはカスケードの段数、Nは入力の数。

【 0 0 0 7 】

この場合、シリアル接続部の電気信号伝播遅延は、ゲート数分の抵抗とキャパシタンスの影響を受けるため、シリアル接続の段数Sの2乗に比例して大きくなってしまいう問題がある。これを解消するために動作電圧を上げると、消費電力も上がってしまうため、CMOS回路のSはせいぜい2にとどまっている。また小さなSを用いるには、カスケード段数Mを増加させる必要があり、結果的にN入力関数の遅延を増加させる問題がある。

【 0 0 0 8 】

光回路の場合、シリアル接続のみで遅延の小さな演算が可能であることが知られている(非特許文献1, 2)。これは、シリアル部分の光信号伝播遅延は、ゲートの長さのみ依存する、つまり、遅延はSに比例する特徴を持ち、上述した電気信号伝播遅延の問題を緩和することが可能となるためである。

【 先行技術文献 】

【 非特許文献 】

【 0 0 0 9 】

【 非特許文献 1 】 J. Hardy et al., "Optics inspired logic architecture", Optics Express, vol. 15, no. 1, pp. 150-165, 2007.

【 非特許文献 2 】 浅井哲也 他、「二分決定グラフにもとづくフォトリック結晶集積デバイス」、2000年電子情報通信学会総合大会講演論文集、386-387頁、2000年。

【 非特許文献 3 】 Q. Xu et al., "Reconfigurable optical directed-logic circuits using microresonator-based optical switches", Optics Express, vol. 19, no. 6, pp. 5244-5259, 2011.

【 非特許文献 4 】 石原亨 他、「光パスゲート論理に基づく並列加算回路の提案と光電混載回路シミュレータによる動作検証」、信学技報、vol. 116, no. 94, pp. 109-114頁、2016年。

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、光強度ロスも S に比例するため、電気よりも大きな S を取り扱うことは可能であるが、あまりに大きな S を取り扱う場合は、信号劣化の対策が必要となる。

【0011】

本発明は、以上のような問題点を解消するためになされたものであり、より高速に光演算ができるようにすることを目的とする。

【課題を解決するための手段】

【0012】

本発明に係る光演算器は、入力信号に対して1つの光信号を出力する S 個 (S は自然数) の演算素子がシリアルに接続されて構成され、 S 個の入力信号により1つの光信号を演算出力する複数の演算部を備え、複数の演算部は、カスケード接続され、前段の S 個の演算部から出力された信号が、後段の1つの演算部に入力される。

【0013】

上記光演算器において、入力信号は、電気信号であり、複数の演算部の各々は、シリアル接続されている最終段の演算素子から出力された光信号を光電変換する変換素子を備える。

【0014】

上記光演算器において、入力信号は、光信号であり、複数の演算部の各々は、 S 個の演算素子から光信号が出力された場合に値1を出力し、 S 個の演算素子から光信号が出力された場合以外に値0を出力する変換素子を備える。

【0015】

上記光演算器において、カスケード接続の段数 M および演算素子の個数 S は、入力信号の数 N と、演算素子における演算時間 τ_{gate} と、変換素子における処理時間 τ_{OEO} とから、(A) 式により決定される。

【0016】

【数2】

$$F(S) = \frac{\tau_{OEO} + S\tau_{gate}}{\ln(S)} \ln(N) - \tau_{OEO} \cdot \cdot \cdot (A)$$

【0017】

上記光演算器において、1段目の複数の演算部は、演算素子がマッハツェンダー干渉計から構成され、2段目以降の複数の演算部における演算素子は、電気信号である1つの入力信号に対して1つの光信号を出力するようにしてもよい。

【発明の効果】

【0018】

以上説明したことにより、本発明によれば、より高速に光演算ができるという優れた効果が得られる。

【図面の簡単な説明】

【0019】

【図1】図1は、本発明の実施の形態1における光演算器の構成を示す構成図である。

【図2】図2は、本発明の実施の形態1における光演算器の演算部101の構成を示す構成図である。

【図3】図3は、AND演算を実施する演算器(演算回路)の演算遅延を説明するための説明図である。

【図4】図4は、本発明の実施の形態1における光演算器の一部構成を示す構成図である。

【図5】図5は、本発明の実施の形態2における光演算器の演算部101の構成を示す構

10

20

30

40

50

成図である。

【図6】図6は、本発明の実施の形態3における光演算器の構成を示す構成図である。

【図7】図7は、本発明の実施の形態4における光演算器の構成を示す構成図である。

【図8】図8は、本発明における2入力2出力のXOR、XNOR演算素子と、その組み合わせによるXNOR-AND、XOR-OR演算部の構成を示す構成図である。

【発明を実施するための形態】

【0020】

以下、本発明の実施の形態について説明する。

【0021】

[実施の形態1]

はじめに、本発明の実施の形態1における光演算器について、図1を参照して説明する。この光演算器は、カスケード接続された複数の演算部101を備える。演算部101は、入力信号に対して1つの光信号を出力するS個（Sは自然数）の演算素子102がシリアルに接続されて構成されている。演算部101は、S個の入力信号により1つの光信号を演算出力する。また、前段のS個の演算部101から出力された信号が、後段の1つの演算部101に入力される。なお、図1では、S=2の場合を例示している。また、図1では、カスケード接続の段数Mが3の場合を例示している。

【0022】

ここで、実施の形態1では、入力信号は、電気信号であり、演算部101は、シリアル接続されている最終段の演算素子102から出力された光信号を光電変換する変換素子103を備える。例えば、図2に示すように、演算部101は、光源111と、1×1光パスゲート102aと、変換素子103とから構成すればよい。2つの1×1光パスゲート102aは、シリアル接続されている。この構成において、前段の1×1光パスゲート102aへの電気制御入力を x_i とし、後段の1×1光パスゲート102aへの電気制御入力を y_i とする。電気制御入力が1の時のみ信号を透過させるように設定すれば、前段の1×1光パスゲート102aおよび後段の1×1光パスゲート102aの両者が透過状態になる電気信号の組み合わせ、つまり、 $x_i y_i = 1$ の場合のみ光が出力されるAND演算となる。

【0023】

本発明では、上述したように、光シリアル接続回路のカスケード接続により、光演算を、より高速化する。実施の形態1では、1×1光パスゲート102aによるシリアル接続回路からの光出力を、1×1光パスゲート102aの電気制御側に入力するため、変換素子103を用いている。この構成における演算遅延時間は、下記の式となる。

【0024】

【数3】

$$F(N, M) = \sum_{k=1}^M (k \text{ 段目のシリアル接続回路の信号伝播遅延}) + \sum_{k=1}^{M-1} (k \text{ 段目と } k+1 \text{ 段目の間のカスケード接続部の光電変換時間}) \cdots (2)$$

Sはシリアル接続の段数、Mはカスケードの段数、Nは入力の数。

【0025】

ここで計算を簡単にするため、全てのシリアル段数が均一であり、全ての1×1光パスゲート102a（演算素子102）において、演算素子102中を伝搬する光の伝播時間は t_{gate} で均一とし、全ての変換素子103におけるOE変換時間も t_{OE} で均一と仮定したときの、演算遅延特性をとり扱うこととする。この条件における演算遅延は、下記の(3)式で表される。

【0026】

10

20

30

40

【数 4】

$$F(N, M) = (MS)\tau_{gate} + (M - 1)\tau_{OEO}$$

$$S = \sqrt[M]{N}, M, S, N \geq 1$$

. . . (3)

【0027】

電気回路においては、カスケード接続部に変換素子 103 を必要としないため、 $\tau_{OEO} = 0$ であり、シリアル段数が大きいと応答が遅くなるため、 S の値は 2 程度までである。一方、実施の形態 1 における光演算器は、シリアル接続されている演算素子 102 の出力を変換素子 103 に通す必要があり、また、2 よりも大きな S を取り扱うことができる。これらの点において、電気回路と実施の形態 1 における光演算器の構成は大きく異なる。

【0028】

【数 5】

ここで M をある特定の値に固定し、 $N, S = \sqrt[M]{N}$ (小数点以下を切り上げ) をパラメータとしたときの遅延特性に着目する。

【0029】

図 3 に示すように、 M 段のカスケードと $M + 1$ 段のカスケードの遅延量がある入力数 N で逆転し、それ以上の入力数において、 M 段のカスケードよりも、 $M + 1$ 段のカスケードの遅延が小さくなる。

【0030】

つまり、 $F(N_0, M) = F(N_0, M + 1)$ を満足する $N = N_0$ を損益分岐点とすると、これを超える入力数において $M + 1$ 段、越えない入力数において M 段のカスケード段数を採用することにより、遅延を小さく抑えることが可能となる。また $N = N_0$ においては、 $M + 1$ 段のカスケード段数を採用することでより小さな S を採用し、光シリアル回路のロスの問題を解消することができる。

【0031】

次に、 N をある特定の値に固定し、 $S, M = \log_S(N)$ をパラメータとしたときの遅延特性に着目する。実施の形態 1 における光演算器では、 M, S を自然数として取り扱う必要があるが、ここでは実数範囲に拡張し、演算遅延を (4) 式で表記することとする。

【0032】

【数 6】

$$F(S) = \frac{\tau_{OEO} + S\tau_{gate}}{\ln(S)} \ln(N) - \tau_{OEO} \quad \cdot \cdot \cdot (4)$$

このとき (4) 式は、下記の $S = S_0$ において最小値となり、 S_0 は N, M に依存せず、 τ_{gate} と τ_{OEO} のみで決定できる。

$$S_0 = \exp\left(1 + W\left(\frac{\alpha}{e}\right)\right), W \text{ はランベルトの } W \text{ 関数}$$

$$\alpha_0 = \left[\tau_{OEO}/\tau_{gate}\right]_{S=S_0} = S_0 \{\ln(S_0) - 1\} > 0 \quad \cdot \cdot \cdot (5)$$

【0033】

また、電気回路、光回路の遅延は、それぞれ (6), (7) 式で表される。ここで、電気回路においては、カスケード接続部に OE 変換素子が不要のため $\tau_{OEO} = 0$ とし、実施

の形態における光演算器と区別するため $\tau_{gate} = \tau_{CMOS}$ とした。

【数 7】

$$D_{CMOS} = F(e) = e \cdot \ln(N) \tau_{CMOS} \quad \dots (6)$$

$$D_{OPT} = F(S_0) = \left\{ \frac{\ln(N)}{\ln(S_0) - 1} - 1 \right\} \tau_{OEO} \quad \dots (7)$$

10

$$\frac{D_{OPT}}{D_{CMOS}} = \left(\frac{1}{\ln(S_0) - 1} - \frac{1}{\ln(N)} \right) \left(\frac{\tau_{OEO}}{e \cdot \tau_{CMOS}} \right) \quad \dots (8)$$

【0034】

さて、(8)式右辺の最大値は下記の式で表され、それが1より小さい条件において、実施の形態1における光演算器の遅延が電気回路よりも小さくなる。

【0035】

【数 8】

20

$$\left(\frac{D_{OPT}}{D_{CMOS}} \right)_{max} = \left(\frac{1}{\ln(S_0) - 1} \right) \left(\frac{\tau_{OEO}}{e \cdot \tau_{CMOS}} \right) < 1 \quad \dots (9)$$

ここで、 $S_0 = e^p$ 、 $p = 1 + W(\alpha/e)$ とすると、光ゲートに要求される速度が下記式で与えられる。

$$\tau_{OEO} < e(p - 1) \tau_{CMOS} \left(\frac{D_{OPT}}{D_{CMOS}} \right)_{max} \quad \dots (10)$$

30

$$\tau_{gate} < e^{1-p} \tau_{CMOS} \left(\frac{D_{OPT}}{D_{CMOS}} \right)_{max} \quad \dots (11)$$

【0036】

つまり、CMOSのスイッチング時間の e^{1-p} 倍よりも小さな伝播遅延を有する光パスゲート(演算素子102)を用い、 $S_0 = e^p$ 段のシリアル接続を構成し、シリアル接続回路から出力される光信号を、応答速度がCMOSのスイッチング時間の $e(p - 1)$ 倍よりも小さな光電変換素子(変換素子103)を通し、 $M_0 = \log_{S_0}(N)$ 段のカスケード接続することにより、電気回路よりも遅延の小さな光回路を構成することができる。

40

【0037】

言い換えると、カスケード接続の段数Mおよび演算素子102の個数Sは、入力信号の数Nと、演算素子102における演算時間 τ_{gate} と、変換素子103における処理時間 τ_{OEO} とから、(4)式により決定することができる。

【0038】

ここで、変換素子103の応答速度は、電気回路程度のもので充分であるが、演算素子102の伝播遅延は、CMOSの応答速度より小さくしなければならない。これについては、光の伝搬速度は半導体中で $100 \mu m / ps$ 程度であることを勘案し、素子長が $1000 \mu m$ 以下の光パスゲート(演算素子102)をナノフォトニクスで実現することにより、この条件を達成する。

50

【 0 0 3 9 】

さて、上述の S_0 , M_0 は実数値であるが、実際の回路においてはこれらを自然数としてとり扱う必要がある。このためこれらの値として下記の自然数 S , M を採用するものとする。

【 0 0 4 0 】

まずカスケード段数 M は、実数値 $M_0 = \log_{S_0}(N)$ の小数点以下を切り上げた値が切り捨てた値を採用する候補とする。実数値 M_0 を挟む 2 つの自然数の間で演算遅延に最低値が現れることは (3) 式より明らかである。シリアル接続段数 S は採用する M の候補を (3) 式に代入することで得る。2 つの S と M の候補を (3) 式に代入し、 $F(N, M)$ がより小さい S と M を採用することにより、最小の演算遅延を得ることができる。

10

【 0 0 4 1 】

【 数 9 】

ただし、 S の値が許容される最大値 S_{\max} (自然数) よりも大きくなる場合は、 $S_{\max} \geq \sqrt[M]{N}$ を満足する

最小の自然数 M を採用し、 $\sqrt[M]{N}$ において小数点以下を切り上げた自然数を S とする。

【 0 0 4 2 】

また $F(N, M)$ の値が同じになる場合は、先に述べた理由により、 M_0 の小数点以下を切り上げた値を M として採用すればよい。この M の設定方法は損益分岐点 N_0 を考慮したときの方法と同じである。

20

【 0 0 4 3 】

さて、損益分岐点 N_0 の存在や遅延が S_0 で極小値をとる特性は、演算遅延が S に比例して増加するシリアル接続部と、 S の増加とともに減少するカスケード接続部が混在することに起因するため、 S , t_{gate} , t_{OE0} が回路内で均一ではないケースにおいても同様の傾向が現れる。

【 0 0 4 4 】

このようなケースにおいては、(2) 式が最小となる自然数 S を $S(N, M)$ とし、自然数 M の値を 1 から徐々に増やしたときに、 $F(N, M) < F(N, M+1)$ となるときの M と $S(N, M)$ を採用する。ただし、 S の値が許容される最大値 S_{\max} (自然数) よりも大きくなる場合は、 $S = S_{\max}$ となるまで M の値を増やすものとする。これにより、最小の遅延を得ることができる。

30

【 0 0 4 5 】

以上のように、実施の形態 1 によれば、CMOS のスイッチング時間よりも小さな伝播遅延を有する演算素子 102 (例えば光パスゲート) により、電気回路では不可能な多段のシリアル接続回路により演算部 101 を構成し、演算素子 102 のシリアル接続回路から出力される光信号を変換素子 103 で光電変換し、後段の演算素子 102 に接続 (入力) することにより、電気回路よりも遅延の小さな光回路を構成することができる。

【 0 0 4 6 】

図 3 には、上述の多入力 AND 演算における、CMOS 回路と実施の形態 1 における光演算器との演算遅延の比較が示されている。光回路の遅延は、 $t_{\text{gate}} = 0.2 \text{ ps}$, $t_{\text{OE0}} = 2.5 \text{ ps}$ として (3) 式を用いて計算され、 $M = 1 \sim 3$ の曲線で示される。また、この場合、 $S_0 = 44.7$ であり (4) 式で表される特性曲線は、(3) 式で表される曲線と、 $N = S_0^M$ において接する直線となる。また CMOS 回路の遅延は、 $t_{\text{gate}} = 1.0 \text{ ps}$, $t_{\text{OE0}} = 0 \text{ ps}$, $S = 2$ として (4) 式を用いて計算されている。

40

【 0 0 4 7 】

この結果は、高々 1 ~ 2 回段のカスケード接続を採用するだけで、CMOS 回路よりも大幅に低遅延な演算を実現できることを示している。例えば $N = 1000$ の場合、(3) 式と (5) 式より $M_0 = 1.82$ となり (3) 式より $F(1000, 1)_{S=1000} > F(1000, 2)_{S=32}$ となることから、 $M = 2$ と $S = 32$ を採用する。この場合、図 4 に示すように、3 2 段 \times 3 2 段の 1×1 光パスゲート 102 a による正方形の回路になってお

50

り、光が入力されてからシリアル接続された 1×1 光パスゲート 102a (演算素子 102) を通過する時間は全て等しくなる。ただし、 $3 \times 2^2 = 1024 > 1000$ となるため、無駄なゲートが存在する。

【0048】

【数10】

そこで、 $\sqrt[N]{N}$ を自然数化した $S = 31, 32$ で回路を構成することにより、 S が均一でない回路を構成し、無駄を省くことで演算遅延を更に抑制することが可能となる。

【0049】

[実施の形態2]

次に、本発明の実施の形態2における光演算器について、図5を参照して説明する。なお、実施の形態2においても、図1を用いて説明したように、カスケード接続された複数の演算部101を備える。演算部101は、図5に示すように、入力される光信号に対して1つの光信号を出力する S 個 (S は自然数) の演算素子102bがシリアルに接続されて構成されている。

【0050】

実施の形態2において、例えば、シリアル接続される最初の演算素子102bは、変換素子103bにつながる導波路に光信号₁を光学的に結合する。シリアル接続される次の演算素子102bは、最初の演算素子102bから出力された光に、光信号₂を合波する。演算素子102bは、例えば、リング共振器から構成された合波器である。

【0051】

また、実施の形態2において、演算部101は、 S 個の演算素子102bから光信号が出力された場合に値1の光信号を出力し、 S 個の演算素子102bから光信号が出力された場合以外に値0の光信号を出力する変換素子103bを備える。この構成では、多入力OR演算回路となる。

【0052】

実施の形態2において、各演算素子102bにおける合波のパワー結合効率を η とし、入力数 N 、 $M = 1$ つまり $S = N$ とした場合、(ただ一つの入力のみが合波するケース) / (全ての入力が合波しないケース) の強度比は $\{ \eta + (1 - \eta) \times (N - 1) \} / \{ (1 - \eta) \times N \}$ となる。この値は、ORの演算出力の"0"と"1"の差が一番小さくなる時のコントラスト比である。

【0053】

$\eta = 0.9$ の場合のコントラスト比は、 $N = 100$ 、10の場合においてそれぞれ、0.33 dB、2.6 dBとなり、 N が大きいほどコントラストは劣化する。

【0054】

ここで、 $S_{\max} = 10$ を、変換素子103bの光受信側でコントラストが検知できるシリアル接続段数の最大値とし、光演算器の回路特性を実施の形態1と同じとしたときの、 $N = 100$ のOR演算を考える。

【0055】

この場合、(3)式と(5)式より $S_0 = 44.7$ 、 $M_0 = 1.2$ となり、 $F(100, 1)_{S=100} < F(100, 2)_{S=10}$ より $M = 1$ となる。ただし $S = 100$ となり $S_{\max} = 10$ を越えてしまうため、 $M = 2$ 、 $S = 10$ を採用することとなる。これにより、コントラスト低下の抑制を担保しながら、最低限の遅延を実現することができる。

【0056】

[実施の形態3]

次に、本発明の実施の形態3における光演算器について、図6を参照して説明する。実施の形態3では、多段にカスケード接続された $k = 1$ 段目の複数の演算部101aを、1入力1出力のマッハツェンダー干渉計から構成された演算素子102cと変換素子103cから構成している。マッハツェンダー干渉計の2つのアームに設けられた各々電気制御

10

20

30

40

50

部に、入力信号 X、入力信号 Y が入力される。なお、k = 2 段目以降の演算部 101 は、前述した実施の形態 1 と同様の演算素子 102 と変換素子 103 から構成している。実施の形態 3 では、合成関数 XNOR - AND の演算を行う。

【0057】

ここで、変換素子 103c は、実施の形態 1 の変換素子 103 と同じである。変換素子 103c から出力される電気信号は、シリアル接続されている N 個の演算素子 102c の、各々の入力信号 x (x₁ ~ x_N の N 桁のバイナリ信号) と入力信号 y (y₁ ~ y_N の N 桁のバイナリ信号) において、それぞれの桁で AND をとった結果となり、全ての桁で合致をしたときに 1、そうではないときに 0 となる。つまり、1 段目だけ (M = 1) でも合成関数 XNOR - AND の演算を行うことができる。

10

【0058】

ただし、k = 1 段目だけ (M = 1) では、各桁の合致の判定出力を、AND_M(A₁, ..., A_N)、A_j = XNOR(X_j, Y_j)、として表現したものとなっており、A_j = XNOR(X_j, Y_j) は、マツハツエンダー干渉計型の強度変調器である演算素子 102c の 2 入力端子に電子信号 (X_j, Y_j) を入力することで実行し、AND_M(A₁, ..., A_N) は、上記演算を実行する演算素子 102c をシリアルに接続することで実行する。AND_M は、一般的に、実施の形態 1 における演算素子 102a による AND よりも構造が大きいため、AND 演算における遅延が大きくなってしまふ。

【0059】

この問題を解決するため、ここでは、AND 演算の部分にカスケード接続を採用することを考える。つまり、(2) 式において、k = 1 段目を gate の大きな AND_M で構成し、k = 2 段目を gate の小さな実施の形態 1 における演算部 101 による AND で構成する。この場合、(3) 式は (12) 式に書き換えられる。ここで S₁、gate₁ は k = 1 段目のシリアル接続段数と 1 つの演算素子 102c 伝播遅延、S₂、gate₂ は k = 2 段目以降のシリアル接続段数と 1 つの演算素子 102 の伝播遅延、L は k = 2 段目への総入力数、M は k = 2 段目以降のカスケード段数である。ただし、(12) 式では M が自然数の場合に限り成り立ち、M = 0 の場合には F(N, M) = S₁ gate₂ とする。

20

【0060】

【数 11】

$$F(N, M) = \{MS_2 + \beta S_1 + \alpha M\} \tau_{gate2}$$

30

$$\tau_{gate1} = \beta \tau_{gate2}, \tau_{OEO} = \alpha \tau_{gate2}$$

$$S_1 = N/L, \text{ 小数点以下切り上げ}$$

$$S_2 = \sqrt[M]{L}, \text{ 小数点以下切り上げ} \quad \dots (12)$$

(12) 式において M を定数とすると、(12) 式は下記の条件にて最小値を持つ。

$$S_2 = \sqrt[M+1]{N\beta}$$

40

$$S_2/S_1 = \beta \quad \dots (13)$$

ただし、S₁ < 1 の場合は S₁ = 1 に再設定し、(12) 式より S₂ を再計算するものとする。

【0061】

例えば、N = 10000, M = 125, L = 100 の場合は、下記より M = 3, S₁ = 1, S₂ = 22 を採用する。

【0062】

50

$M = 0$ のとき, $F(10000, 0) = (10^6)$ gate2,
 $M = 1$ のとき, $S_1 = 10^1, S_2 = 10^3, F(10000, 1) = (2125)$ gate2,
 $M = 2$ のとき, $S_1 = 10^0, S_2 = 10^2, F(10000, 2) = (550)$ gate2,
 $M = 3$ のとき, $S_1 = 10^0, S_2 = 22, F(10000, 3) = (541)$ gate2,
 $M = 4$ のとき, $S_1 = 10^0, S_2 = 10^1, F(10000, 4) = (640)$ gate2,
【0063】

例えば、 $N = 100, S_1 = 125, S_2 = 100$ の場合は、下記より $M = 1, S_1 = 1, S_2 = 100$ を採用する。

【0064】

$M = 0$ のとき, $F(10000, 0) = (10^4)$ gate2,
 $M = 1$ のとき, $S_1 = 10^0, S_2 = 10^2, F(10000, 1) = (325)$ gate2,
 $M = 2$ のとき, $S_1 = 10^0, S_2 = 10^1, F(10000, 2) = (370)$ gate2.

【0065】

[実施の形態4]

次に、本発明の実施の形態4における光演算器について、図7を参照して説明する。実施の形態4では、多段にカスケード接続された $k = 1$ 段目の複数の演算部101aを、2入力2出力のマッハツェンダー干渉計を2段にシリアル接続した演算素子102dから構成している。この構成において、演算素子102dの前段のマッハツェンダー干渉計への電気制御入力を X_j とし、後段のマッハツェンダー干渉計への電気制御入力を Y_j とする。なお、 $k = 2$ 段目以降の演算部101は、前述した実施の形態2と同様の演算素子102bと変換素子103bから構成している。実施の形態4では、合成関数 XOR - OR の演算を行う。

【0066】

本構成の $k = 1$ 段目において、実施の形態3における変換素子103cに対応する素子は不要であり、演算部101aからの光信号出力は、シリアル接続されている N 個の演算素子102dの、各々の入力信号 $x(x_1 \sim x_N)$ の N 桁のバイナリ信号と入力信号 $y(y_1 \sim y_N)$ の N 桁のバイナリ信号において、それぞれの桁における XOR の演算結果を、全ての桁で OR をとった結果となり、全ての桁で合致をしたときに0、そうではないときに1となる。つまり、 $k = 1$ 段目だけ ($M = 1$) でも合成関数 XOR - OR の演算を行うことができる。

【0067】

ただし $k = 1$ 段目だけ ($M = 1$) の出力は、 $OR_M(A_1, \dots, A_N)$, $A_j = XOR(X_j, Y_j)$ 、として表現したものとなっており、2つのマッハツェンダー干渉計をシリアル接続した演算素子102dの2入力端子に電子信号 (X_j, Y_j) を入力し、102dに接続する光源とはクロス側のポートからの信号を出力とすることで $A_j = XOR(X_j, Y_j)$ を実行し、前段の102dからの出力信号を光源のつながるポートとは異なる入力ポートに接続することで $OR_M(A_1, \dots, A_N)$ を実行する。この OR_M は、マッハツェンダー干渉計をもちいることで実現されているため、一般的に、実施の形態2における演算素子102bによる OR よりも構造が大きく、OR 演算における遅延が大きくなってしまう。

【0068】

この問題を解決するため、ここでは OR 演算の部分にカスケード接続を採用することを考える。つまり、(2)式において、 $k = 1$ 段目を gate の大きな OR_M で構成し、 $k = 2$ 段目を gate の小さな実施の形態2における演算部101による OR で構成する。この場合、(3)式は(14)式に書き換えられる。ここで S_1, S_{gate1} は $k = 1$ 段目のシリアル接続段数と1つの演算素子102d伝播遅延、 S_2, S_{gate2} は $k = 2$ 段目以降のシリアル接続段数と1つの演算素子102の伝播遅延、 L は $k = 2$ 段目への総入力数、 M は $k = 2$ 段目以降のカスケード段数である。ただし、(14)式では M が自然数の場合に限り成り立ち、 $M = 0$ の場合には $F(N, M) = S_1 S_{gate2}$ とする。

10

20

30

40

50

【 0 0 6 9 】

【 数 1 2 】

$$F(N, M) = \{MS_2 + \beta S_1 + \alpha(M-1)\} \tau_{gate2}$$

$$\tau_{gate1} = \beta \tau_{gate2}, \tau_{OEO} = \alpha \tau_{gate2}$$

$$S_1 = N/L, \text{ 小数点以下切り上げ}$$

$$S_2 = \sqrt[M]{L}, \text{ 小数点以下切り上げ} \quad \dots (14)$$

(14)式においてMを定数とすると、(14)式は、下記の条件にて最小値を持つ。

$$S_2 = \sqrt[M]{N\beta}$$

$$S_2/S_1 = \beta \quad \dots (15)$$

【 0 0 7 0 】

なお、他の構成は、前述した実施の形態3と同様であり、説明は省略する。

【 0 0 7 1 】

実施の形態3のXNOR-ANDの出力の0と1を反転させた結果は、実施の形態4のXOR-ORの出力結果と同じである。また、実施の形態1における多入力ANDよりも、実施の形態2における多入力ORの方が高速な回路を実装できる場合がある。例えば、実施の形態2ではシリアルに接続した演算素子102bを変換素子103bに接続したが、パラレルに接続した演算素子102bを変換素子103bに接続して実施の形態2と同じ効果を得ることができる。

【 0 0 7 2 】

この場合、複数の変換素子102bからの出力を一括して変換素子103bに接続するため演算部101の構成は大きくなるが、演算素子102bの演算は並列に処理されるため、シリアルに接続したものよりも遅延が小さくなる可能性がある。つまり、実施の形態3のXNOR-ANDではなく、実施の形態4のXOR-ORを用いた演算が高速になる場合がある。なお、多ビットのパターンマッチングはXNOR-ANDを用いてもXOR-ORを用いても実装が可能であるためニーズに合った回路構成を選択することができる。

【 0 0 7 3 】

さて、本実施の形態におけるk=1段目の演算部は、図8の(a)を図8の(c)の構成にシリアルに接続したものである。ここで図8の(a)は2入力2出力の演算素子の構成を示し、電気制御信号 X_i, Y_i に対し、 X_i と Y_i が合致するときと合致しないときに出力ポートが切り替わる演算素子であればよい。そして図8の(c)の構成は、初段の演算素子の入力ポートの一方に光源を接続し、 X_i と Y_i が合致しない(XOR)ときの出力ポートを次段の演算素子の入力ポートに接続し、この接続に使用されたポートとは反対側の入力ポートに光源を接続すればよい[説明1]。これにより、k=1段目のみ(M=1)でXOR-ORの演算を実現することができる。またk=2段目以降を実施例4の構成とすることにより、より遅延の小さなXOR-OR演算が得られることは明白である。

【 0 0 7 4 】

また、本実施例のk=1段目の演算部を、図8(a)を図8(d)の構成にシリアル接続した構成に変更すると、XNOR-ANDの演算が可能となる。ここで図8(d)は、初段の演算素子の入力ポートの一方に光源を接続し、 X_i と Y_i が合致する(XNOR)ときの出力ポートを次段の演算素子の入力ポートに接続すればよい[説明2]。これにより、k=1段目のみ(M=1)でXNOR-ANDの演算を実現することができる。またk=2段目以降を実施例3の構成とすることにより、より遅延の小さなXNOR-AND演

10

20

30

40

50

算が得られることは明白である。

【0075】

ここで、図8(a)は、2つの2入力2出力のマッハ・ツェンダー干渉計の組み合わせにより構成されており、それぞれのマッハ・ツェンダー干渉計の片方のアームに電気制御信号 X_i 、 Y_i を与える。電気制御信号を与えられた側のアームは、そこを伝播する光の位相をシフトさせる設定となっており、2本のアームの一方を電気制御する本構成の場合、2入力2出力のマッハ・ツェンダー干渉計は、電気制御入力がある/無いときに、光源を接続した入力ポートに対しパー側/クロス側の出力ポートから光信号を出力する。これにより、図8(a)の演算素子は、光源とはクロス側の出力ポートから $XOR(X_i, Y_i)$ 出力し、その反対のパーポートから $XNOR(X_i, Y_i)$ 出力する。

10

【0076】

そのため、図8(a)の演算素子の機能は、図8(b)に示される1つの2入力2出力のマッハ・ツェンダー干渉計102eの両方のアームのそれぞれに電気制御信号 X_i 、 Y_i を与えることでも実現可能である。つまり、一方のアームに電気制御信号が与えられたときに位相差が、両方のアームに電気信号が与えられたまたは両方のアームに与えられなかったときに位相差がゼロとなることを利用する。このとき出力ポートにおける $XNOR$ と XOR の位置関係は図8の(a)と逆になるが、前述した[説明1]、[説明2]に従い、 XOR - OR 演算のときは XOR の出力ポートを次段に接続し、 $XNOR$ - AND 演算のときは $XNOR$ の出力ポートを次段に接続すればよい。図8の(b)に示す素子の長さ(素子長)は、図8の(a)に示す素子長の半分であるため、図8の(a)に示す構成を図8の(b)に示す構成に代替することにより、より小さな演算遅延を得ることができる。

20

【0077】

また、図8(a)で用いた2入力2出力のマッハ・ツェンダー干渉計は、2入力2出力の方向性結合器でも代替可能である。つまり、2入力2出力の方向性結合器の結合状態を電気制御信号で制御し、光信号が入力されたポートに対しクロス側の出力ポートから光信号が出力される完全結合状態と、光信号が入力されたポートに対しパー側の出力ポートから光信号が出力される状態を切り替える。方向性結合器は、マッハ・ツェンダー干渉計よりもサイズを小さくできるため、この代替により、より小さな演算遅延を得ることができる。

30

【0078】

更に、図8(a)で用いた2入力2出力のマッハ・ツェンダー干渉計は、リング共振器などを用いた2入力2出力の XOR 、 $XNOR$ 演算素子(非特許文献3)でも代替可能である。つまり、2本の導波路の間をリング共振器を介して結合させた2入力2出力の演算素子において、共振器の共鳴状態を電気制御信号で制御し、光信号が入力されたポートに対しクロス側の出力ポートから光信号が出力される共鳴状態と、光信号が入力されたポートに対しパー側の出力ポートから光信号が出力される非共鳴状態を切り替える。リング共振器は、マッハ・ツェンダー干渉計よりもサイズを小さくできるため、この代替により、より小さな演算遅延を得ることができる。

40

【0079】

以上に説明したように、入力信号に対して1つの光信号を出力する S 個(S は自然数)の演算素子をシリアルに接続して S 個の入力信号により1つの光信号を演算出力する複数の演算部をカスケード接続したので、より高速に光演算ができるようになる。

【0080】

なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

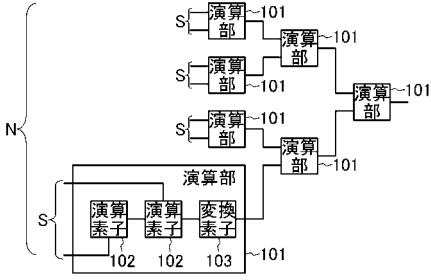
【符号の説明】

【0081】

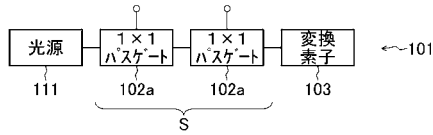
101...演算部、102...演算素子、103...変換素子。

50

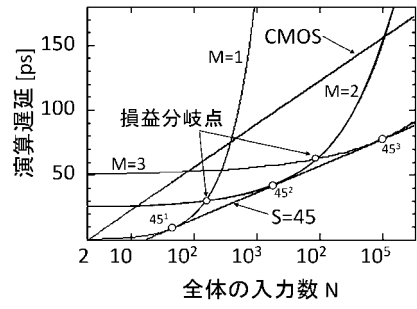
【 図 1 】



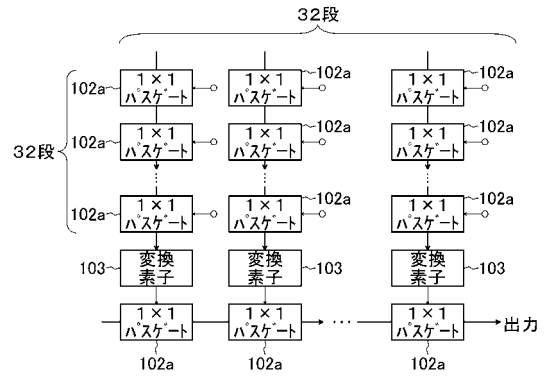
【 図 2 】



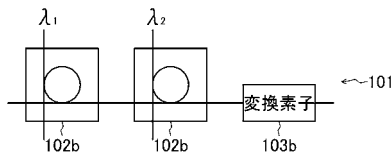
【 図 3 】



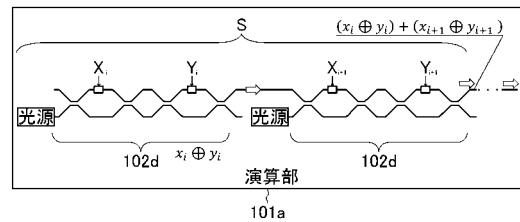
【 図 4 】



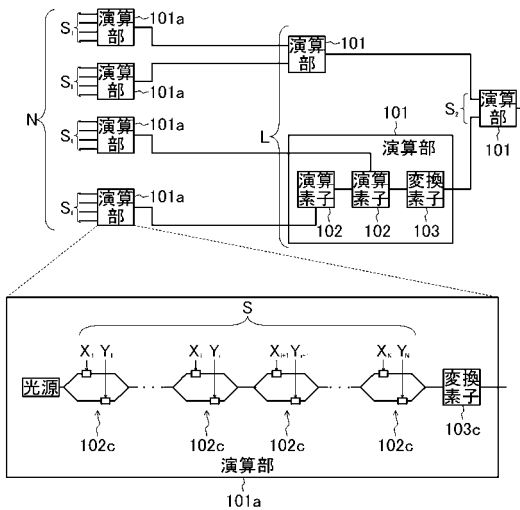
【 図 5 】



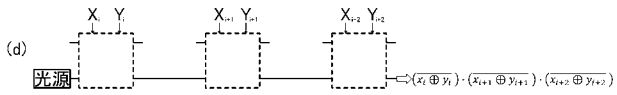
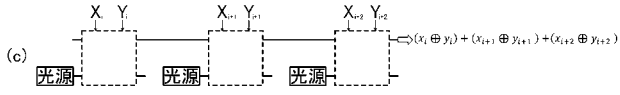
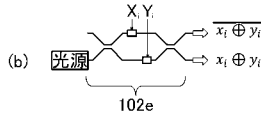
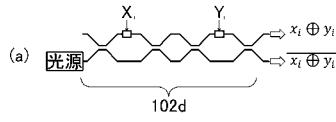
【 図 7 】



【 図 6 】



【 図 8 】



フロントページの続き

- (72)発明者 納富 雅也
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 野崎 謙悟
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 北 翔太
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 高田 健太
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 石原 亨
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 小野寺 秀俊
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 江川 巧
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- Fターム(参考) 2K102 AA21 BA08 BA31 BB01 BB04 BC01 BC04 BD01 CA18 DA04
DB02 DB04 DC07 DC08 EB20 EB22