

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-40225  
(P2019-40225A)

(43) 公開日 平成31年3月14日(2019.3.14)

(51) Int.Cl.		F I		テーマコード (参考)
<b>G06E</b> 3/00	<b>(2006.01)</b>	G06E	3/00	2K102
<b>G02F</b> 3/00	<b>(2006.01)</b>	G02F	3/00	

審査請求 未請求 請求項の数 4 O L (全 15 頁)

<p>(21) 出願番号 特願2017-159095 (P2017-159095)</p> <p>(22) 出願日 平成29年8月22日 (2017.8.22)</p> <p>(出願人による申告) 平成28年度、国立研究開発法人科学技術振興機構、新たな光機能や光物性の発現・利活用を基軸とする次世代フォトリソグラフィの基盤技術、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(71) 出願人 000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号</p> <p>(71) 出願人 504132272 国立大学法人京都大学 京都府京都市左京区吉田本町36番地1</p> <p>(74) 代理人 100098394 弁理士 山川 茂樹</p> <p>(74) 代理人 100153006 弁理士 小池 勇三</p> <p>(74) 代理人 100064621 弁理士 山川 政樹</p> <p>(72) 発明者 新家 昭彦 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
---	---

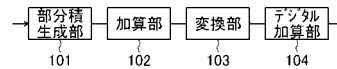
(54) 【発明の名称】 光乗算器および光乗算方法

(57) 【要約】

【課題】 より高速に光乗算ができるようにする。

【解決手段】 部分積生成部101は、Nビット(Nは2以上の整数)の第1デジタル信号と、Nビットの第2デジタル信号とによるN×N個の部分積を生成する。加算部102は、生成されたN×N個の部分積を桁統合しながら加算して加算値を生成する。変換部103は、加算部102が生成した加算値をアナログデジタル変換してデジタル値を生成する。デジタル加算部104は、変換部103が生成したデジタル値をデジタル加算する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

Nビット（Nは2以上の整数）の第1デジタル信号と、Nビットの第2デジタル信号とによる $N \times N$ 個の部分積を生成する部分積生成部と、  
 前記部分積を桁統合しながら加算して加算値を生成する加算部と、  
 前記加算値をアナログデジタル変換してデジタル値を生成する変換部と、  
 前記デジタル値をデジタル加算するデジタル加算部と  
 を備えることを特徴とする光乗算器。

## 【請求項 2】

請求項1記載の光乗算器において、  
 前記部分積生成部および前記加算部は、前記部分積の生成に対して各々異なる波長の光を対応させて、前記部分積の生成および前記加算値の生成を波長多重で同時に処理することを特徴とする光乗算器。

10

## 【請求項 3】

請求項1記載の光乗算器において、  
 前記部分積生成部は、2次のブースの方法により前記部分積を生成することを特徴とする光乗算器。

## 【請求項 4】

Nビット（Nは2以上の整数）の第1デジタル信号と、Nビットの第2デジタル信号とによる $N \times N$ 個の部分積を生成する第1ステップと、  
 前記部分積を桁統合しながら加算して加算値を生成する第2ステップと、  
 前記加算値をアナログデジタル変換してデジタル値を生成する第3ステップと、  
 前記デジタル値をデジタル加算する第4ステップと  
 を備えることを特徴とする光乗算方法。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、乗算のための光回路を用いた光乗算器および光乗算方法に関する。

## 【背景技術】

## 【0002】

現在の電子演算回路は、演算の処理速度を向上させるため、チップサイズや素子サイズを極限まで小さくする工夫がなされている。これは、回路内の抵抗（R）とキャパシタンス（C）が、信号の伝搬を大きく律速しているため、演算速度を上げるには、チップサイズや素子サイズを小さくするしかないためである。このため、狭面積の論理ブロックやコアに素子を詰め込み、マルチコア・メニーコア化などの工夫がなされているが、これらをつなぐための配線が新たな「遅延」を生み、演算の高速化に限界が見えつつある。

30

## 【0003】

一方、光通信などで用いられる光配線や光パスゲートは、この配線経路内のCやRに無依存で光信号を伝播させることができる。また、ナノフォトリクス進展により、光ゲートの消費エネルギーは飛躍的に改善され、このエネルギーコスト〔J/bit〕は、CMOSゲートと光パスゲートとで同程度のレベルになりつつある。このため、チップ内やチップ間の通信を光化する様々な研究がなされている。

40

## 【0004】

ここで、光ゲートの電気制御ポート側から信号入力する接続形態をカスケード接続、スイッチの光伝搬経路が連続的に接続されている形態をシリアル接続と定義する。例えばシリアル接続とカスケード接続が混在した光電融合型の回路を想定した場合、カスケード接続の部分が光と電気の境界となる。この境界において、回路中を伝搬する光信号は一度電気に変換（OE変換）されることになる。この変換は、電気回路に律速されるため、OE変換の多用される回路は、光を使うことのメリットが小さい。このため、光と電気の境界、つまりカスケード接続の配置場所と数が、回路構成の重要なポイントとなる。以下では

50

、乗算器についてこの問題を検討する。

【0005】

最初に、光伝搬経路中にOE変換を配置しない構成の光乗算器を検討する。非特許文献1において、 $2 \times 2$ 光パスゲートを用いれば、任意の論理関数をシリアル接続のみで実現可能であると示している。非特許文献1で提案されている「Direct Logic」を用いることで、任意の論理関数を光の伝搬速度で演算することができる（非特許文献2）。しかし、複雑な論理関数では入力数に対して指数関数のオーダの素子数が必要になるものもあり、乗算もその例に含まれる。

【0006】

非特許文献3では、光パスゲートに適した回路アーキテクチャとして二分決定グラフ(Binary Decision Diagram)に基づく回路構成を提案している。こちらの方法でも任意の論理関数をシリアル接続のみで実現可能である。しかしながら、「Direct Logic」と同様に、乗算などを用いる論理関数では必要な素子数が指数オーダとなる。したがって、「Direct Logic」や二分決定グラフによってOE変換なしで乗算器を構成することは現実的ではないといえる。

【0007】

次に、OE変換を用いることを前提に乗算器の回路構成を考えてみる。乗算器は、2進数で表される2つのデータを入力とし、これらの積を2進数データとして出力する演算回路である。図14に、4ビットの整数 $x_3x_2x_1x_0$ と $y_3y_2y_1y_0$ に対する乗算の計算過程を示す。 $p_{ij}$ を部分積と呼び、この部分積は、 $x_i$ と $y_j$ の論理積により求められる。部分積 $p_{ij}$ を図14に示すように桁ごとに加算することで、乗算結果 $s_6, s_5, \dots, s_0$ を求めることができる。並列乗算器は、上述した過程を1クロックサイクルで実現する乗算回路である。

【0008】

一般的な並列乗算器は、部分積生成部と部分積加算部で構成される。部分積生成部は、論理積演算（以下AND）ゲートを用いることで実現される。一方、部分積加算部には、配列型やウォリス木型などの構成が存在する。配列型乗算器の部分積加算部は、図15に示すように全加算器（FA）をアレイ状に多数段接続する。最大で $2(N-1)$ 個の全加算器を通過する信号パスが存在するため、演算時間はこの加算過程に律速される。

【0009】

ウォリス木型乗算器の部分積加算部は、図16に示すように、同一桁内の加算を並列化することで、FAの段数を減らして高速化を行っている。また各桁の桁上げを処理するために、最後に桁上げ先見加算器（Carry Lookahead Adder：CLA）を用いている。

【0010】

ここで、全加算器を光パスゲートで実現した例を、図17を用いて説明する（非特許文献4）。この全加算器は、強度情報が“1”の光信号を出力する光源501, 502と、pass/block型の光ゲート503, 504と、pass/cross型の光ゲート505~507と、OE変換器508~510とを備える。

【0011】

OE変換器508, 509は、光信号 $x_i$ を電気信号に変換する。OE変換器510は、光信号 $y_i$ を電気信号に変換する。なお、 $x_i$ の代わりに光信号 $y_i$ をOE変換器508に入力してもよい。

光ゲート503は、電気信号 $x_i$ が“1”であるときに光源501からの光信号を通過させ、電気信号 $x_i$ が“0”であるときに光源501からの光信号を遮断する。光ゲート504は、電気信号 $x_i$ が“1”であるときに光源502からの光信号を遮断し、電気信号 $x_i$ が“0”であるときに光源502からの光信号を通過させる。なお、 $x_i$ の代わりに電気信号 $y_i$ を光ゲート503, 504の電気制御入力としてもよい。

【0012】

光ゲート505は、電気信号 $x_i, y_i$ が共に“1”または共に“0”であるときに光ゲート503の出力を選択して出力し、電気信号 $x_i$ が“1”で電気信号 $y_i$ が“0”、また

は電気信号  $x_i$  が “ 0 ” で電気信号  $y_i$  が “ 1 ” であるときに、光信号  $C_i$  を選択して出力する。光ゲート 506 は、電気信号  $x_i$  ,  $y_i$  が共に “ 1 ” または共に “ 0 ” であるときに光信号  $C_i$  を選択して出力し、電気信号  $x_i$  が “ 1 ” で電気信号  $y_i$  が “ 0 ” 、または電気信号  $x_i$  が “ 0 ” で電気信号  $y_i$  が “ 1 ” であるときに、光信号  $\bar{C}_i$  を選択して出力する。光ゲート 507 は、電気信号  $x_i$  ,  $y_i$  が共に “ 1 ” または共に “ 0 ” であるときに光ゲート 504 の出力を選択して出力し、電気信号  $x_i$  が “ 1 ” で電気信号  $y_i$  が “ 0 ” 、または電気信号  $x_i$  が “ 0 ” で電気信号  $y_i$  が “ 1 ” であるときに、光信号  $\bar{C}_i$  を選択して出力する。

【先行技術文献】

【非特許文献】

10

【0013】

【非特許文献 1】J. Hardy et al., "Optics inspired logic architecture", Optics Express, vol. 15, no. 1, pp. 150-165, 2007.

【非特許文献 2】Q. Xu et al., "Reconfigurable optical directed-logic circuits using microresonator-based optical switches", Optics Express, vol. 19, no. 6, pp. 5244-5259, 2011.

【非特許文献 3】浅井哲也 他、「二分決定グラフにもとづくフォトニック結晶集積デバイス」、2000年電子情報通信学会総合大会講演論文集、386 - 387 頁、2000年。

【非特許文献 4】石原亨 他、「光パスゲート論理に基づく並列加算回路の提案と光電混載回路シミュレータによる動作検証」、信学技報、vol. 116, no. 94, pp. 109 - 114 頁、2016年。

20

【発明の概要】

【発明が解決しようとする課題】

【0014】

上述した全加算器では、光信号  $x_i$ 、 $y_i$  を O E 変換する必要があるため、F A の数に対応する O E 変換回数が必要になる。またこの回数は、入力の桁数に依存し、かつ、O E 変換時間は光パスゲートにおける伝播遅延時間の数倍～数十倍であるため、入力桁の多いほど O E 変換に要する遅延時間が支配的となり、高速な演算処理が行えない。以上の理由から、配列型乗算器およびウォリス木型乗算器の構成は、より高速な光並列乗算器の構成としては適していないといえる。上述した全加算器は、2進数で部分積加算を演算するために用いられており、このことにより、乗算の演算速度が O E 変換で律速される原因となっている。

30

【0015】

本発明は、以上のような問題点を解消するためになされたものであり、より高速に光乗算ができるようにすることを目的とする。

【課題を解決するための手段】

【0016】

本発明に係る光乗算器は、Nビット（Nは2以上の整数）の第1デジタル信号と、Nビットの第2デジタル信号とによる  $N \times N$  個の部分積を生成する部分積生成部と、部分積を桁統合しながら加算して加算値を生成する加算部と、加算値をアナログデジタル変換してデジタル値を生成する変換部と、デジタル値をデジタル加算するデジタル加算部とを備える。

40

【0017】

上記光乗算器において、部分積生成部および加算部は、部分積の生成に対して各々異なる波長の光を対応させて、部分積の生成および加算値の生成を波長多重で同時に処理する。

【0018】

上記光乗算器において、部分積生成部は、2次のブースの方法により部分積を生成する。

50

## 【 0 0 1 9 】

本発明に係る光乗算方法は、 $N$ ビット ( $N$ は2以上の整数)の第1デジタル信号と、 $N$ ビットの第2デジタル信号とによる $N \times N$ 個の部分積を生成する第1ステップと、部分積を桁統合しながら加算して加算値を生成する第2ステップと、加算値をアナログデジタル変換してデジタル値を生成する第3ステップと、デジタル値をデジタル加算する第4ステップとを備える。

## 【 発明の効果 】

## 【 0 0 2 0 】

以上説明したことにより、本発明によれば、より高速に光乗算ができるという優れた効果が得られる。

10

## 【 図面の簡単な説明 】

## 【 0 0 2 1 】

【 図 1 】 図 1 は、本発明の実施の形態における光乗算器の構成を示す構成図である。

【 図 2 】 図 2 は、本発明の実施の形態における光乗算方法を説明するためのフローチャートである。

【 図 3 】 図 3 は、本発明の概念を説明するための説明図である。

【 図 4 】 図 4 は、部分積生成部 1 0 1 の構成例を示す構成図である。

【 図 5 】 図 5 は、4ビットの乗算における $z_i$ の2進数への変換工程を説明するための説明図である。

【 図 6 A 】 図 6 A は、桁統合を施さない場合の16ビットの乗算における $z_i$ の2進数への変換工程を示す説明図である。

20

【 図 6 B 】 図 6 B は、桁統合を施した場合の16ビットの乗算における $z_i$ の2進数への変換工程を示す説明図である。

【 図 7 A 】 図 7 A は、加算部 1 0 2 を構成する回路について説明する構成図である。

【 図 7 B 】 図 7 B は、方向性結合器 2 0 1 の構成例を示す構成図である。

【 図 8 A 】 図 8 A は、変換部 1 0 3 の構成例を示す構成図である。

【 図 8 B 】 図 8 B は、符号化器 2 0 3 の構成例を示す構成図である。

【 図 9 】 図 9 は、部分積生成部 1 0 1 および加算部 1 0 2 における波長多重による構成例を示す構成図である。

【 図 1 0 】 図 1 0 は、16ビット $\times$ 16ビットの乗算を説明するための説明図である。

30

【 図 1 1 】 図 1 1 は、2次のブースの方法による符号化回路の構成例を示す構成図である。

【 図 1 2 】 図 1 2 は、2次のブースの方法と波長多重を併用した構成例を示す構成図である。

【 図 1 3 】 図 1 3 は、16ビット $\times$ 16ビットの場合において、波長多重化と2次のブースの符号化を行う状態を説明するための説明図である。

【 図 1 4 】 図 1 4 は、4ビットの整数 $x_3 x_2 x_1 x_0$ と $y_3 y_2 y_1 y_0$ に対する乗算の計算過程を示す説明図である。

【 図 1 5 】 図 1 5 は、配列型乗算器の部分積加算部の構成を示す構成図である。

【 図 1 6 】 図 1 6 は、ウォリス木型乗算器の部分積加算部の構成を示す構成図である。

40

【 図 1 7 】 図 1 7 は、光パスゲートで実現した全加算器の構成を示す構成図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 2 】

以下、本発明の実施の形態における光乗算器について図1を参照して説明する。この光乗算器は、部分積生成部101、加算部102、変換部103、デジタル加算部104を備える。

## 【 0 0 2 3 】

部分積生成部101は、 $N$ ビット ( $N$ は2以上の整数)の第1デジタル信号と、 $N$ ビットの第2デジタル信号とによる $N \times N$ 個の部分積を生成する。加算部102は、生成された $N \times N$ 個の部分積を桁統合しながら加算して加算値を生成する。変換部103は、加算

50

部 1 0 2 が生成した加算値をアナログデジタル変換してデジタル値を生成する。デジタル加算部 1 0 4 は、変換部 1 0 3 が生成したデジタル値をデジタル加算する。

【 0 0 2 4 】

ここで、後述するように、部分積生成部 1 0 1 および加算部 1 0 2 は、部分積の生成に対して各々異なる波長の光を対応させて、部分積の生成および加算値の生成を波長多重で同時に処理することで、より高速な演算が可能となる。また、後述するように、部分積生成部 1 0 1 は、2 次のブースの方法により部分積を生成するとよい。

【 0 0 2 5 】

次に、本発明における光乗算方法について、図 2 のフローチャートを用いて説明する。まず、第 1 ステップ S 1 0 1 で、部分積生成部 1 0 1 が、N ビット ( N は 2 以上の整数 ) の第 1 デジタル信号と、N ビットの第 2 デジタル信号とによる  $N \times N$  個の部分積を生成する。

10

【 0 0 2 6 】

次に、第 2 ステップ S 1 0 2 で、加算部 1 0 2 が、生成された部分積を桁統合しながら加算して加算値を生成する。次に、第 3 ステップ S 1 0 3 で、変換部 1 0 3 が、生成された加算値をアナログデジタル変換してデジタル値を生成する。次に、第 4 ステップ S 1 0 4 で、デジタル加算部 1 0 4 が、生成されたデジタル値をデジタル加算する。

【 0 0 2 7 】

上述したように、本発明では、部分積生成部 1 0 1 で部分積を生成した後の部分積の加算を、2 進数演算に限定しない構成を採用したところに特徴がある。本発明では、部分積生成部 1 0 1 で部分積を生成 ( S 1 0 1 ) した後、図 3 に示すように、加算部 1 0 2 で、桁統合を伴うアナログ加算により加算値を生成し ( S 1 0 2 ) 、出力されたアナログデータを変換部 1 0 3 で A/D 変換し ( S 1 0 3 ) 、デジタル加算部 1 0 4 で桁上げ処理する ( S 1 0 4 ) ことで、乗算結果を得る。

20

【 0 0 2 8 】

上述した構成とすることで、アナログ加算は、光の電界の足し算で実現できるため、光の干渉を用いて実行できる。これにより、アナログ加算時の電気への変換 ( O/E 変換 ) は不要となる。また桁統合を行うことによりデジタル加算回数を削減し、この際に必要な O/E 変換の回数を削減する。

【 0 0 2 9 】

上述したことにより、本発明によれば、従来型の乗算器に比べて圧倒的に O/E 変換の回数が削減され、演算時間の短縮が可能となる。

30

【 0 0 3 0 】

以下、より詳細に説明する。はじめに、部分積生成部 1 0 1 についてより詳細に説明する。部分積生成部 1 0 1 は、図 4 に例示するように、光源 1 1 1 と、 $1 \times 1$  光パスゲート 1 1 2 と、 $1 \times 1$  光パスゲート 1 1 3 とから構成すればよい。 $1 \times 1$  光パスゲート 1 1 2 と、 $1 \times 1$  光パスゲート 1 1 3 とは、シリアルに接続する。 $1 \times 1$  光パスゲート 1 1 2 への電気制御入力を  $x_i$  とし、 $1 \times 1$  光パスゲート 1 1 3 への電気制御入力を  $y_j$  とする。電気制御入力が 1 の時のみ信号を透過させるように設定すれば、 $1 \times 1$  光パスゲート 1 1 2 および  $1 \times 1$  光パスゲート 1 1 3 の両者が透過状態になる電気信号の組み合わせ、つまり  $x_i y_j = 1$  の場合のみ光が出力される。これにより部分積を実現する。

40

【 0 0 3 1 】

次に、加算部 1 0 2 についてより詳細に説明する。まず、加算部 1 0 2 における桁統合について説明する。例えば、図 1 4 を用いて説明した乗算の計算過程において、 $p_{ij}$  は  $x_i$  と  $y_j$  の部分積である。ここで、同一桁内の部分積の和 ( アナログ和 ) を  $z_i$  とする。例えば  $z_2 = p_{20} + p_{11} + p_{02}$  である。N ビット  $\times$  N ビット ( N は 2 以上の整数 ) の乗算の場合、 $z_i$  は、N 個の部分積の和により求められるため、最大 N までの値をとる。この値から 2 進数の乗算結果である  $S_i$  を得るためには、 $z_i$  を複数ビットの 2 進数に変換し、デジタル加算器を用いて桁上げ処理を施す必要がある。

【 0 0 3 2 】

50

図5に、4ビットの乗算における $z_i$ の2進数への変換工程を示す。また、図6A、図6Bに、16ビットの乗算における $z_i$ の2進数への変換工程を示す。まず、桁統合を施さない場合の処理工程について、図5の(a)および図6Aを参照して説明する。この場合、各桁において円、四角形、三角形、六角形、グレーの円、グレーの四角形、グレーの六角形の中の各数字は、当該桁が取り得る最大の整数であり、このことは、Nビットの乗算で $1 \log_2(N)$ 回のデジタル加算がAD変換後に発生することを示している。AD変換後のデジタル加算の回数は、4ビット×4ビットなら2回(3行分の加算)、16ビット×16ビットなら4回(5行分の加算)となる。

【0033】

次に、桁統合を施す場合の処理について、図5の(b)および図6Bを参照して説明する。ここでは、4ビット×4ビット[図5の(a)]、16ビット×16ビット[図6B]の乗算において、それぞれ $k=2, 4$ として $k$ 桁統合を実施している。これにより、AD変換の後に発生するデジタル加算の回数を1回(2行分の加算)に削減することができる。

10

【0034】

例えば、図5の(b)に示すように、部分積の和である $z_7, \dots, z_0$ の8個を、それぞれ2個ずつに区切り、合計4個の集合に分割する。それぞれの集合に対し、2個の部分積加算結果を1つのアナログ量とみなしてDA変換を行う。ここでは、この操作を2桁単位の統合と呼ぶ。例えば、 $z_0$ および $z_1$ の2桁単位の統合 $z_{0,1}$ とは、アナログ量 $2z_1 + z_0$ を求めることである。一般に、部分積の加算結果を $k$ 桁ずつ統合してDA変換を行う場合、最下位側から数えて $n$ 番目の集合に対する $k$ 桁単位の統合 $z_{n, n+k-1}$ は次式で与えられる。

20

【0035】

【数1】

$$z_{n, n+k-1} = \sum_{i=0}^{k-1} 2^i z_{n+i}, (n=0, k, 2k, \dots)$$

【0036】

次に、統合して得られた系列 $z_{n, n+k-1}$ をAD変換で2進数に変換する。ここで、AD変換によって得られる2進系列は、定数行(ここでは2行)にまとめることができる。最後に、定数行にまとめられた2進系列をデジタル加算することで、最終的な乗算結果が得られる。

30

【0037】

次に、加算部102における加算(アナログ加算)について、図7A、図7Bを参照して説明する。図7Aは、図3を用いて説明した同一桁内の部分積加算 $z_n$ と、 $k$ 桁単位の統合 $z_{n, n+k-1}$ の演算を回路化した構成を示しており、方向性結合器201と減衰器202とから構成している。方向性結合器201は、図7Bに示すように、2つの光導波路から構成されて一方の光導波路に位相器201aを備え、干渉によって2つの光信号の電界の和をとるものである。方向性結合器201をツリー状に接続することで、同一桁内の部分積のアナログ加算と、桁統合の演算を行うことができる。

40

【0038】

2桁単位の統合については、スプリッタなどによる減衰器202により、下位ビット $z_i$ の信号強度(光の電界強度)が上位ビット $z_{i+1}$ の信号強度(光の電界強度)の半分になる、すなわち $z_i = z_{i+1} / 2$ が成り立つように下位ビット $z_i$ の信号強度を減衰させてから、方向性結合器201で2桁分の光を合成する。

【0039】

## 【数 2】

一般的に、Nビット×Nビットの場合、同一桁内の部分積加算は、 $\lfloor \log_2(N) - 1 \rfloor + 1$  段の方向性結合器のシリアル接続で構成できる。

また、k桁単位の統合は、

$\lfloor \log_2(k) - 1 \rfloor + 1$  段の方向性結合器のシリアル接続で構成できる。

10

## 【0040】

次に、変換部 103 について、より詳細に説明する。部分積生成部 101 および加算部 102 で得られる結果  $z_i, j$  はアナログ値であるため、AD変換を行うことで2進数の系列へ変換する。アナログ値のNビットのデジタル値の関係は、例えば、以下の表 1 に示すものとなり、 $out_0$ 、 $out_1$ 、 $out_2$  のデジタル値は、アナログ値に対して周期的に変化している。

## 【0041】

## 【表 1】

in	out <sub>2</sub>	out <sub>1</sub>	out <sub>0</sub>
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

20

30

## 【0042】

このような周期的な変化は、干渉計の位相をアナログ値で制御し、出力される光信号強度を閾値処理することで、デジタル光信号を容易に得ることができる。これらの変換部 103 の機能は、光非線形処理やOE変換を用いて実現することができる。変換部 103 は、例えば、図 8 A に示すように、3つの符号化器 203 と3つの閾値処理器 204 とから構成することができる。符号化器 203 は、図 8 B に示すように、よく知られたマッハツェンダー干渉計 205 から構成できる。マッハツェンダー干渉計 205 の一方のアームに設けられた加熱部 206 に、入力信号が入力される。

40

## 【0043】

次に、デジタル加算部 104 について、より詳細に説明する。変換部 103 で生成したデジタル値に対し、2Nビットの2進数定数行分のデジタル加算を実行することにより、乗算結果の2進数出力を得る。2行分のデジタル加算となる場合であれば、非特許文献 4 で提案されている光パスゲート論理に基づく並列加算器を用いることで、高速に演算することができる。

50



## 【 0 0 4 4 】

例えば、まず、図 1 7 を用いて説明した全加算器の  $C_i$  と  $C_{i+1}$  ,  $C_i$  の補数と  $C_{i+1}$  の補数が、連続的に接続されるように全加算器をシリアルに接続した光並列加算器を用いる。図 3 で説明したデジタル加算による桁上げ処理 ( S 1 0 4 ) における 2 行のデジタル値のそれぞれを、上記構成とした光並列加算器における全加算器の x 側、y 側に入力することにより、桁上げ処理を実行し、2 進数の乗算値  $S_i$  を得る。3 行以上のデジタル加算の場合は、上述した上記光並列加算器を複数段接続することで実現できる。

## 【 0 0 4 5 】

次に、部分積生成部 1 0 1 および加算部 1 0 2 における波長多重について説明する。上述した加算部 1 0 2 における桁上げと加算の過程では、OE 変換が含まれない。このため図 9 の ( a ) に示すように、 $1 \times 1$  光パスゲート 1 1 2 および  $1 \times 1$  光パスゲート 1 1 3 による部分積生成部分と、リング共振器 2 0 7 と、減衰器 2 0 2 とを用い、異なる複数の乗算における部分積の生成に対して異なる波長を振り分けることで、異なる複数の乗算における実施の形態における光乗算器の演算過程を波長多重で同時に処理することが可能となる。なお、図 9 の ( a ) は、図 9 の ( b ) の枠 3 0 1 内の処理を実施する部分の構成について示している。

## 【 0 0 4 6 】

次に、部分積生成部 1 0 1 における 2 次のブースの方法による部分積の生成について説明する。上述した加算部 1 0 2 におけるアナログ加算と桁統合の過程では、桁数 N の増加によって k 桁統合後の値の最大値が増加した場合に、その後段の A D 変換において不具合が生じる可能性がある。例えば  $k = 4$  では統合後の z の最大値が 2 2 9 となり、後段の A D 変換では 0 ~ 2 2 9 の値に対して変換を行う必要があり、A D 変換の線形性が保証できない可能性がある。

## 【 0 0 4 7 】

この問題の緩和案として、2 次のブースの方法を利用することが考えられる。2 次のブースの方法は、部分積の計算の際に、乗数の隣接する 3 ビットの値に応じて被乗数の加算量および減算量を変更する。この方法は、図 1 4 を用いて説明したような単純な部分積の加算と比較し、多くの場合で部分積の加算回数を効率的に削減することができる。2 次のブースの方法は、以下の表 2 に示す符号化規則を用いる。

## 【 0 0 4 8 】

## 【表 2】

$Y_{i-1}$	$Y_i$	$Y_{i+1}$	部分積 $p_{ij}$
1	1	1	0
1	1	0	$-X = \bar{x}_j$
1	0	1	$-X$
1	0	0	$-2X$
0	1	1	$2X = x_{j-1}$
0	1	0	$X$
0	0	1	$X = x_j$
0	0	0	0

## 【 0 0 4 9 】

部分積計算の際に、乗数の隣接する 3 ビットの値に応じて 0、 $\pm X$ 、 $\pm 2 X$  を部分積として使用する。これにより、図 1 0 に示すような 1 6 ビット  $\times$  1 6 ビットの乗算においては、部分積の加算を 1 6 行から 9 行に削減することが可能となり、その結果、桁統合を k

= 4 ( 図 6 B ) から  $k = 3$  に削減し、統合後の  $z$  の最大値を 2 2 9 から 5 8 に削減できる。

【 0 0 5 0 】

2 次のブースの方法による符号化回路を図 1 1 に示す。符号化回路は、方向性結合器 2 0 1 を用いている。被乗数  $X$  は、光信号として入力し、乗数  $Y$  は電気信号として入力している。ただし、部分積 1 つ分の符号化であるので、実際にはこの回路が部分積の個数分必要となる。例えば、1 6 ビット  $\times$  1 6 ビットの場合では、1 6  $\times$  9 個の符号化回路が必要となる。

【 0 0 5 1 】

次に、2 次のブースの方法と波長多重を併用することで、ブースの符号化回路の個数を削減する方法について説明する。図 1 2 に、2 次のブースの方法と波長多重を併用した回路構成を示す。この回路は、方向性結合器 2 0 1、リング共振器 2 0 7、1 はパス ( p a s s )、0 はブロック ( b l o c k ) の p a s s / b l o c k ゲート 2 0 8、0 はパス ( p a s s )、1 はブロック ( b l o c k ) の p a s s / b l o c k ゲート 2 0 9 から構成されている。

【 0 0 5 2 】

以下、表 2 に示した部分積 0、 $X$ 、 $-X$ 、 $2X$ 、 $-2X$  の演算について説明する。

【 0 0 5 3 】

部分積が  $X$  の場合、被乗数  $X$  の各ビット、すなわち、 $x_{N-1}$ 、 $x_{N-2}$ 、 $\dots$ 、 $x_0$  に対し、それぞれ  $\lambda_{N-1}$ 、 $\lambda_{N-2}$ 、 $\dots$ 、 $\lambda_0$  の波長を割り当て、波長多重化を行う。電気信号  $x_{N-1}$ 、 $x_{N-2}$ 、 $\dots$ 、 $x_0$  を、p a s s / b l o c k ゲート 2 0 8 に入力し、各波長の光の O N / O F F を制御する。

【 0 0 5 4 】

部分積が  $2X$  の場合は、 $X$  の場合と比べて波長を 1 ビット左にシフトさせればよい。これは  $X$  の 2 倍の値を取ることに対応する。

【 0 0 5 5 】

部分積が  $-X$  の場合は、 $X$  の補数を用いればよい。つまり p a s s / b l o c k ゲート 2 0 9 を用いればよい。この場合、 $2N - 1$  桁まで符号拡張を行う必要がある。部分積が  $-2X$  の場合は、 $-X$  の場合と比べて波長を 1 ビット左にシフトさせればよい。これは  $-X$  の 2 倍の値を取ることに対応する。

【 0 0 5 6 】

以上の波長多重操作により、1 6 ビット  $\times$  1 6 ビットの場合において、ブースの符号化回路の個数を、1 6  $\times$  9 個から 9 個へ 1 / 1 6 に削減することができる。

【 0 0 5 7 】

1 6 ビット  $\times$  1 6 ビットの場合において、波長多重化と 2 次のブースの符号化を行った結果を図 1 3 に示す。ブースの符号化後の部分積加算を行う際には、波長多重化した信号から特定の波長を取り出すことで、それぞれの桁の部分積加算を行うことが可能である。この場合の部分積加算は、波長の異なる光信号の加算になる。異波長光信号の加算は、異波長の光信号を合波し、合波した光信号をフォトダイオードにより電流に変換することで実現できる。ただしこの場合、波長多重によってブースの符号化回路の個数を削減しているため、波長多重を用いて複数乗算を同時処理することによる演算の高速化の効果は得られない。

【 0 0 5 8 】

以上に説明したように、本発明によれば、部分積を桁統合しながら加算して加算値を生成し、この加算値をアナログデジタル変換してデジタル値を生成し、デジタル値をデジタル加算するようにしたので、より高速に光乗算ができるようになる。

【 0 0 5 9 】

なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

10

20

30

40

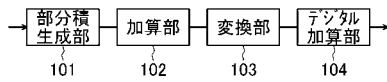
50

【符号の説明】

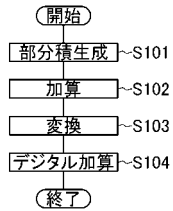
【0060】

101 ... 部分積生成部、102 ... 加算部、103 ... 変換部、104 ... デジタル加算部。

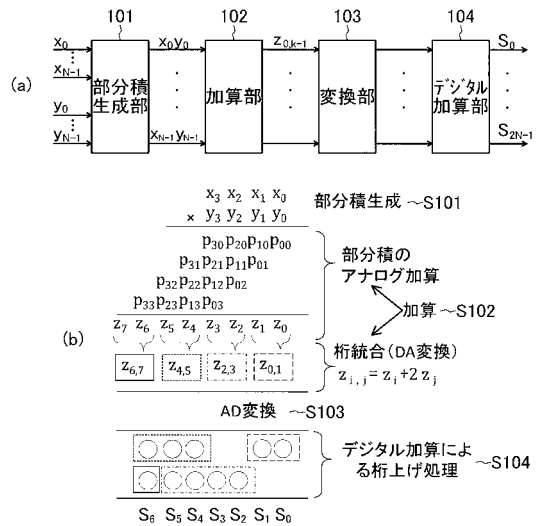
【図1】



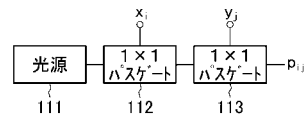
【図2】



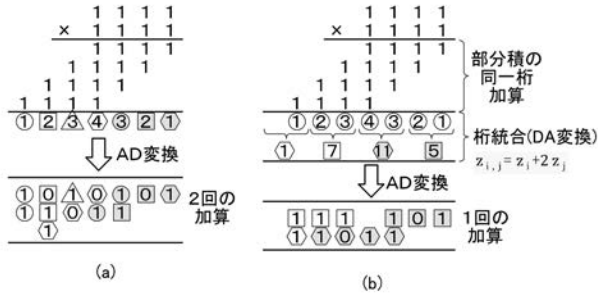
【図3】



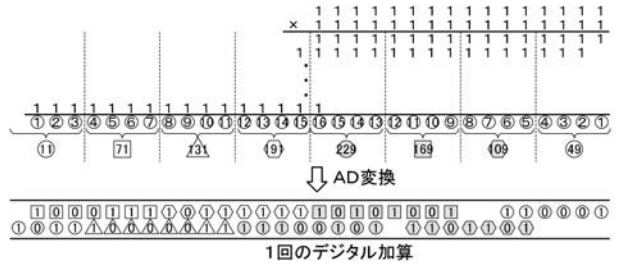
【図4】



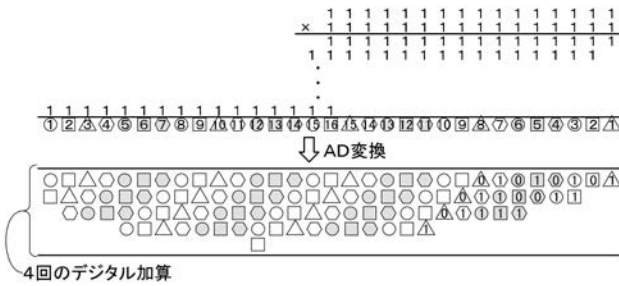
【 図 5 】



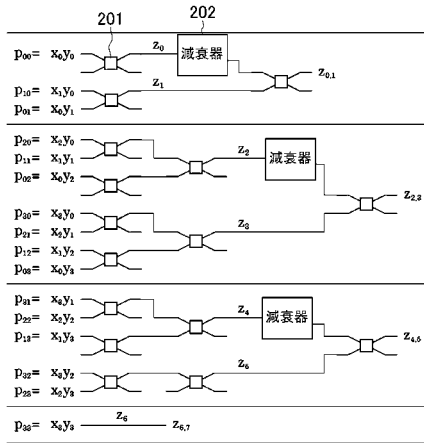
【 図 6 B 】



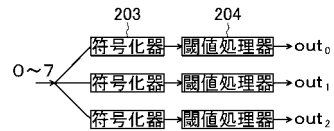
【 図 6 A 】



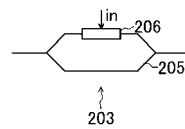
【 図 7 A 】



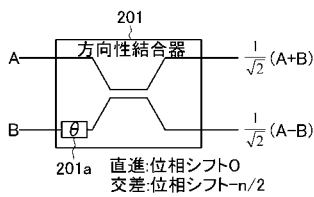
【 図 8 A 】



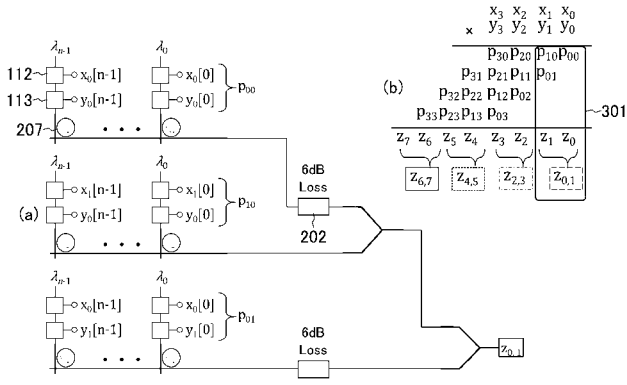
【 図 8 B 】



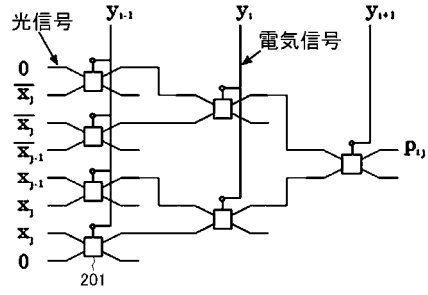
【 図 7 B 】



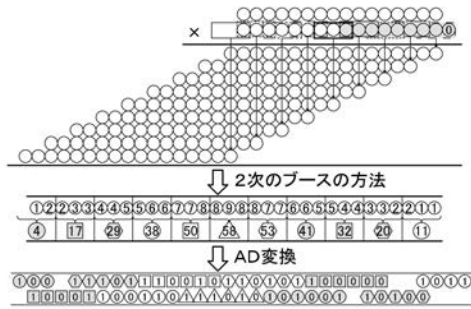
【図9】



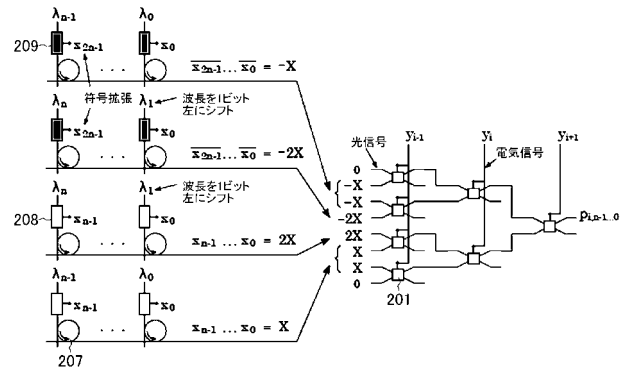
【図11】



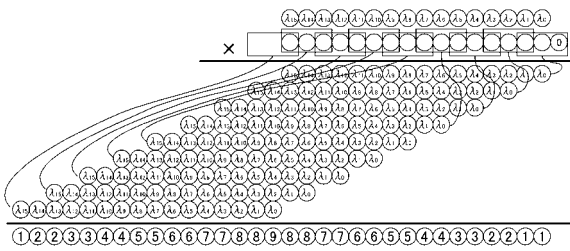
【図10】



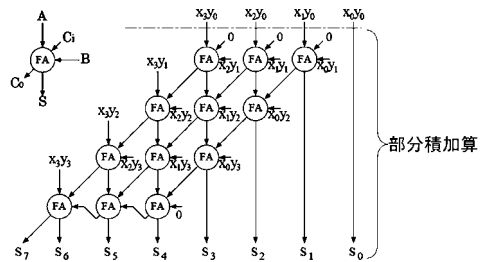
【図12】



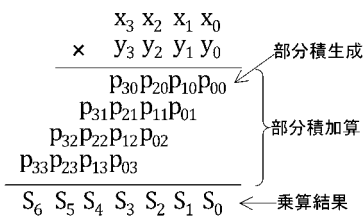
【図13】



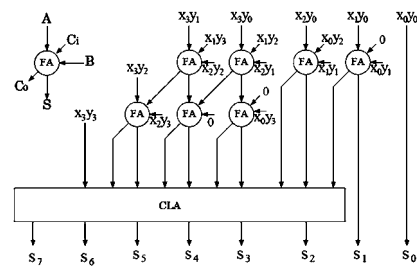
【図15】



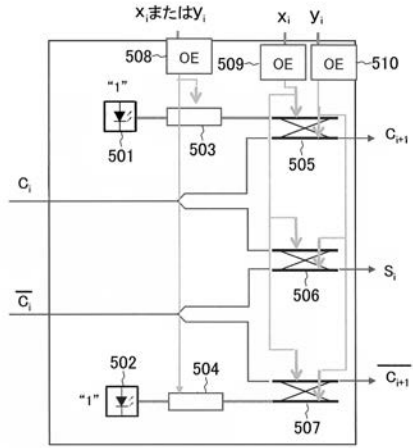
【図14】



【図16】



【 図 1 7 】



---

フロントページの続き

- (72)発明者 納富 雅也  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 野崎 謙悟  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 北 翔太  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 高田 健太  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 石原 亨  
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 小野寺 秀俊  
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 今井 悠貴  
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- Fターム(参考) 2K102 BA31 BB01 BC01 BD01 CA18 DA04