

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-16847

(P2019-16847A)

(43) 公開日 平成31年1月31日(2019.1.31)

(51) Int.Cl.  
H03F 1/26 (2006.01)

F I  
H03F 1/26

テーマコード(参考)  
5J500

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2017-130948 (P2017-130948)  
(22) 出願日 平成29年7月4日(2017.7.4)  
特許法第30条第2項適用申請有り [公開の事実]  
1. 開催日: 2017年2月14日 2. 集会名、開催場所: 国立大学法人京都大学 大学院 情報学研究科 28年度通信情報システム専攻 修士論文発表会 国立大学法人京都大学 総合研究9号館北館1階N1 (京都府京都市左京区吉田本町36番地1) 3. 公開者: 中尾 拓矢

(71) 出願人 000004226  
日本電信電話株式会社  
東京都千代田区大手町一丁目5番1号  
(71) 出願人 504132272  
国立大学法人京都大学  
京都府京都市左京区吉田本町36番地1  
(74) 代理人 100098394  
弁理士 山川 茂樹  
(74) 代理人 100153006  
弁理士 小池 勇三  
(74) 代理人 100064621  
弁理士 山川 政樹  
(72) 発明者 中野 慎介  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

(54) 【発明の名称】 電源バウンス補償回路および多段増幅器

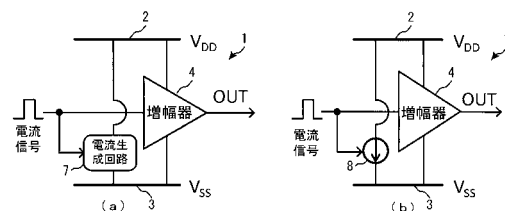
(57) 【要約】

【課題】 増幅器の電源端子の電源バウンスを抑制し、増幅器の出力信号のノイズを低減することが可能な電源バウンス補償回路を提供する。

【解決手段】

本願発明の電源バウンス補償回路は、第1の電源端子および第2の電源端子を備え、入力される単相の入力信号を増幅して、出力する単相入力増幅器と、単相入力増幅器の前段であって、第1の電源端子と前記第2の電源端子の間に配置された電流生成回路を備え、電流生成回路は、入力信号の変動によって発生する単相入力増幅器と第1の電源端子または第2の電源端子の間に流れる電流の変動による、第1の電源端子あるいは第2の電源端子に流れる電流の変動を抑制するような電流を生成する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 の電源端子および第 2 の電源端子を備え、入力される単相の入力信号を増幅して、出力する単相入力増幅器と、

前記単相入力増幅器の前段であって、前記第 1 の電源端子と前記第 2 の電源端子の間に配置された電流生成回路を備え、

前記電流生成回路は、前記入力信号の変動によって発生する前記単相入力増幅器と前記第 1 の電源端子または前記第 2 の電源端子の間に流れる電流の変動による、前記第 1 の電源端子あるいは前記第 2 の電源端子に流れる電流の変動を抑制するような電流を生成する、

電源バウンス補償回路。

10

**【請求項 2】**

前記電流生成回路は、前記第 1 の電源端子あるいは前記第 2 の電源端子に流れる電流が概略一定となるような電流を生成すること、

を特徴とする請求項 1 記載の電源バウンス補償回路。

**【請求項 3】**

前記単相入力増幅器および前記電流生成回路のそれぞれにおける、前記第 1 の電源端子あるいは前記第 2 の電源端子に対するトランスコンダクタンス値の合計値が概略ゼロとなること、

を特徴とする請求項 1 または 2 記載の電源バウンス補償回路。

20

**【請求項 4】**

前記単相入力増幅器がソース接地型増幅器であり、前記ソース接地された前記第 1 の電源端子あるいは前記第 2 の電源端子に対し、前記単相入力増幅器および前記電流生成回路のそれぞれにおけるトランスコンダクタンス値の合計値が概略ゼロとなること、

を特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電源バウンス補償回路。

**【請求項 5】**

前記単相入力増幅器は、インバータ回路と帰還抵抗を備えたトランスインピーダンスアンプであり、前記インバータ回路を構成する NMOS トランジスタ、PMOS トランジスタの内、ゲート幅 / ゲート長 × 移動度の値がより大きい NMOS トランジスタまたは PMOS トランジスタがソース接地された前記第 1 の電源端子あるいは前記第 2 の電源端子に対する前記単相入力増幅器および前記電流生成回路のトランスコンダクタンス値の合計値が概略ゼロであること、

を特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の電源バウンス補償回路。

30

**【請求項 6】**

請求項 1 乃至 5 のいずれか 1 項に記載の電源バウンス補償回路を複数備えた多段増幅器であって、

複数の前記電源バウンス補償回路の全てが前記第 1 の電源端子または前記第 2 の電源端子を基準として動作する、

多段増幅器。

**【請求項 7】**

請求項 1 乃至 5 のいずれか 1 項に記載の電源バウンス補償回路を複数備えた多段増幅器であって、

複数の前記電源バウンス補償回路の一部が前記第 1 の電源端子を基準として動作し、他の前記電源バウンス補償回路が前記第 2 の電源端子を基準として動作し、前記第 1 の電源端子および前記第 2 の電源端子を基準とする各電源バウンス補償回路はもう一端の電源端子として、前記第 1 の電源端子および前記第 2 の電源端子とは独立した電源端子を備える、

多段増幅器。

40

**【請求項 8】**

請求項 1 乃至 5 のいずれか 1 項に記載の電源バウンス補償回路であって、前記単相入力

50

増幅器が単相入力 - 差動出力増幅器である電源バウンス補償回路と、前記電源バウンス補償回路の後段に配置される全差動型増幅器とを備えた多段増幅器であって、

前記全差動型増幅器は、前段の前記電源バウンス補償回路の前記第1の電源端子および前記第2の電源端子とは独立した電源端子を備える、

多段増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランスインピーダンスアンプ等に利用される単相信号を扱う増幅器の低ノイズ化に関し、特に信号入力時に電源端子に生じる電源バウンスに由来するノイズを抑制する為の電源バウンス補償回路に関する。

10

【背景技術】

【0002】

増幅器は入力された電気信号を所望の振幅強度まで増幅して出力する為に用いられるものであり、一般的に、増幅器において高速信号を扱う場合には、ノイズ耐性向上や電源回路簡易化の為に差動信号が用いられることが多い。一方、光通信用のトランスインピーダンスアンプ(TIA)や無線通信用のローノイズアンプなどでは、高速信号を扱う場合であっても、入力信号が単相信号の増幅器が用いられることが多い。

【0003】

単相信号を扱う増幅器では、信号が入力されると正側電源端子( $V_{DD}$ 電源端子)、負側電源端子( $V_{SS}$ 電源端子)間を流れる電流が変動する。例えば、増幅器が集積回路で実現される場合、 $V_{DD}$ 電源端子、 $V_{SS}$ 電源端子は実装時に接続されるボンディングワイヤ等に寄生するインダクタンス成分によって、高周波数帯において低いインピーダンスを実現する事が難しいため、信号入力時に生じる電流変動によって各電源端子に電源バウンスが発生するという問題がある。

20

【0004】

従来、 $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間に大きな容量素子を設けることにより、信号が入力された際に生じる $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間の電位差を安定化させる技術が報告されている。例えば、図12の増幅器では、入力端子に信号が入力された際に増幅器を流れる電流の高周波数成分を容量素子を通じて、 $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間に流す事によって、 $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間の電位差を安定化させる事が出来る(例えば、非特許文献1参照。)

30

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】Behzad Razavi著、黒田 忠広訳、「アナログCMOS集積回路の設計応用編」、丸善、2003年、p.816-819

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、例えば、TIAのように入力端子に電流信号が入力される場合には、電流保存則より、 $V_{DD}$ 電源端子側、 $V_{SS}$ 電源端子側いずれかのチップ外電源端子に信号電流を流す事が必要である。ここで、従来のように $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間に大きな容量素子を設けることにより、 $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間の電位差を安定化する事が出来るが、入力電流を電源端子に受け流す事が必要である為、 $V_{DD}$ 電源端子、 $V_{SS}$ 電源端子それぞれの電位そのものを安定化することは出来ない。

40

【0007】

電圧信号を増幅するタイプの増幅器の場合でも、入力端子に電圧信号 $V_{IN}$ が入力された際に、増幅器の入力インピーダンスを $Z_{IN}$ とすると、 $I_{IN} = V_{IN} / Z_{IN}$ の電流信号が発生し、その電流信号をいずれかの電源端子に流す事が必要である事は同じであるため、 $Z_{IN}$

50

が充分大きい場合を除き、容量素子を用いても  $V_{DD}$  電源端子、 $V_{SS}$  電源端子それぞれの電位そのものを安定化することは出来ない。

【0008】

光通信の受信器の場合には、図13に示すようにTIAの入力信号にフォトダイオード(PD)が接続され、TIAにはPDによって光電変換された電流信号が入力される。一般的に、TIAは、正側または負側の電源端子を基準として、それに対する相対的な入力電圧(または電流)を入力信号として、それを増幅して出力する。

【0009】

図13に示すように、光通信の受信器において、 $V_{PD}$ と $V_{DD}$ 電源端子はチップ外でしか接続されない事が多いため、信号入力時に $V_{DD}$ 電源端子に発生する電源バウンスは $V_{PD}$ に一切伝わらない。そのため、PDから入力される電流信号には電源バウンスが重畳されず、 $V_{DD}$ 電源端子、 $V_{SS}$ 電源端子にのみ電源バウンスが発生することとなり、TIAの電源端子を基準とした入力電圧には電源バウンスが重畳され、TIAの出力信号に大きな影響を与える。

10

【0010】

図14は、図13に示す回路構成において、容量素子が有る場合と無い場合の(a) $V_{DD} - V_{SS}$ 間電圧、(b) $V_{SS}$ 電位を測定した結果の一例である。ここで、入力信号として、10GbpsのPRBSパタンの電流信号を入力した。また、各グラフは200psを周期として、波形を折り返して重ね書いたものである。

20

【0011】

図14によれば、容量素子が有る場合は、無い場合に比べて $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間電圧のバウンスは大きく抑制されているが、 $V_{SS}$ 電位のバウンスはほとんど抑制出来ていない事が分かる。このように、 $V_{DD}$ 電源端子 -  $V_{SS}$ 電源端子間に電源バウンスを抑制する容量素子を設置しても、 $V_{DD}$ 電源端子や $V_{SS}$ 電源端子の電位の電源バウンスは抑制されないため、増幅器の出力信号のノイズを低減できないという問題がある。

【0012】

本発明は、以上のような問題を解消するためになされたものであり、増幅器の電源端子の電源バウンスを抑制し、増幅器の出力信号のノイズを低減することが可能な電源バウンス補償回路を提供することを目的とする。

30

【課題を解決するための手段】

【0013】

上記課題を解決するために、本願発明の電源バウンス補償回路では、第1の電源端子および第2の電源端子を備え、入力される単相の入力信号を増幅して、出力する単相入力増幅器と、前記単相入力増幅器の前段であって、前記第1の電源端子と前記第2の電源端子の間に配置された電流生成回路を備え、前記電流生成回路は、前記入力信号の変動によって発生する前記単相入力増幅器と前記第1の電源端子または前記第2の電源端子の間に流れる電流の変動による、前記第1の電源端子あるいは前記第2の電源端子に流れる電流の変動を抑制するような電流を生成する。

【0014】

また、前記電流生成回路は、前記第1の電源端子あるいは前記第2の電源端子に流れる電流が概略一定となるような電流を生成してもよい。ここで概略一定とは、電源端子に流れる直流電流値に対して、電源端子に流れる電流の変動が十分に小さいことを意味し、以下同様である。

40

【0015】

また、前記単相入力増幅器および前記前記電流生成回路のそれぞれにおける、前記第1の電源端子または前記第2の電源端子に対するトランスコンダクタンス値の合計値が概略ゼロであってもよい。ここで概略ゼロとは、単相入力増幅器が有する電源端子に対するトランスコンダクタンス値に対して、トランスコンダクタンス値の合計値が十分に小さいことを意味し、以下同様である。

【0016】

50

また、前記単相入力増幅器がソース接地型増幅器であり、前記ソース接地された前記第 1 の電源端子あるいは前記第 2 の電源端子に対し、前記単相入力増幅器および前記電流生成回路のそれぞれにおけるトランスコンダクタンス値の合計値が概略ゼロであってもよい。

【 0 0 1 7 】

また、前記単相入力増幅器は、インバータ回路と帰還抵抗を備えたトランスインピーダンスアンプであり、前記インバータ回路を構成する N M O S トランジスタ、 P M O S トランジスタの内、ゲート幅 / ゲート長 × 移動度の値がより大きい N M O S トランジスタまたは P M O S トランジスタがソース接地された前記第 1 の電源端子または前記第 2 の電源端子に対する前記単相入力増幅器および前記電流生成回路のトランスコンダクタンス値の合計値が概略ゼロであってもよい。

10

【 0 0 1 8 】

上記課題を解決するために、本願発明の多段増幅器は、前記電源バウンズ補償回路を複数備えた多段増幅器であって、複数の前記電源バウンズ補償回路の全てが前記第 1 の電源端子または前記第 2 の電源端子を基準として動作する。

【 0 0 1 9 】

また、本願発明の多段増幅器は、前記電源バウンズ補償回路を複数備えた多段増幅器であって、複数の前記電源バウンズ補償回路の一部が前記第 1 の電源端子を基準として動作し、他の前記電源バウンズ補償回路が前記第 2 の電源端子を基準として動作し、前記第 1 の電源端子および前記第 2 の電源端子を基準とする各電源バウンズ補償回路はもう一端の電源端子として、前記第 1 の電源端子および前記第 2 の電源端子とは独立した電源端子を備える。

20

【 0 0 2 0 】

また、本願発明の多段増幅器は、前記電源バウンズ補償回路であって、前記単相入力増幅器が単相入力・差動出力増幅器である電源バウンズ補償回路と、前記電源バウンズ補償回路の後段に配置される全差動型増幅器とを備えた多段増幅器であって、前記全差動型増幅器は、前段の前記電源バウンズ補償回路の前記第 1 の電源端子および前記第 2 の電源端子とは独立した電源端子を備える。

【 発明の効果 】

【 0 0 2 1 】

本願発明によれば、増幅器の電源端子の電源バウンズを抑制し、増幅器の出力信号のノイズを低減することが可能となる。

30

【 図面の簡単な説明 】

【 0 0 2 2 】

【 図 1 】 図 1 は、本願発明の電源バウンズ補償回路の構成例である。

【 図 2 】 図 2 は、増幅器にソース接地型の N M O S トランジスタを用いた電源バウンズ補償回路の構成例である。

【 図 3 】 図 3 は、増幅器にソース接地型の P M O S トランジスタを用いた電源バウンズ補償回路の構成例である。

【 図 4 】 図 4 は、増幅器にインバータ型の T I A を用いた電源バウンズ補償回路の 1 構成例である。

40

【 図 5 】 図 5 は、増幅器にインバータ型の T I A を用いた電源バウンズ補償回路の他の構成例である。

【 図 6 】 図 6 は、インバータ型の T I A を用いた電源バウンズ補償回路に P R B S 電流信号を入力した際のシミュレーション結果である。

【 図 7 】 図 7 は、電源バウンズ補償回路を 2 c h 並べて集積した回路例である。

【 図 8 】 図 8 は、電源バウンズ補償回路を 2 c h 並べて集積した回路例における出力アイディアグラムの測定例である。

【 図 9 】 図 9 は、電源バウンズ補償回路を複数用いて構成した多段増幅器の 1 構成例である。

50

【図 1 0】図 1 0 は、電源バウンズ補償回路を複数用いて構成した多段増幅器の他の構成例である。

【図 1 1】図 1 1 は、単相入力 - 差動出力型の増幅器を備えた電源バウンズ補償回路の構成例である。

【図 1 2】図 1 2 は、電源端子の間に容量を設置した従来の単相信号の増幅器の構成例である。

【図 1 3】図 1 3 は、電源端子の間に容量を設置した従来のトランスインピーダンスアンプの構成例である。

【図 1 4】図 1 4 は、従来のトランスインピーダンスアンプの電源端子における電位を測定例である。

【発明を実施するための形態】

【0023】

以下、本願発明の実施の形態について図面を用いて説明する。但し、本願発明は、多くの異なる形態で実施することが可能であり、以下に説明する実施の形態の記載内容に限定して解釈されるものではない。

【0024】

< 電源バウンズ補償回路の構成 >

図 1 ( a ) に、本願発明の電源バウンズ補償回路の基本的な構成例を示す。図 1 ( a ) の電源バウンズ補償回路 1 では、増幅器 4 から電源端子 2、3 に流れる電流の変動による電源端子に流れる電流の変動を抑制するような電流を生成する電流生成回路 7 を増幅器 4 の前段に備える。電流生成回路 7 は、後段の増幅器 4 の第 1、第 2 の電源端子 (  $V_{DD}$  電源端子 2、 $V_{SS}$  電源端子 3 ) の間に配置されており、入力端子の電位 ( または電流 ) が変動した際に発生する増幅器 4 と  $V_{DD}$  電源端子 2 または  $V_{SS}$  電源端子 3 の間に流れる電流の変動による電源端子に流れる電流の変動を抑制するような電流を生成することによって、電源端子 2、3 に流れる電流を安定化する回路である。

【0025】

< 第 1 の実施の形態 >

図 1 ( b ) は、電流生成回路 7 として電圧制御電流源 8 を用いた電源バウンズ補償回路 1 の構成例である。電圧制御電流源 8 は、制御端子に入力される制御信号の変動に応じた値の電流を生成する回路である。図 1 ( b ) では、電圧制御電流源 8 の制御端子が増幅器 4 の入力端子に接続されており、入力端子の電位 ( または電流 ) が変動した際に生じる  $V_{DD}$  電源端子 2 から増幅器 4 に流れる電流、または増幅器 4 から  $V_{SS}$  電源端子 3 に流れる電流のいずれかの電流の変動を打ち消す、または、電源端子に流れる電流の変動を抑制するような電流を電圧制御電流源 8 で生成することにより、増幅器 4 と  $V_{DD}$  電源端子 2 または  $V_{SS}$  電源端子 3 の間に流れる電流の変動を抑制し、電源端子 2、3 に流れる電流を安定化させる。

【0026】

ここで、どちらの電源端子の電流変動を抑制するかについては、後段の増幅器 4 がどちらの電源端子を基準として入力端子の信号を増幅するかによって決定される。すなわち、増幅器 4 の出力端子に、より大きな増幅率で電源バウンズが伝わる電源端子における電流変動を抑制するように電圧制御電流源 8 は構成される。

【0027】

まず、 $V_{DD}$  電源端子 2 から増幅器 4 へ流れる電流の変動による電源端子に流れる電流の変動を抑制する場合を想定する。入力端子の電圧に  $V_{IN}$  の電位変動が生じた際に、 $V_{DD}$  電源端子 2 から増幅器 4 に流れる電流変動を  $I_{DD}$  とすると、電圧制御電流源 8 のトランスコンダクタンス (  $g_m$  ) を  $- I_{DD} / V_{IN}$  と設定し、 $V_{DD}$  電源端子 2 に対する増幅器 4 と電圧制御電流源 8 のトランスコンダクタンス値の合計値を概略ゼロとなるように設定することにより、 $V_{DD}$  電源端子 2 と増幅器 4 間の電流変動による電源端子に流れる電流の変動を抑制し、 $V_{DD}$  電源端子 2 に流れる電流を安定化することが出来る。

【0028】

10

20

30

40

50

同様に、増幅器 4 から  $V_{SS}$  電源端子 3 へ流れる電流の変動による電源端子に流れる電流の変動を抑制する場合には、入力端子の電圧に  $V_{IN}$  の電位変動が生じた際に、増幅器 4 から  $V_{SS}$  電源端子 3 に流れる電流変動を  $I_{SS}$  とすると、電圧制御電流源 8 のトランスコンダクタンスを  $-I_{SS}/V_{IN}$  と設定し、 $V_{SS}$  電源端子 3 に対する増幅器 4 と電圧制御電流源 8 のトランスコンダクタンス値の合計値が概略ゼロとなるように設定することにより、 $V_{SS}$  電源端子 3 と増幅器 4 間の電流変動による電源端子に流れる電流の変動を抑制し、 $V_{SS}$  電源端子 3 に流れる電流を安定化することが出来る。

【0029】

< 第 2 の実施の形態 >

図 2 - 5 を用いて電源バウンス補償回路の具体的な構成について説明する。図 2 - 5 は、電源バウンス補償回路 1 の電流生成回路 7 をトランジスタ素子を用いて実現したものである。

10

【0030】

図 2 は、増幅器にソース接地型の NMOS トランジスタを用いた電源バウンス補償回路の構成例である。図 2 の場合、NMOS トランジスタ 20 のソース端子が接地されている  $V_{SS}$  電源端子 3 を基準として入力端子の電圧を増幅し、電流生成回路 7 としては、ソース接地型の PMOS トランジスタ 30 を用いる。

【0031】

図 2 において、入力端子の電位が上昇すると増幅器 4 から  $V_{SS}$  電源端子 3 に流れる電流は増加するが、一方で、電流生成回路 7 に流れる電流を減少させることにより、 $V_{SS}$  電源端子 3 に流れる総電流量の変動を抑制することができるので、結果として、 $V_{SS}$  電源端子 3 そのものの電源バウンスを抑制することができる。

20

【0032】

図 3 は、増幅器にソース接地型の PMOS トランジスタを用いた電源バウンス補償回路の構成例である。図 3 では、増幅器 4 にソース接地型の PMOS トランジスタ 30 を用い、電流生成回路 7 にはソース接地型の NMOS トランジスタ 20 を用いている。増幅の基準となる  $V_{DD}$  電源端子 2 に流れる総電流量の変動を抑制することにより、 $V_{DD}$  電源端子 2 そのものの電源バウンスを抑制することができる。

【0033】

図 4、5 は、増幅器にインバータ型のトランスインピーダンスアンプ (TIA) 5 を用いた電源バウンス補償回路の構成例である。インバータ型アンプの場合、入力端子がソース接地された NMOS トランジスタ 20、PMOS トランジスタ 30 の両ゲート端子にそれぞれ接続される為、トランスコンダクタンス ( $g_m$ ) がより大きいトランジスタのソース端子に接続される電源端子が入力信号の増幅の基準となる。例えば、PMOS トランジスタ 30 の  $g_m$  が大きい場合には、電流生成回路 7 はソース接地型の NMOS トランジスタ 20 で実現することができ (図 4)、NMOS トランジスタ 20 の  $g_m$  が大きい場合には、電流生成回路 7 はソース接地型の PMOS トランジスタ 30 で実現することができる (図 5)。

30

【0034】

また、一般的に、トランジスタのトランスコンダクタンス ( $g_m$ ) は、 $g_m = W/L \times \mu C_{OX} (V_{GS} - V_T)$  で表される。ここで、 $W$  はゲート幅、 $L$  はゲート長、 $\mu$  は移動度、 $C_{OX}$  はゲート酸化膜の単位面積のキャパシタンス、 $V_{GS}$  はゲートソース間電圧、 $V_T$  は閾値である。インバータ回路を形成する場合、 $V_T$  や  $C_{OX}$  は NMOS、PMOS 間で同程度である場合が多く、また、帰還抵抗を加えた TIA の場合には、NMOS、PMOS トランジスタ間で  $V_{GS}$  が同程度になる事が多い。そのため、 $g_m$  がより大きいトランジスタというのは、トランジスタのゲート幅 / ゲート長  $\times$  移動度の値がより大きなトランジスタと言い換える事も出来る。従って、電源端子に対する増幅器と電圧生成回路のトランスコンダクタンス値の合計値が概略ゼロとなるように、各トランジスタにおける、ゲート幅、ゲート長、移動度を設定すれば、電源バウンスを抑制し、電源端子に流れる電流が概略一定となる電源バウンス補償回路を実現することができる。

40

50

## 【 0 0 3 5 】

図 6 は、インバータ型の T I A を用いた電源バウンス補償回路に P R B S 電流信号を入力した際のシミュレーション結果である。図 6 は、図 4 に示す電源バウンス補償回路に 1 0 0 M b / s の P R B S 電流信号を入力した際の ( a ) 入力電流、( b ) T I A - 各電源端子間に流れる電流、および ( c ) 全電流 ( T I A + 電流生成回路に流れる電流の総和 ) をシミュレーションした結果である。

## 【 0 0 3 6 】

尚、シミュレーション条件としては、入力端子に振幅 7 0  $\mu$  A の P R B S パタンの電流信号を入力し、各トランジスタには 6 5 n m C M O S プロセスパラメータを用いた。

## 【 0 0 3 7 】

図 6 の結果によれば、入力した電流の変動成分が  $V_{DD}$  電源端子 - T I A 間および T I A -  $V_{SS}$  電源端子間のそれぞれに流れており、電流生成回路を備える事によって、入力された電流の変動成分が全て  $V_{SS}$  電源端子側に流れ、電源バウンスを抑制し、 $V_{DD}$  電源端子側の総電流は概略一定に維持されていることが確認できる。

## 【 0 0 3 8 】

また、図 2 - 図 5 では、入力端子 電流生成回路 電源端子と伝わる電流パスと、入力端子 T I A 電源端子と伝わる電流パスを、共に同数のトランジスタ ( 図 2 - 図 5 の回路では、それぞれ一つのトランジスタ ) を介して伝えることにより、両方の電流パスにおける入力端子から電源端子までの遅延時間をおよそ同程度にする事が出来る。これにより、両電流パスを伝搬する電流に生じる電流変動のタイミングを揃えることができるので、図 6 に示すように瞬間的なスパイク電流が無く、電流値が概略一定の電源端子 ( 図 6 では  $V_{DD}$  電源端子 ) を実現する事が可能となる。

## 【 0 0 3 9 】

このように、本実施の形態によれば、電源端子における電源バウンスそのものを抑制する事が出来るので、増幅器の出力端子において生じるノイズを低減する事が可能となる。

## 【 0 0 4 0 】

尚、図 6 では、図 4 に示す電源バウンス補償回路を用いて、 $V_{DD}$  電源端子の電源バウンスを抑制する態様を説明したが、図 5 に示す電源バウンス補償回路を用いた場合でも、同様に  $V_{SS}$  電源端子の電源バウンスを抑制することができる。

## 【 0 0 4 1 】

また、図 2 - 図 5 では、トランジスタとして M O S F E T を用いた回路を例として説明したが、いずれかのトランジスタまたは全てのトランジスタがバイポーラトランジスタに置き換えられた場合でも同様の効果を得る事ができることは言うまでもない。

## 【 0 0 4 2 】

< 第 3 の実施の形態 >

本実施の形態の電源バウンス補償回路によれば、電源端子の電位を安定化させる事ができるため、複数チャネルを集積した際に電源端子を介してあるチャネルから他のチャネルに伝わるノイズ、いわゆるクロストークノイズを低減する効果を得る事もできる。

## 【 0 0 4 3 】

図 7 に、図 4 の電源バウンス補償回路 1 を 2 c h 並べて集積し、各回路の電源端子がチップ外電源端子と接続された場合の回路例を示す。図 7 において、インダクタンス L 1、L 2 はボンディングワイヤによって寄生するインダクタンスを模擬した素子である。

## 【 0 0 4 4 】

図 8 に、( a ) 図 7 において電流生成回路の動作を O F F とし、 $V_{DD}$  電源端子 -  $V_{SS}$  電源端子間に 3 5 p F の容量を挿入した場合、( b ) 図 7 に示す回路のそれぞれにおいて、c h 1、c h 2 共に信号が入出力された場合の c h 1 の T I A 出力アイダイアグラムを示す。

## 【 0 0 4 5 】

図 8 は、図 7 の I N 1 に振幅 7 0  $\mu$  A の電流信号を、I N 2 に振幅 7 0 0  $\mu$  A の電流信号を、同時に入力した際の O U T 1 の出力波形をモニタしたものである。入力信号として

10

20

30

40

50



は、それぞれ 10 Gbps の PRBS パタン信号を用いた。図 8 によれば、クロストークノイズによる影響が抑制でき、約 2 割のアイ開口の向上が得られている事が確認できる。

【0046】

< 第 4 の実施の形態 >

図 9、図 10 を用いて、本願発明の第 4 の実施の形態を説明する。第 4 の実施形態は、電源バウンズ補償回路 1 を複数用いて多段増幅器を構成したものである。図 9 は、多段増幅器を構成する各電源バウンズ補償回路 1 が全て同じ電源端子を基準として動作するものであり、図 10 は、多段増幅器を構成する各電源バウンズ補償回路 1 において、正側電源端子 2 を基準として動作するものと負側電源端子 3 を基準として動作するものが混在する場合である。

10

【0047】

図 9 では、例えば、全ての電源バウンズ補償回路が  $V_{SS}$  電源端子基準（または  $V_{DD}$  電源端子基準）で動作する場合、各電源バウンズ補償回路の増幅器から  $V_{SS}$  電源端子（または  $V_{DD}$  電源端子）に流れる電流変動による電源端子に流れる電流の変動を抑制する為の電圧制御電流源が各増幅器の前段に配置される。

【0048】

また、図 10 では、 $V_{DD}$  電源端子 2 を基準として動作する増幅器 4 の前段には、 $V_{DD}$  電源端子 2 から増幅器 4 に流れる電流変動による電源端子に流れる電流の変動を抑制する為の電圧制御電流源 8 が配置され、 $V_{SS}$  電源端子 3 を基準として動作する増幅器 4 の前段には、増幅器 4 から  $V_{SS}$  電源端子 3 に流れる電流変動による電源端子に流れる電流の変動を抑制する為の電圧制御電流源 8 が配置されている。

20

【0049】

ここで、 $V_{SS}$  電源端子 3 を基準として動作する増幅器 4 の正側電源端子は、 $V_{DD}$  電源端子 3 では無い別の独立した  $V_{DD}'$  電源端子 3' とし、 $V_{DD}$  電源端子 2 を基準として動作する増幅器 4 の負側電源端子は、 $V_{SS}$  電源端子 3 では無い別の独立した  $V_{SS}'$  電源端子 3' とする事で、信号入力時に  $V_{DD}$  電源端子 2、 $V_{SS}$  電源端子 3 にそれぞれ流れる電流を安定化し、各電源端子の電源バウンズを抑制する事が出来る。

【0050】

一方で、 $V_{DD}'$  電源端子 2'、 $V_{SS}'$  電源端子 3' には電源バウンズが生じるものの、 $V_{DD}'$  電源端子 2'、 $V_{SS}'$  電源端子 3' はいずれの増幅器 4 においても基準電位では無いため、 $V_{DD}'$  電源端子 2'、 $V_{SS}'$  電源端子 3' の電源バウンズが出力信号におけるノイズに影響することはない。

30

【0051】

< 第 5 の実施の形態 >

図 11 に、第 5 の実施の形態における多段増幅回路を示す。第 5 の実施の形態は、電源バウンズ補償回路を単相入力 - 差動出力型の増幅器に適応したものである。

【0052】

図 11 では、全差動型増幅器 6 の前段に電源バウンズ補償回路 1 が配置されており、前段の電源バウンズ補償回路 1 が単相入力 - 差動出力構成となっており、上述した実施の形態と同様に電源バウンズ補償回路 1 の増幅器 4 の動作の基準となる電源端子に流れる電流が信号入力時に一定になるように電源バウンズ補償回路 1 の電圧制御電圧源 8 を制御する。ここで、差動入力 - 差動出力構成の全差動型増幅器 6 は電源端子 2'、3' にバウンズが生じにくく、かつノイズの影響を受けにくいので、単相 - 差動変換を行う増幅器 4 と電源端子 2、3 の間の電流変動による電源端子に流れる電流の変動を抑制するような電圧制御電流源 8 を備えればよい。

40

【0053】

図 11 の多段増幅回路では、後段の全差動型増幅器 6 の  $V_{SS}'$  電源端子 3' または  $V_{DD}'$  電源端子 2' は、前段の電源バウンズ補償回路 1 の  $V_{SS}$  電源端子 3 または  $V_{DD}$  電源端子 2 と独立した構成としている。単相 - 差動変換後の増幅器 6 では電源端子のバウンズが差動出力信号に影響しにくいいため電圧制御電流源を備える必要性が低い、一方で、 $V_{SS}'$

50

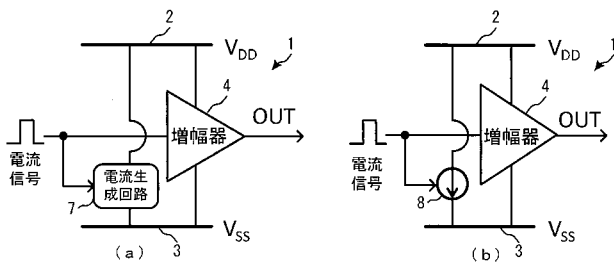
電源端子 3' または  $V_{DD}$  電源端子 2' に流れる電流が変動する事は有り得る。本実施の形態のように、後段の全差動型増幅器 6 の電源端子を、前段の電源バウンズ補償回路 1 の電源端子と独立にすることにより、差動増幅器 6 から発生する電源端子の電流変動による電源バウンズが、単相入力の電源バウンズ補償回路 1 の増幅器 4 の出力に及ぼす影響を抑制することができる。

【符号の説明】

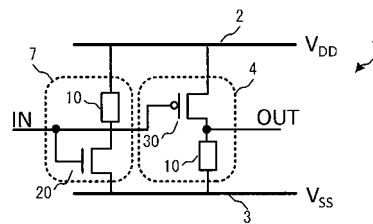
【0054】

1 ... 電源バウンズ補償回路、2 ... 正側電源端子 ( $V_{DD}$  電源端子)、2' ... 正側電源端子 ( $V_{DD}'$  電源端子)、3 ... 負側電源端子 ( $V_{SS}$  電源端子)、3' ... 負側電源端子 ( $V_{SS}'$  電源端子)、4 ... 増幅器、5 ... トランスインピーダンスアンプ (TIA)、6 ... 全差動増幅器、7 ... 電流生成回路、8 ... 電圧制御電流源、9 ... フォトダイオード、10 ... 抵抗、11 ... インダクタンス、12 ... 容量、20 ... NMOSトランジスタ、30 ... PMOSトランジスタ。

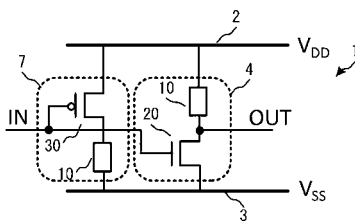
【図1】



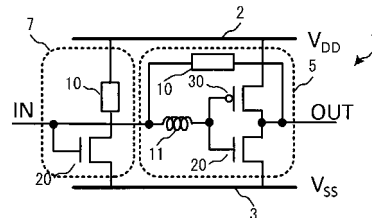
【図3】



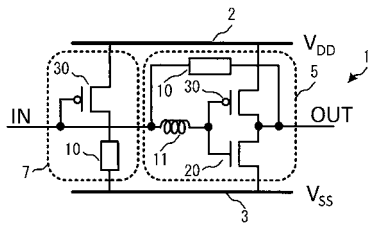
【図2】



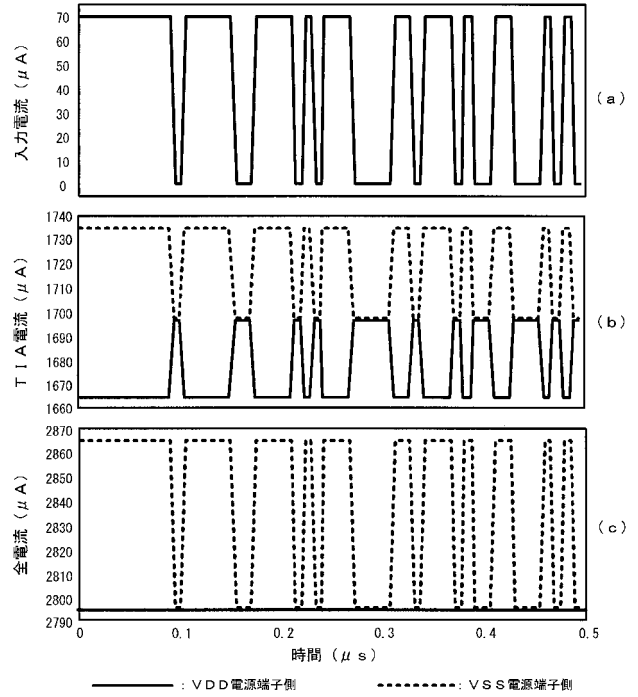
【図4】



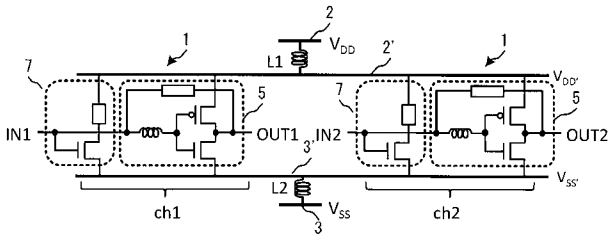
【 図 5 】



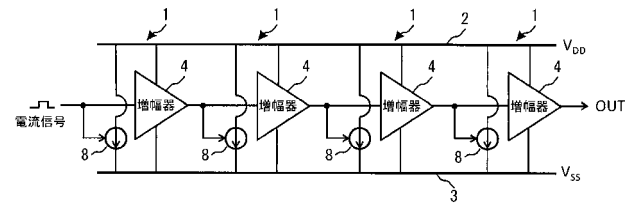
【 図 6 】



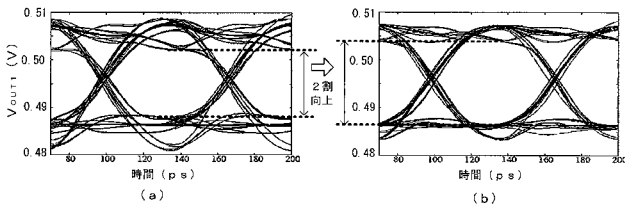
【 図 7 】



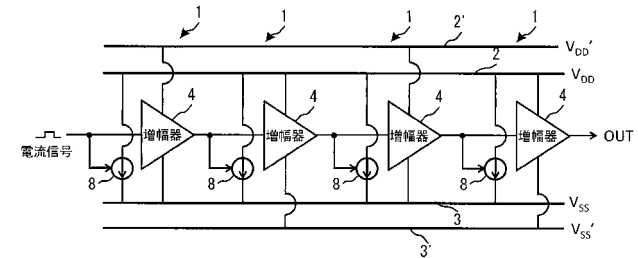
【 図 9 】



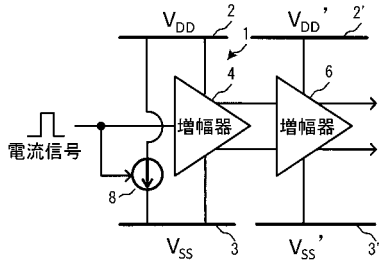
【 図 8 】



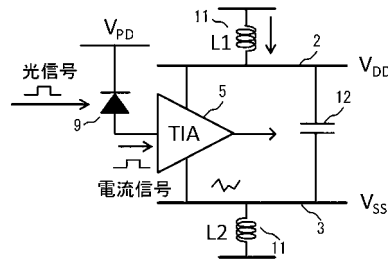
【 図 10 】



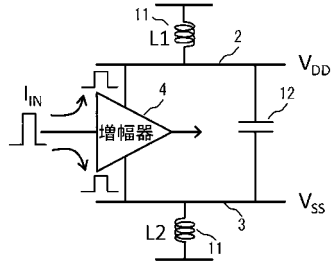
【 図 1 1 】



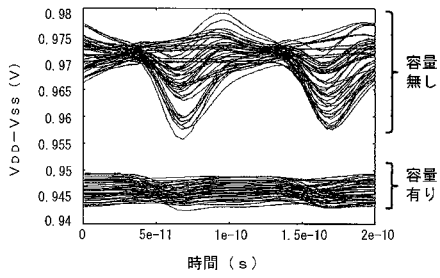
【 図 1 3 】



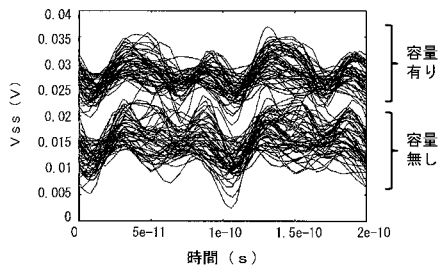
【 図 1 2 】



【 図 1 4 】



(a)



(b)

---

フロントページの続き

- (72)発明者 田仲 顕至  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 野坂 秀之  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 小野寺 秀俊  
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 土谷 亮  
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 中尾 拓矢  
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内

Fターム(参考) 5J500 AA01 AA21 AA56 AC04 AC47 AC52 AF07 AF08 AF15 AH10  
AH16 AH25 AH33 AH44 AK02 AK04 AK07 AK08 AK27 AM08  
AS01 AT01 RU07