

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-16844
(P2019-16844A)

(43) 公開日 平成31年1月31日(2019.1.31)

(51) Int.Cl. F I テーマコード (参考)
H03F 1/00 (2006.01) H03F 1/00 Z 5J500

審査請求 未請求 請求項の数 8 O L (全 14 頁)

<p>(21) 出願番号 特願2017-130833 (P2017-130833) (22) 出願日 平成29年7月4日 (2017.7.4)</p> <p>特許法第30条第2項適用申請有り [公開の事実] 1. 開催日: 2017年2月14日 2. 集会名、開催場所: 国立大学法人京都大学 大学院 情報学研究科 28年度通信情報システム専攻 修士論文発表会 国立大学法人京都大学 総合研究9号館北館1階N1 (京都府京都市左京区吉田本町36番地1) 3. 公開者: 中尾 拓矢</p>	<p>(71) 出願人 000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号</p> <p>(71) 出願人 504132272 国立大学法人京都大学 京都府京都市左京区吉田本町36番地1</p> <p>(74) 代理人 100098394 弁理士 山川 茂樹</p> <p>(74) 代理人 100153006 弁理士 小池 勇三</p> <p>(74) 代理人 100064621 弁理士 山川 政樹</p> <p>(72) 発明者 田仲 顕至 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内</p>
--	--

最終頁に続く

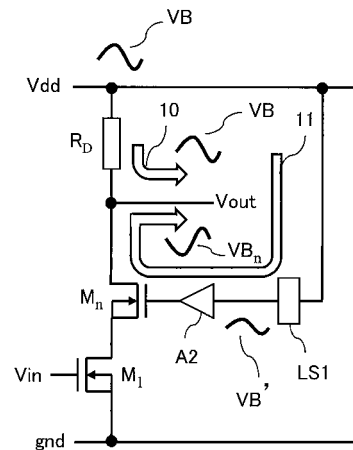
(54) 【発明の名称】 電源バウンス除去回路および増幅回路

(57) 【要約】

【課題】従来よりも回路面積の小さい電源バウンス除去回路を提供する。

【解決手段】電源バウンス除去回路は、nMOSトランジスタ M_1 と抵抗 R_D とからなるソース接地増幅回路に供給される電源電圧 V_{dd} を入力とし、電圧変換を行うレベルシフト回路 $LS1$ と、レベルシフト回路 $LS1$ の出力電圧を増幅する非反転増幅器 $A2$ と、非反転増幅器 $A2$ の出力電圧を反転させた電圧をソース接地増幅回路の出力端子に印加する増幅素子となるnMOSトランジスタ M_n とから構成される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

増幅回路に供給される電源電圧を入力とし、電圧変換を行う 1 個乃至 2 個のレベルシフト回路と、

前記 1 個のレベルシフト回路の出力電圧または前記 2 個のレベルシフト回路の出力電圧の差を増幅する増幅器と、

この増幅器の出力電圧を反転させた電圧を前記増幅回路の出力端子に印加する増幅素子とを備えることを特徴とする電源バウンス除去回路。

【請求項 2】

請求項 1 記載の電源バウンス除去回路において、

前記増幅回路は、ソース接地増幅回路であり、

前記レベルシフト回路は、前記ソース接地増幅回路に供給される正の電源電圧を入力とする 1 個のレベルシフト回路であり、

前記増幅器は、前記 1 個のレベルシフト回路の出力電圧を増幅する非反転増幅器であり、

前記増幅素子は、前記ソース接地増幅回路を構成するソース接地トランジスタと前記ソース接地増幅回路の出力端子との間に挿入されたカスコード接続トランジスタからなり、前記カスコード接続トランジスタのゲート端子が前記非反転増幅器の出力端子と接続されることを特徴とする電源バウンス除去回路。

【請求項 3】

請求項 1 記載の電源バウンス除去回路において、

前記増幅回路は、インバータ回路であり、

前記レベルシフト回路は、前記インバータ回路に供給される正の電源電圧を入力とする 1 個のレベルシフト回路であり、

前記増幅器は、前記 1 個のレベルシフト回路の出力電圧を増幅する非反転増幅器であり、

前記増幅素子は、前記インバータ回路を構成する n 型トランジスタと前記インバータ回路の出力端子との間に挿入されたカスコード接続 n 型トランジスタと、前記インバータ回路を構成する p 型トランジスタと前記インバータ回路の出力端子との間に挿入されたカスコード接続 p 型トランジスタとからなり、前記カスコード接続 n 型トランジスタのゲート端子および前記カスコード接続 p 型トランジスタのゲート端子が前記非反転増幅器の出力端子と接続されることを特徴とする電源バウンス除去回路。

【請求項 4】

請求項 1 記載の電源バウンス除去回路において、

前記増幅回路は、正負電源で動作するソース接地増幅回路であり、

前記レベルシフト回路は、前記ソース接地増幅回路に供給される正の電源電圧を入力とする第 1 のレベルシフト回路と、前記ソース接地増幅回路に供給される負の電源電圧を入力とする第 2 のレベルシフト回路の 2 個の回路からなり、

前記増幅器は、前記第 1、第 2 のレベルシフト回路の出力電圧の差を増幅する差動入力単相出力型の差動増幅器であり、

前記増幅素子は、前記ソース接地増幅回路を構成するソース接地トランジスタと前記ソース接地増幅回路の出力端子との間に挿入されたカスコード接続トランジスタからなり、前記カスコード接続トランジスタのゲート端子が前記差動増幅器の出力端子と接続されることを特徴とする電源バウンス除去回路。

【請求項 5】

請求項 4 記載の電源バウンス除去回路において、

前記第 1、第 2 のレベルシフト回路の出力の動作点が同じであることを特徴とする電源バウンス除去回路。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の電源バウンス除去回路において、

10

20

30

40

50

前記 1 個乃至 2 個のレベルシフト回路のそれぞれの入力端子と出力端子間に接続された 1 個乃至 2 個のコンデンサをさらに備えることを特徴とする電源バウンス除去回路。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の電源バウンス除去回路において、

前記 1 個乃至 2 個のレベルシフト回路は、それぞれ一端が正の電源電圧に接続され、他端がレベルシフト回路の出力端子に接続された第 1 の抵抗と、一端がレベルシフト回路の出力端子に接続され、他端がグラウンドまたは負の電源電圧に接続された第 2 の抵抗とからなることを特徴とする電源バウンス除去回路。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の電源バウンス除去回路を備えることを特徴とする増幅回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅回路における、電源電圧のバウンスに由来する雑音を除去する回路構成に関する技術であり、特に回路面積の高効率利用が可能な技術に関するものである。

【背景技術】

【0002】

図 1 1 は一般的な電圧増幅回路の信号接続および電源接続を説明する回路図である。電圧増幅回路 A 1 0 0 は、入力端子に入力電圧 V_{in} が入力され、出力端子から出力電圧 V_{out} を出力する。電圧増幅回路 A 1 0 0 の正の電源端子は正電源 P に接続され、負の電源端子はグラウンド G に接続される。この電圧増幅回路 A 1 0 0 に正の電源電圧 V_{dd} とグラウンド電位 gnd とを供給することで、増幅に必要な電荷が電圧増幅回路 A 1 0 0 に輸送され、入力電圧 V_{in} は出力電圧 V_{out} に増幅される。そのため、電源電圧 V_{dd} を一定に保たなければ、安定した動作は保証されない。

20

【0003】

こういった増幅回路を他のアナログ回路やデジタル回路と組み合わせることにより、様々な機能を実現することができる。しかしながら、増幅回路を集積させた場合、他の回路が正電源の動作に影響を与える。この影響は電源電圧 V_{dd} にバウンス（電源電圧変動）を発生させ、増幅回路の動作を乱す。よって、電源電圧 V_{dd} のバウンスを除去する方法が必要である。

30

【0004】

従来、電源電圧 V_{dd} のバウンスを除去するために、図 1 2 のように電荷容量の大きなデカップリングコンデンサ C 1 0 0 を正電源 P とグラウンド G との間に挿入している（非特許文献 1 参照）。デカップリングコンデンサ C 1 0 0 の電荷容量 C は電極板面積 A と電極板間の距離 d、誘電率 ϵ より式 (1) のように定義される。式 (1) から分かるように、デカップリングコンデンサ C 1 0 0 で大きな電荷容量を実現するためには、大きな回路面積が必要である。

【0005】

【数 1】

$$C = \epsilon \frac{A}{d} \quad \dots(1)$$

40

【0006】

しかしながら、増幅回路を高密度に集積するためには、これまでのデカップリングコンデンサを用いる方法では、式 (1) で説明した理由により省面積化が難しい。そのため、電源電圧 V_{dd} のバウンスを除去する省面積な機構が必要であった。

【先行技術文献】

【非特許文献】

【0007】

50

【非特許文献1】Behzad Razavi著，黒田 忠広 訳，“アナログCMOS集積回路の設計”，丸善出版，pp816-819，第11刷，2003

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、上記課題を解決するためになされたもので、従来よりも回路面積の小さい電源バウンス除去回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の電源バウンス除去回路は、増幅回路に供給される電源電圧を入力とし、電圧変換を行う1個乃至2個のレベルシフト回路と、前記1個のレベルシフト回路の出力電圧または前記2個のレベルシフト回路の出力電圧の差を増幅する増幅器と、この増幅器の出力電圧を反転させた電圧を前記増幅回路の出力端子に印加する増幅素子とを備えることを特徴とするものである。

10

また、本発明の電源バウンス除去回路の1構成例において、前記増幅回路は、ソース接地増幅回路であり、前記レベルシフト回路は、前記ソース接地増幅回路に供給される正の電源電圧を入力とする1個のレベルシフト回路であり、前記増幅器は、前記1個のレベルシフト回路の出力電圧を増幅する非反転増幅器であり、前記増幅素子は、前記ソース接地増幅回路を構成するソース接地トランジスタと前記ソース接地増幅回路の出力端子との間に挿入されたカスコード接続トランジスタからなり、前記カスコード接続トランジスタのゲート端子が前記非反転増幅器の出力端子と接続されることを特徴とするものである。

20

【0010】

また、本発明の電源バウンス除去回路の1構成例において、前記増幅回路は、インバータ回路であり、前記レベルシフト回路は、前記インバータ回路に供給される正の電源電圧を入力とする1個のレベルシフト回路であり、前記増幅器は、前記1個のレベルシフト回路の出力電圧を増幅する非反転増幅器であり、前記増幅素子は、前記インバータ回路を構成するn型トランジスタと前記インバータ回路の出力端子との間に挿入されたカスコード接続n型トランジスタと、前記インバータ回路を構成するp型トランジスタと前記インバータ回路の出力端子との間に挿入されたカスコード接続p型トランジスタとからなり、前記カスコード接続n型トランジスタのゲート端子および前記カスコード接続p型トランジスタのゲート端子が前記非反転増幅器の出力端子と接続されることを特徴とするものである。

30

また、本発明の電源バウンス除去回路の1構成例において、前記増幅回路は、正負電源で動作するソース接地増幅回路であり、前記レベルシフト回路は、前記ソース接地増幅回路に供給される正の電源電圧を入力とする第1のレベルシフト回路と、前記ソース接地増幅回路に供給される負の電源電圧を入力とする第2のレベルシフト回路の2個の回路からなり、前記増幅器は、前記第1、第2のレベルシフト回路の出力電圧の差を増幅する差動入力単相出力型の差動増幅器であり、前記増幅素子は、前記ソース接地増幅回路を構成するソース接地トランジスタと前記ソース接地増幅回路の出力端子との間に挿入されたカスコード接続トランジスタからなり、前記カスコード接続トランジスタのゲート端子が前記差動増幅器の出力端子と接続されることを特徴とするものである。

40

【0011】

また、本発明の電源バウンス除去回路の1構成例は、前記第1、第2のレベルシフト回路の出力の動作点が同じであることを特徴とするものである。

また、本発明の電源バウンス除去回路の1構成例は、前記1個乃至2個のレベルシフト回路のそれぞれの入力端子と出力端子間に接続された1個乃至2個のコンデンサをさらに備えることを特徴とするものである。

また、本発明の電源バウンス除去回路の1構成例において、前記1個乃至2個のレベルシフト回路は、それぞれ一端が正の電源電圧に接続され、他端がレベルシフト回路の出力端子に接続された第1の抵抗と、一端がレベルシフト回路の出力端子に接続され、他端が

50

グラウンドまたは負の電源電圧に接続された第 2 の抵抗とからなることを特徴とするものである。

また、本発明の増幅回路は、電源バウンス除去回路を備えることを特徴とするものである。

【発明の効果】

【0012】

本発明によれば、増幅回路に供給される電源電圧を入力とし、電圧変換を行う 1 個乃至 2 個のレベルシフト回路と、1 個のレベルシフト回路の出力電圧または 2 個のレベルシフト回路の出力電圧の差を増幅する増幅器と、増幅器の出力電圧を反転させた電圧を増幅回路の出力端子に印加する増幅素子とを設けることにより、従来よりも回路面積の小さい電源バウンス除去回路を実現することができる。

10

【図面の簡単な説明】

【0013】

【図 1】図 1 は、本発明の原理を説明する増幅回路の回路図である。

【図 2】図 2 は、従来のソース接地型増幅回路の構成を示す回路図である。

【図 3】図 3 は、本発明の第 1 の実施例に係るソース接地型増幅回路の構成を示す回路図である。

【図 4】図 4 は、従来のインバータ回路の構成を示す回路図である。

【図 5】図 5 は、本発明の第 2 の実施例に係るインバータ回路の構成を示す回路図である。

20

【図 6】図 6 は、本発明の第 3 の実施例に係るトランスインピーダンスアンプ回路の構成を示す回路図である。

【図 7】図 7 は、本発明の第 3 の実施例の電源電圧のバウンスの除去効果を説明する図である。

【図 8】図 8 は、正負電源で動作する従来のソース接地型増幅回路の構成を示す回路図である。

【図 9】図 9 は、本発明の第 4 の実施例に係るソース接地型増幅回路の構成を示す回路図である。

【図 10】図 10 は、本発明の第 5 の実施例に係るソース接地型増幅回路の構成を示す回路図である。

30

【図 11】図 11 は、従来の一般的な電圧増幅回路の信号接続および電源接続を説明する回路図である。

【図 12】図 12 は、デカップリングコンデンサを加えた従来の電圧増幅回路を示す回路図である。

【発明を実施するための形態】

【0014】

[発明の原理]

図 1 に本発明の概要を示す。本発明では、電源電圧 V_{dd} に生じるバウンスを除去するための増幅回路として、複数のトランジスタをカスコード接続したカスコード型増幅回路 A 1 を採用する。本発明では、正の電源電圧 V_{dd} を入力とするレベルシフト回路 LS 1 と、レベルシフト回路 LS 1 の出力電圧を増幅した電圧を、カスコード型増幅回路 A 1 のカスコード段の増幅素子となるトランジスタ（不図示）のゲート端子 g に与える非反転増幅器 A 2 とを設けている。

40

【0015】

図 1 に示した回路は、電源電圧 V_{dd} のバウンスが発生した場合に、このバウンスをレベルシフト回路 LS 1 によって非反転増幅器 A 2 に適した動作電位に変換し、非反転増幅器 A 2 によって適切な振幅に増幅する。このレベルシフト・増幅後の信号をカスコード型増幅回路 A 1 のカスコード段のトランジスタのゲート端子 g に入力すると、このトランジスタによって反転された信号が出力電圧 V_{out} に重畳する。

【0016】

50

本発明では、出力電圧 V_{out} に電源電圧 V_{dd} のバウンス由来の雑音が重畳した際に、雑音と同じ動作電位で、かつ同じ電圧振幅の反転信号を生成することで、雑音を相殺することができる。また、本発明は、電源電圧 V_{dd} のバウンスの影響を除去するためにデカップリングコンデンサを用いないため、式(1)のような制約がなくなり、省面積な電源バウンス除去回路を実現できる。

【0017】

[第1の実施例]

以下、本発明の実施例について図面を参照して説明する。本発明の第1の実施例は、増幅回路として、一般的なソース接地型増幅回路を用いるものである。ソース接地型増幅回路の構成を図2に示す。ソース接地型増幅回路は、ゲート端子がソース接地型増幅回路の入力端子に接続され、ドレイン端子がソース接地型増幅回路の出力端子に接続され、ソース端子がグラウンドに接続された n MOSトランジスタ M_1 と、一端が電源電圧 V_{dd} に接続され、他端がソース接地型増幅回路の出力端子に接続された抵抗 R_D とから構成される。

10

【0018】

このように、ソース接地型増幅回路は、 n MOSトランジスタ M_1 と抵抗 R_D のみから構成される最もシンプルな増幅回路の1つであり、広く活用される増幅回路の1つでもある。ソース接地型増幅回路において、図2に示す電源電圧 V_{dd} のバウンス V_B が発生した場合、このバウンス V_B に由来する雑音は抵抗 R_D を通じて出力端子に伝搬し、出力電圧 V_{out} に重畳する(図2の経路10)。

20

【0019】

本実施例では、電源電圧 V_{dd} のバウンス V_B に由来する雑音を除去するために、図3のような回路を提案する。本実施例のソース接地型増幅回路は、ゲート端子がソース接地型増幅回路の入力端子に接続され、ソース端子がグラウンドに接続された n MOSトランジスタ M_1 (ソース接地トランジスタ) と、ドレイン端子がソース接地型増幅回路の出力端子に接続され、ソース端子が n MOSトランジスタ M_1 のドレイン端子に接続された増幅素子となる n MOSトランジスタ M_n (カスコード接続トランジスタ) と、一端が電源電圧 V_{dd} に接続され、他端がソース接地型増幅回路の出力端子に接続された抵抗 R_D と、正の電源電圧 V_{dd} を入力とし、電圧変換を行うレベルシフト回路 $LS1$ と、レベルシフト回路 $LS1$ の出力電圧を増幅して n MOSトランジスタ M_n のゲート端子に与える非反転増幅器 $A2$ とから構成される。

30

【0020】

本実施例では、 n MOSトランジスタ M_1 、 M_n と抵抗 R_D とからなるソース接地型増幅回路が図1のカスコード型増幅回路 $A1$ に相当する。 n MOSトランジスタ M_n とレベルシフト回路 $LS1$ と非反転増幅器 $A2$ とは、電源バウンス除去回路を構成している。

【0021】

本実施例において、電源電圧 V_{dd} のバウンス除去は以下のような機序で行われる。電源電圧 V_{dd} のバウンス V_B は、上記で説明したとおり、抵抗 R_D を介した経路10を通じてソース接地型増幅回路の出力端子に伝搬し、出力電圧 V_{out} に重畳する。また、バウンス V_B は、図3の経路11を通り、レベルシフト回路 $LS1$ によって動作点が調節されたバウンス V_B' となり、さらに非反転増幅器 $A2$ によって振幅が調節される。このレベルシフト・増幅された電源電圧 V_{dd} のバウンス V_B' が n MOSトランジスタ M_n のゲート端子に入力されると、 n MOSトランジスタ M_n によって反転されたバウンス V_{B_n} が出力され、出力電圧 V_{out} に重畳する。

40

【0022】

したがって、レベルシフト回路 $LS1$ の電圧シフト量および非反転増幅器 $A2$ の利得を適切に設定することにより、出力電圧 V_{out} に重畳する、電源電圧 V_{dd} のバウンス V_B に由来する雑音は、これと逆位相のバウンス V_{B_n} によって相殺される。

【0023】

こうして、本実施例では、出力電圧 V_{out} に重畳する、電源電圧 V_{dd} のバウンスに

50

由来する雑音を除去することができる。本実施例では、デカップリングコンデンサを用いないため、従来よりも回路面積の小さい電源バウンス除去回路を実現することができる。

【0024】

[第2の実施例]

次に、本発明の第2の実施例について説明する。本発明の第2の実施例は、増幅回路として、インバータ回路を用いるものである。インバータ回路の構成を図4に示す。インバータ回路は、ゲート端子がインバータ回路の入力端子に接続され、ドレイン端子がインバータ回路の出力端子に接続され、ソース端子がグラウンドに接続されたnMOSトランジスタ M_2 と、ゲート端子がインバータ回路の入力端子に接続され、ソース端子が電源電圧 V_{dd} に接続され、ドレイン端子がインバータ回路の出力端子に接続されたpMOSトランジスタ M_3 とから構成される。インバータ回路は、負荷抵抗 R_D をpMOSトランジスタに置換することにより、高い負荷抵抗値を得ながら、専有面積が小さくなることが知られている。

10

【0025】

本実施例では、インバータ回路において電源電圧 V_{dd} のバウンスに由来する雑音を除去するために、図5のような回路を提案する。本実施例のインバータ回路(増幅回路)は、ゲート端子がインバータ回路の入力端子に接続され、ソース端子がグラウンドに接続されたnMOSトランジスタ M_2 (n型トランジスタ)と、ゲート端子がインバータ回路の入力端子に接続され、ソース端子が電源電圧 V_{dd} に接続されたpMOSトランジスタ M_3 (p型トランジスタ)と、ドレイン端子がインバータ回路の出力端子に接続され、ソース端子がnMOSトランジスタ M_2 のドレイン端子に接続された増幅素子となるnMOSトランジスタ M_n (カスコード接続n型トランジスタ)と、ドレイン端子がインバータ回路の出力端子に接続され、ソース端子がpMOSトランジスタ M_3 のドレイン端子に接続された増幅素子となるpMOSトランジスタ M_p (カスコード接続p型トランジスタ)と、正の電源電圧 V_{dd} を入力とし、電圧変換を行うレベルシフト回路LS1と、レベルシフト回路LS1の出力電圧を増幅してトランジスタ M_n 、 M_p のゲート端子に与える非反転増幅器A2とから構成される。

20

【0026】

本実施例では、トランジスタ M_2 、 M_3 、 M_n 、 M_p からなる回路が図1のカスコード型増幅回路A1に相当する。トランジスタ M_n 、 M_p とレベルシフト回路LS1と非反転増幅器A2とは、電源バウンス除去回路を構成している。

30

【0027】

本実施例では、電源電圧 V_{dd} のバウンスが発生すると、トランジスタ M_n 、 M_p がそれぞれ非反転増幅器A2の出力電圧を反転させた電圧を生成するので、電源電圧 V_{dd} のバウンスがインバータ回路の出力電圧 V_{out} に与える影響を除去することができる。

こうして、本実施例では、インバータ回路を用いた増幅回路において、第1の実施例と同様の効果を得ることができる。

【0028】

[第3の実施例]

次に、本発明の第3の実施例について説明する。図6は本発明の第3の実施例に係る増幅回路であるトランスインピーダンスアンプ回路の構成を示す回路図であり、図5と同様の構成には同一の符号を付してある。文献「Jooehwa Kim and James F. Buckwalter, "A 40-Gb/s Optical Transceiver Front-End in 45nm SOI CMOS", IEEE Journal of Solid-State Circuits, VOL. 27, NO. 3, MARCH, 2012」には、帰還抵抗付きインバータ回路が、増幅を行いながら電流電圧変換を行うトランスインピーダンスアンプ(TIA: Transimpedance Amplifier)回路として、高い電力効率を有していることが開示されている。

40

【0029】

また、TIA回路は、フォトダイオードから入力される微弱な電流信号を増幅する必要があるため、SN比の向上が大きな課題である。本実施例は、このTIA回路に本発明を適用することで、電源電圧 V_{dd} のバウンスに由来する雑音を除去しながら、省面積で電

50

力効率の良いTIA回路を実現することができる。

本実施例のTIA回路は、帰還抵抗付きインバータ回路INV1と、レベルシフト回路LS1と、非反転増幅器A2とから構成される。

【0030】

帰還抵抗付きインバータ回路INV1は、一端がTIA回路の入力端子に接続されたインダクタ L_1 と、ゲート端子がインダクタ L_1 の他端に接続され、ソース端子がグラウンドに接続されたnMOSトランジスタ M_2 (n型トランジスタ)と、ゲート端子がインダクタ L_1 の他端に接続され、ソース端子が電源電圧Vddに接続されたpMOSトランジスタ M_3 (p型トランジスタ)と、ドレイン端子がTIA回路の出力端子に接続され、ソース端子がnMOSトランジスタ M_2 のドレイン端子に接続された増幅素子となるnMOSトランジスタ M_n (カスコード接続n型トランジスタ)と、ドレイン端子がTIA回路の出力端子に接続され、ソース端子がpMOSトランジスタ M_3 のドレイン端子に接続された増幅素子となるpMOSトランジスタ M_p (カスコード接続p型トランジスタ)と、一端がTIA回路の入力端子に接続され、他端がTIA回路の出力端子に接続された抵抗 R_1 とから構成される。

10

【0031】

レベルシフト回路LS1は、一端が電源電圧Vddに接続され、他端がレベルシフト回路LS1の出力端子に接続された抵抗 R_2 と、一端がレベルシフト回路LS1の出力端子に接続され、他端がグラウンドに接続された抵抗 R_3 とから構成される。

なお、第1、第2の実施例のレベルシフト回路LS1も同様に抵抗 R_2 、 R_3 によって構成することができる。

20

【0032】

非反転増幅器A2は、2段のソース接地増幅回路であり、ゲート端子がレベルシフト回路LS1の出力端子に接続され、ソース端子がグラウンドに接続されたnMOSトランジスタ M_4 と、ゲート端子がnMOSトランジスタ M_4 のドレイン端子に接続され、ドレイン端子がnMOSトランジスタ M_n のゲート端子に接続され、ソース端子がグラウンドに接続されたnMOSトランジスタ M_5 と、ゲート端子がnMOSトランジスタ M_4 のドレイン端子に接続され、ドレイン端子がpMOSトランジスタ M_p のゲート端子に接続され、ソース端子が電源電圧Vddに接続されたpMOSトランジスタ M_6 と、一端が電源電圧Vddに接続され、他端がnMOSトランジスタ M_4 のドレイン端子に接続された抵抗 R_4 と、一端が電源電圧Vddに接続され、他端がnMOSトランジスタ M_n のゲート端子に接続された抵抗 R_5 と、一端がpMOSトランジスタ M_p のゲート端子に接続され、他端がグラウンドに接続された抵抗 R_6 とから構成される。

30

【0033】

本実施例では、帰還抵抗付きインバータ回路INV1が図1のカスコード型増幅回路A1に相当する。第2の実施例と同様に、トランジスタ M_n 、 M_p とレベルシフト回路LS1と非反転増幅器A2とは、電源バウンス除去回路を構成している。

【0034】

図7(A)、図7(B)は本実施例の電源電圧Vddのバウンスの除去効果を説明する図であり、図7(A)は従来(TIA回路(図6から電源バウンス除去回路を外した回路)の出力電圧 V_{out} の変動を示す図、図7(B)は本実施例のTIA回路の出力電圧 V_{out} の変動を示す図である。ここでは、従来(TIA回路および本実施例のTIA回路に、信号の立ち上がり・立ち下がりを含む入力電圧 V_{in} を入力し、電源電圧Vddのバウンスに由来する雑音が出力電圧 V_{out} にどの程度重畳するかを比較した。

40

【0035】

回路の定数として、トランジスタ $M_2 \sim M_6$ 、 M_n 、 M_p のゲート長を60nm、トランジスタ $M_2 \sim M_6$ 、 M_n 、 M_p のゲート幅を1.8 μm 、抵抗 R_1 を300 Ω 、抵抗 R_2 、 R_3 を5k Ω 、抵抗 R_4 を1k Ω 、抵抗 R_5 を500 Ω 、抵抗 R_6 を750 Ω 、トランジスタ M_2 のフィンガー数 n_r を12、トランジスタ M_3 のフィンガー数 n_r を18、トランジスタ M_4 、 M_n 、 M_p のフィンガー数 n_r を3、トランジスタ M_5 、 M_6 のフィンガー数 n_r を2と設

50

定した。また、電源電圧 V_{dd} を 1.0V 、電源電圧 V_{dd} のバウンス振幅を 10mV_p と設定した。

【0036】

図7(A)、図7(B)から明らかなように、本実施例によれば、デカップリングコンデンサよりも専有面積の小さな回路を用いながら、出力電圧 V_{out} に重畳する、電源電圧 V_{dd} のバウンスに由来する雑音を、従来と比較して約50%程度低減させることができた。

【0037】

[第4の実施例]

次に、本発明の第4の実施例について説明する。本発明の第4の実施例は、増幅回路として、正電源と負電源で動作するソース接地型増幅回路を用いるものである。このソース接地型増幅回路の構成を図8に示す。ソース接地型増幅回路は、ゲート端子がソース接地型増幅回路の入力端子に接続され、ドレイン端子がソース接地型増幅回路の出力端子に接続され、ソース端子が負の電源電圧 V_{ss} に接続された増幅素子となる $n\text{MOS}$ トランジスタ M_1 と、一端が正の電源電圧 V_{dd} に接続され、他端がソース接地型増幅回路の出力端子に接続された抵抗 R_D とから構成される。

10

【0038】

図8に示したソース接地型増幅回路では、正の電源電圧 V_{dd} のバウンス V_{Bdd} と負の電源電圧 V_{ss} のバウンス V_{Bss} とがそれぞれ経路20, 21を通じて出力端子に伝搬し、出力電圧 V_{out} に重畳するため、 V_{dd} と V_{ss} 電位差のバウンス V_D を除去する回路が必要である。

20

【0039】

本実施例では、 V_{dd} と V_{ss} の電位差のバウンス V_D に由来する雑音を除去するために、図9のような回路を提案する。本実施例のソース接地型増幅回路は、ゲート端子がソース接地型増幅回路の入力端子に接続され、ドレイン端子がソース接地型増幅回路の出力端子に接続され、ソース端子が負の電源電圧 V_{ss} に接続された $n\text{MOS}$ トランジスタ M_1 (ソース接地トランジスタ) と、ドレイン端子がソース接地型増幅回路の出力端子に接続され、ソース端子が $n\text{MOS}$ トランジスタ M_1 のドレイン端子に接続された $n\text{MOS}$ トランジスタ M_n (カスコード接続トランジスタ) と、一端が正の電源電圧 V_{dd} に接続され、他端がソース接地型増幅回路の出力端子に接続された抵抗 R_D と、正の電源電圧 V_{dd} を入力とするレベルシフト回路 $LS1$ と、負の電源電圧 V_{ss} を入力とするレベルシフト回路 $LS2$ と、レベルシフト回路 $LS1$ の出力電圧とレベルシフト回路 $LS2$ の出力電圧の差を増幅した電圧を $n\text{MOS}$ トランジスタ M_n のゲート端子に与える差動入力単相出力型の差動増幅器 $A3$ とから構成される。

30

【0040】

本実施例では、 $n\text{MOS}$ トランジスタ M_1 , M_n と抵抗 R_D とからなるソース接地型増幅回路が図1のカスコード型増幅回路 $A1$ に相当する。 $n\text{MOS}$ トランジスタ M_n とレベルシフト回路 $LS1$, $LS2$ と差動増幅器 $A3$ とは、電源バウンス除去回路を構成している。

【0041】

ここで、レベルシフト回路 $LS1$ の出力の動作点とレベルシフト回路 $LS2$ の出力の動作点とが同じになるように(すなわち、差動増幅器 $A3$ の非反転入力端子の直流電位と反転入力端子の直流電位とが同じになるように)、各レベルシフト回路 $LS1$, $LS2$ を設定することで、差動増幅器 $A3$ の出力電位は V_{dd} と V_{ss} の電位差のバウンス V_D を増幅したものとなる。この差動増幅器 $A3$ の出力電位を $n\text{MOS}$ トランジスタ M_n のゲート端子に印加することで、 $n\text{MOS}$ トランジスタ M_n によって反転されたバウンスが出力され、出力電圧 V_{out} に重畳する。

40

【0042】

したがって、差動増幅器 $A3$ の利得を適切に設定することにより、出力電圧 V_{out} に重畳する、 V_{dd} と V_{ss} の電位差のバウンスに由来する雑音は、これと逆位相のバウン

50

スによって相殺される。

【0043】

[第5の実施例]

次に、本発明の第5の実施例について説明する。図10は本発明の第5の実施例に係るソース接地型増幅回路の構成を示す回路図であり、図9と同様の構成には同一の符号を付してある。本実施例のソース接地型増幅回路は、 n MOSトランジスタ M_1 （ソース接地トランジスタ）と、 n MOSトランジスタ M_n （カスコード接続トランジスタ）と、抵抗 R_D と、差動増幅器A3と、一端が正の電源電圧 V_{dd} に接続され、他端が差動増幅器A3の非反転入力端子に接続された抵抗 R_7 と、一端が差動増幅器A3の非反転入力端子に接続され、他端が負の電源電圧 V_{ss} に接続された抵抗 R_8 と、一端が正の電源電圧 V_{dd} に接続され、他端が差動増幅器A3の反転入力端子に接続された抵抗 R_9 と、一端が差動増幅器A3の非反転入力端子に接続され、他端が負の電源電圧 V_{ss} に接続された抵抗 R_{10} と、一端が正の電源電圧 V_{dd} に接続され、他端が差動増幅器A3の非反転入力端子に接続されたコンデンサ C_1 と、一端が負の電源電圧 V_{ss} に接続され、他端が差動増幅器A3の反転入力端子に接続されたコンデンサ C_2 とから構成される。

10

【0044】

本実施例では、 n MOSトランジスタ M_1 、 M_n と抵抗 R_D とからなるソース接地型増幅回路が図1のカスコード型増幅回路A1に相当する。抵抗 R_7 、 R_8 は第4の実施例のレベルシフト回路LS1を構成し、抵抗 R_9 、 R_{10} は第4の実施例のレベルシフト回路LS2を構成している。 n MOSトランジスタ M_n とレベルシフト回路LS1、LS2とコンデンサ C_1 、 C_2 と差動増幅器A3とは、電源バウンス除去回路を構成している。

20

【0045】

一般的に増幅回路は、他回路からの2種類の雑音の影響を受ける。1つは大振幅・低速な雑音、もう1つは小振幅・高速な雑音である。そこで、本実施例では、電源電圧 V_{dd} 、 V_{ss} のバウンス由来の雑音の経路として、 R_7 、 R_{10} を介する経路とコンデンサ C_1 、 C_2 を介する経路の2つを設ける。つまり、電源電圧 V_{dd} 、 V_{ss} に重畳する雑音のうち、大振幅・低速な雑音は R_7 、 R_{10} を介して差動増幅器A3に入力される。一方、小振幅・高速な雑音はコンデンサ C_1 、 C_2 を介して差動増幅器A3に入力される。

【0046】

本実施例では、抵抗 $R_7 \sim R_{10}$ として、例えば k オーダーの抵抗値の大きな抵抗を用いる。抵抗 $R_7 \sim R_{10}$ は同じ抵抗値とする。これにより、第4の実施例で説明したように、レベルシフト回路LS1の出力の動作点とレベルシフト回路LS2の出力の動作点とを同じにすることができる。

30

また、本実施例では、コンデンサ C_1 、 C_2 として、例えば pF オーダーの容量の小さなコンデンサを用いる。コンデンサ C_1 、 C_2 の容量値は同じ値であることが好ましい。

【0047】

以上のように、本実施例では、出力電圧 V_{out} に重畳する、電源電圧 V_{dd} 、 V_{ss} のバウンスに由来する雑音を除去することができる。また、本実施例では、抵抗値の大きな抵抗 $R_7 \sim R_{10}$ を用いることで、正負電源の貫通電流が少なくなり、電源バウンス除去回路の電源効率を向上させることができる。さらに、本実施例では、容量の小さなコンデンサ C_1 、 C_2 を用いることで、高速な雑音の除去に適した構成を実現しつつ、電源バウンス除去回路の面積効率を損なわない実装を実現することができる。

40

【0048】

なお、本実施例を第1～第4の実施例に適用してもよい。すなわち、図1、図3、図5のレベルシフト回路LS1の入力端子と出力端子間に本実施例と同様のコンデンサ C_1 を接続してもよいし、図6の抵抗 R_2 と並列にコンデンサ C_1 を接続してもよい。また、図9のレベルシフト回路LS1の入力端子と出力端子間にコンデンサ C_1 を接続し、レベルシフト回路LS2の入力端子と出力端子間にコンデンサ C_2 を接続してもよい。

【産業上の利用可能性】

【0049】

50

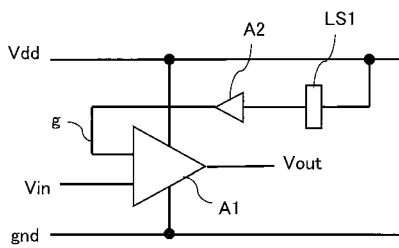
本発明は、増幅回路の雑音を除去する技術に適用することができる。

【符号の説明】

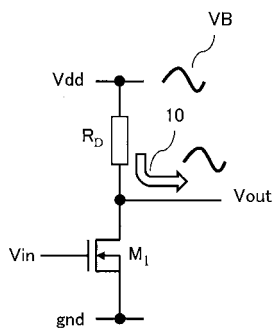
【0050】

A 1 ...カスコード型増幅回路、A 2 ...非反転増幅器、A 3 ...差動増幅器、I N V 1 ...帰還抵抗付きインバータ回路、L S 1 , L S 2 ...レベルシフト回路、M 1 , M 2 , M 4 , M 5 , M n ... n M O S トランジスタ、M 3 , M 6 ... p M O S トランジスタ、R D , R 1 ~ R 1 0 ... 抵抗、L 1 ... インダクタ、C 1 , C 2 ... コンデンサ。

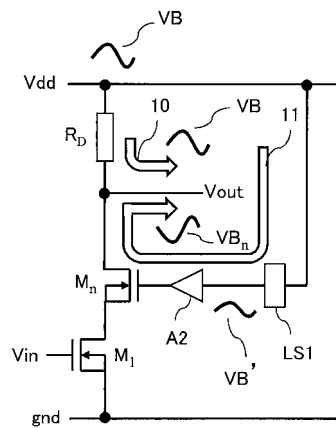
【図1】



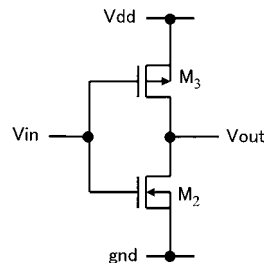
【図2】



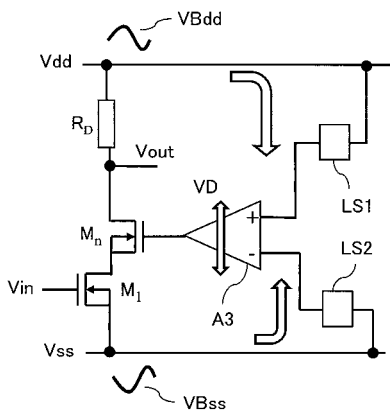
【図3】



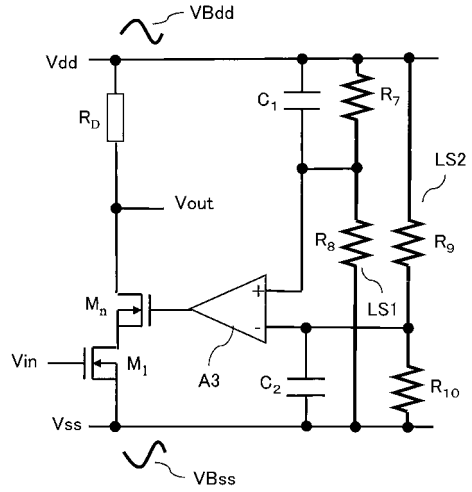
【図4】



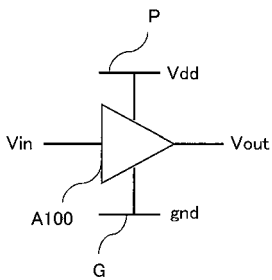
【 図 9 】



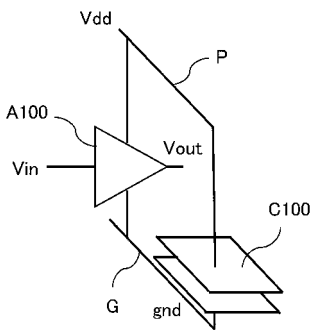
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(72)発明者 中野 慎介
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

(72)発明者 野坂 秀之
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

(72)発明者 小野寺 秀俊
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内

(72)発明者 土谷 亮
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内

(72)発明者 中尾 拓矢
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内

Fターム(参考) 5J500 AA01 AC46 AF08 AH10 AH25 AH29 AK01 AK18 AM17 AT06