

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-213055

(P2019-213055A)

(43) 公開日 令和1年12月12日(2019.12.12)

(51) Int.Cl.
H03F 1/48 (2006.01)

F I
H03F 1/48

テーマコード (参考)
5J500

審査請求 未請求 請求項の数 7 O L (全 19 頁)

(21) 出願番号 特願2018-107705 (P2018-107705)
(22) 出願日 平成30年6月5日(2018.6.5)

特許法第30条第2項適用申請有り [公開の事実]
▲1▼開催日: 2018年2月13日 ▲2▼集會名、
開催場所: 国立大学法人京都大学 大学院 情報学研究
科 29年度通信情報システム専攻 修士論文発表会
国立大学法人京都大学 総合研究9号館北館1階N1 (京
都府京都市左京区吉田本町36番地1) ▲3▼公開
者: 平塚 晶崇

(71) 出願人 000004226
日本電信電話株式会社
東京都千代田区大手町一丁目5番1号
(71) 出願人 504132272
国立大学法人京都大学
京都府京都市左京区吉田本町36番地1
(74) 代理人 100098394
弁理士 山川 茂樹
(74) 代理人 100153006
弁理士 小池 勇三
(74) 代理人 100064621
弁理士 山川 政樹
(72) 発明者 田仲 顕至
東京都千代田区大手町一丁目5番1号 日
本電信電話株式会社内

最終頁に続く

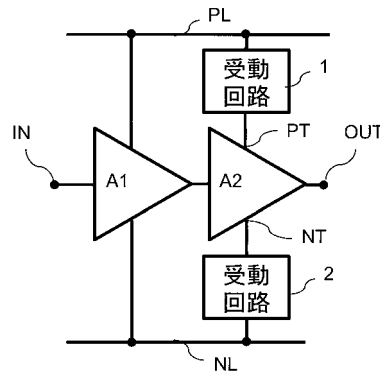
(54) 【発明の名称】 多段増幅回路

(57) 【要約】

【課題】従来よりも広帯域な多段増幅回路を提供する。

【解決手段】多段増幅回路は、縦続接続された増幅回路 A1、A2と、後段の増幅回路 A1の正側電源端子 PTと正側電源線 PLとの間、および増幅回路 A1の負側電源端子 NTと負側電源線 NLとの間の少なくとも一方に挿入された受動回路 1、2を備える。受動回路 1、2の特性は、増幅回路 A2の利得が初段の増幅回路 A1の遮断周波数よりも高い周波数で上昇するように設定される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

縦続接続された複数の増幅回路と、

初段以外の 1 つ以上の前記増幅回路の正側電源端子と正側電源線との間、および初段以外の 1 つ以上の前記増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された受動回路とを備え、

前記受動回路の特性は、この受動回路が挿入された 1 つ以上の前記増幅回路の利得が初段の前記増幅回路の遮断周波数よりも高い周波数で上昇するように設定されることを特徴とする多段増幅回路。

【請求項 2】

請求項 1 記載の多段増幅回路において、

前記受動回路は、

初段以外の 1 つ以上の前記増幅回路の正側電源端子と正側電源線との間、および初段以外の 1 つ以上の前記増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された抵抗と、

この抵抗と並列に設けられた容量とから構成されることを特徴とする多段増幅回路。

【請求項 3】

請求項 1 記載の多段増幅回路において、

前記受動回路は、

初段以外の 2 つの前記増幅回路のうち第 1 の増幅回路の正側電源端子と正側電源線との間、および前記第 1 の増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された第 1 の抵抗と、

初段以外の 2 つの前記増幅回路のうち前記第 1 の増幅回路と異なる第 2 の増幅回路の正側電源端子と正側電源線との間、および前記第 2 の増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された第 2 の抵抗と、

一端が前記第 1 の抵抗の第 1 の増幅回路側の端子に接続され、他端が前記第 2 の抵抗の第 2 の増幅回路側の端子に接続された容量とから構成され、

初段以外の 2 つの前記増幅回路は、反転増幅回路であることを特徴とする多段増幅回路。

【請求項 4】

請求項 2 または 3 記載の多段増幅回路において、

MOS トランジスタのゲートとソース間の容量を、前記受動回路の容量として用いることを特徴とする多段増幅回路。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の多段増幅回路において、

初段以外の前記増幅回路は、ソース接地増幅回路であることを特徴とする多段増幅回路。

【請求項 6】

請求項 1 乃至 4 のいずれか 1 項に記載の多段増幅回路において、

初段以外の前記増幅回路は、インバータ増幅回路であることを特徴とする多段増幅回路。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の多段増幅回路において、

初段の前記増幅回路は、入力端子と出力端子との間に挿入された帰還抵抗を有するトランスインピーダンス増幅回路であることを特徴とする多段増幅回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電気信号の増幅に利用される多段増幅回路に関する技術であって、特に広帯域化や、低消費電力化、省面積化、低雑音化が可能な技術に関するものである。

10

20

30

40

50

【背景技術】

【0002】

従来の多段増幅回路は、図19に示すように同程度の利得と帯域とを持つ複数の増幅回路A1, A2を直列に接続することで構成される。図19のINは信号入力端子、OUTは信号出力端子、PLは正側電源線、NLは負側電源線である。1段の増幅回路と多段増幅回路で同等の利得・帯域を実現した場合、多段増幅回路の方が消費電力が低くなるという特徴を持つ(非特許文献1参照)。

【0003】

従来の多段増幅回路で例えばTIA(Transimpedance Amplifier)を実現した場合、同程度の周波数特性の複数の増幅回路を直列に接続することから、減衰傾度が大きくなり、-3dB帯域が狭くなるという課題があった。

10

【0004】

図20(A)は増幅回路A1の周波数特性を示す図、図20(B)は増幅回路A2の周波数特性を示す図、図20(C)は増幅回路A1, A2を直列に接続した多段増幅回路の周波数特性を示す図である。増幅回路A1, A2の利得をG、遮断周波数を f_{-3dB} とすると、多段増幅回路の利得G'は、増幅回路A1, A2の利得Gよりも大きくなる。一方、多段増幅回路の遮断周波数 f'_{-3dB} は、増幅回路A1, A2の遮断周波数 f_{-3dB} よりも低くなってしまふ。

【先行技術文献】

【非特許文献】

20

【0005】

【非特許文献1】C.-H.Wu, C.-H.Lee, W.-S.Chen, and S.-I.Liu, "CMOS wideband amplifiers using multiple inductive-series peaking technique", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 2, 2005

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、上記課題を解決するためになされたもので、従来よりも広帯域な多段増幅回路を提供することを目的とする。

【課題を解決するための手段】

30

【0007】

本発明の多段増幅回路は、縦続接続された複数の増幅回路と、初段以外の1つ以上の前記増幅回路の正側電源端子と正側電源線との間、および初段以外の1つ以上の前記増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された受動回路とを備え、前記受動回路の特性は、この受動回路が挿入された1つ以上の前記増幅回路の利得が初段の前記増幅回路の遮断周波数よりも高い周波数で上昇するように設定されることを特徴とするものである。

【0008】

また、本発明の多段増幅回路の1構成例(第1~第5の実施例)において、前記受動回路は、初段以外の1つ以上の前記増幅回路の正側電源端子と正側電源線との間、および初段以外の1つ以上の前記増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された抵抗と、この抵抗と並列に設けられた容量とから構成されることを特徴とするものである。

40

また、本発明の多段増幅回路の1構成例(第6~第10の実施例)において、前記受動回路は、初段以外の2つの前記増幅回路のうち第1の増幅回路の正側電源端子と正側電源線との間、および前記第1の増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された第1の抵抗と、初段以外の2つの前記増幅回路のうち前記第1の増幅回路と異なる第2の増幅回路の正側電源端子と正側電源線との間、および前記第2の増幅回路の負側電源端子と負側電源線との間の少なくとも一方に挿入された第2の抵抗と、一端が前記第1の抵抗の第1の増幅回路側の端子に接続され、他端が前記第2の抵抗の第2の増

50

幅回路側の端子に接続された容量とから構成され、初段以外の2つの前記増幅回路は、反転増幅回路であることを特徴とするものである。

【0009】

また、本発明の多段増幅回路の1構成例(第3、第7、第9の実施例)は、MOSトランジスタのゲートとソース間の容量を、前記受動回路の容量として用いることを特徴とするものである。

また、本発明の多段増幅回路の1構成例(第1、第2の実施例)において、初段以外の前記増幅回路は、ソース接地増幅回路である。

また、本発明の多段増幅回路の1構成例(第4、第8～第10の実施例)において、初段以外の前記増幅回路は、インバータ増幅回路である。

また、本発明の多段増幅回路の1構成例(第10の実施例)において、初段の前記増幅回路は、入力端子と出力端子との間に挿入された帰還抵抗を有するトランスインピーダンス増幅回路である。

【発明の効果】

【0010】

本発明によれば、初段以外の1つ以上の増幅回路の正側電源端子と正側電源線との間、および初段以外の1つ以上の増幅回路の負側電源端子と負側電源線との間の少なくとも一方に受動回路を挿入し、受動回路の特性を、この受動回路が挿入される1つ以上の増幅回路の利得が初段の増幅回路の遮断周波数よりも高い周波数で上昇するように設定することにより、高周波において利得を向上させることができるので、従来よりも広帯域な多段増幅回路を実現することができる。

【0011】

また、本発明では、受動回路を抵抗と容量の並列回路から構成することにより、受動回路を能動素子で実現する場合に比べて多段増幅回路の消費電力を低減することができる。また、本発明では、受動回路をインダクタで実現する場合に比べて多段増幅回路の省面積化を実現することができる。

【0012】

また、本発明では、受動回路を第1、第2の抵抗と容量とから構成することにより、受動回路を抵抗と容量の並列回路から構成する場合に比べて多段増幅回路の省面積化を実現することができる。

【0013】

また、本発明では、MOSトランジスタのゲートとソース間の容量を、受動回路の容量として用いることにより、多段増幅回路の更なる省面積化が可能となる。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の多段増幅回路の構成を示すブロック図である。

【図2】図2は、本発明の多段増幅回路の周波数特性を説明する図である。

【図3】図3は、本発明の第1の実施例に係る多段増幅回路の構成を示す回路図である。

【図4】図4は、本発明の第1の実施例に係る多段増幅回路の周波数特性を説明する図である。

【図5】図5は、本発明の第2の実施例に係る多段増幅回路の構成を示す回路図である。

【図6】図6は、本発明の第3の実施例に係る多段増幅回路の構成を示す回路図である。

【図7】図7は、本発明の第4の実施例に係る多段増幅回路の構成を示す回路図である。

【図8】図8は、本発明の第5の実施例に係る多段増幅回路の構成を示す回路図である。

【図9】図9は、本発明の第5の実施例に係る多段増幅回路の周波数特性を説明する図である。

【図10】図10は、従来の多段増幅回路の構成を示す回路図である。

【図11】図11は、本発明の第4の実施例と第5の実施例を組み合わせた多段増幅回路の構成を示す回路図である。

【図12】図12は、図11の各増幅回路の周波数特性および多段増幅回路の周波数特性

10

20

30

40

50

を示す図である。

【図 1 3】図 1 3 は、図 1 0 と図 1 1 の多段増幅回路の周波数特性を示す図である。

【図 1 4】図 1 4 は、本発明の第 6 の実施例に係る多段増幅回路の構成を示す回路図である。

【図 1 5】図 1 5 は、本発明の第 7 の実施例に係る多段増幅回路の構成を示す回路図である。

【図 1 6】図 1 6 は、本発明の第 8 の実施例に係る多段増幅回路の構成を示す回路図である。

【図 1 7】図 1 7 は、本発明の第 9 の実施例に係る多段増幅回路の構成を示す回路図である。

【図 1 8】図 1 8 は、本発明の第 1 0 の実施例に係る多段増幅回路の構成を示す回路図である。

【図 1 9】図 1 9 は、従来の多段増幅回路の構成を示すブロック図である。

【図 2 0】図 2 0 は、従来の多段増幅回路の周波数特性を説明する図である。

【発明を実施するための形態】

【0015】

[発明の概要]

本発明では、多段増幅回路における初段以外の増幅回路と電源線との間に受動回路を挿入する。従来の技術では、増幅回路と電源線との間に、抵抗などの周波数によってインピーダンスが変動しない素子を挿入する。これに対して、本発明では、図 1 に示すように、後段の増幅回路 A 2 と電源線 P L , N L との間に、周波数によってインピーダンスが変動する受動回路 1 , 2 を挿入する。図 1 の P T は増幅回路 A 2 の正側電源端子、N T は増幅回路 A 2 の負側電源端子である。本発明により、信号が入力された際に、増幅回路 A 2 と電源線 P L , N L の電位差の変動に応じて利得を変動させ、高周波において利得を向上させることができる。

【0016】

図 2 (A) は図 1 の増幅回路 A 1 の周波数特性を示す図、図 2 (B) は図 1 の増幅回路 A 2 の周波数特性を示す図、図 2 (C) は増幅回路 A 1 , A 2 を縦続接続した多段増幅回路の周波数特性を示す図である。受動回路 1 , 2 を挿入したことにより、図 2 (B) に示すように増幅回路 A 2 の周波数特性は高周波で利得が増大する特性となる。増幅回路 A 1 の利得を G_{A1} 、遮断周波数を f_{-3dB} とすると、多段増幅回路の利得 G' は増幅回路 A 1 の利得 G_{A1} よりも大きくなり、多段増幅回路の遮断周波数 f'_{-3dB} は増幅回路 A 1 の遮断周波数 f_{-3dB} よりも高くなる。

【0017】

[第 1 の実施例]

以下、本発明の実施例について図面を参照して説明する。図 3 は本発明の第 1 の実施例に係る多段増幅回路の構成を示す回路図であり、図 1 と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A 1 , A 2 a と、後段の増幅回路 A 2 a の負側電源端子と負側電源線 N L との間に挿入された受動回路 2 a とから構成される。

【0018】

増幅回路 A 2 a は、ゲート（増幅回路 A 2 a の入力端子）が増幅回路 A 1 の出力端子に接続され、ドレイン（増幅回路 A 2 a の出力端子および正側電源端子）が多段増幅回路の信号出力端子 O U T に接続された n M O S トランジスタ Q 1 と、一端が正側電源線 P L に接続され、他端が n M O S トランジスタ Q 1 のドレインに接続された負荷抵抗 R 1 とから構成される。増幅回路 A 2 a は、n M O S トランジスタ Q 1 と負荷抵抗 R 1 とからなるソース接地増幅回路である。

【0019】

受動回路 2 a は、一端が n M O S トランジスタ Q 1 のソース（増幅回路 A 2 a の負側電源端子）に接続され、他端が負側電源線 N L に接続された抵抗 R 2 と、一端が n M O S ト

10

20

30

40

50

ランジスタ Q 1 のソースに接続され、他端が負側電源線 N L に接続された容量 C 1 とから構成される。このように本実施例の受動回路 2 a は、抵抗 R 2 と容量 C 1 とからなる並列回路である。

【 0 0 2 0 】

受動回路 2 a のインピーダンスは、入力周波数が 0 に近づくとつれて R_s (R_s は抵抗 R 2 の抵抗値) に近づき、入力周波数が無限大に近づくとつれて 0 に近づく。入力周波数が 0 の時の増幅回路 A 2 a の利得は、 R_d / R_s (R_d は負荷抵抗 R 1 の抵抗値) となる。ここで、増幅回路 A 2 a のトランスコンダクタンスを g_m とすると、 $R_s \gg 1 / g_m$ となることを仮定した。このことから、増幅回路 A 2 a の低周波での利得は、負荷抵抗値が R_d の一般的なソース接地増幅回路に比べ、低下する。

10

【 0 0 2 1 】

しかしながら、増幅回路 A 2 a の高周波での利得は、受動回路 2 a のインピーダンスが 0 となるため、負荷抵抗値が R_d の一般的なソース接地増幅回路と同程度に復帰する。このことにより、図 2 (B) と同様に高周波で利得が増大する増幅回路 A 2 a を実現することができる。

【 0 0 2 2 】

図 4 (A) は図 3 の増幅回路 A 1 の周波数特性を示す図、図 4 (B) は図 3 の増幅回路 A 2 a の周波数特性を示す図、図 4 (C) は増幅回路 A 1 , A 2 a を縦続接続した多段増幅回路の周波数特性を示す図である。本実施例では、初段の増幅回路 A 1 の遮断周波数を f_1 、後段の増幅回路 A 2 a の利得が上昇するゼロ点の周波数を f_2 とすると、次式が成立するように設計すればよい。

20

$$f_1 < f_2 \quad \dots (1)$$

【 0 0 2 3 】

このような周波数特性の設定を行うことにより、利得 G' が増幅回路 A 1 の利得 G_{A1} よりも大きく、遮断周波数 f'_{-3dB} が増幅回路 A 1 の遮断周波数 f_1 よりも高い多段増幅回路を実現することができる。本実施例の一般的な設計方法では、増幅回路 A 2 a の高周波での利得が所望の値になるように、負荷抵抗 R 1 の抵抗値 R_d と抵抗 R 2 の抵抗値 R_s とを設定し、式 (1) を満たすように容量 C 1 の容量値を設定すればよい。

【 0 0 2 4 】

本実施例では、受動回路 2 a を抵抗 R 2 と容量 C 1 とから構成することにより、受動回路を能動素子で実現する場合に比べて多段増幅回路の消費電力を低減することができる。また、本実施例では、受動回路をインダクタで実現する場合に比べて回路の省面積化を実現することができる。

30

【 0 0 2 5 】

[第 2 の実施例]

次に、本発明の第 2 の実施例について説明する。図 5 は本発明の第 2 の実施例に係る多段増幅回路の構成を示す回路図であり、図 1、図 3 と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A 1 , A 2 b と、後段の増幅回路 A 2 b の正側電源端子と正側電源線 P L との間に挿入された受動回路 1 b とから構成される。

40

【 0 0 2 6 】

増幅回路 A 2 b は、ゲート (増幅回路 A 2 b の入力端子) が増幅回路 A 1 の出力端子に接続され、ドレイン (増幅回路 A 2 b の出力端子および負側電源端子) が多段増幅回路の信号出力端子 O U T に接続された p M O S トランジスタ Q 2 と、一端が p M O S トランジスタ Q 2 のドレインに接続され、他端が負側電源線 N L に接続された負荷抵抗 R 3 とから構成される。増幅回路 A 2 b は、p M O S トランジスタ Q 2 と負荷抵抗 R 3 とからなるソース接地増幅回路である。

【 0 0 2 7 】

受動回路 1 b は、一端が正側電源線 P L に接続され、他端が p M O S トランジスタ Q 2 のソース (増幅回路 A 2 b の正側電源端子) に接続された抵抗 R 4 と、一端が正側電源線

50

PLに接続され、他端がpMOSトランジスタQ2のソースに接続された容量C2とから構成される。受動回路1bは、抵抗R4と容量C2とからなる並列回路である。

【0028】

受動回路1bのインピーダンスは、入力周波数が0に近づくにつれて R_s (R_s は抵抗R4の抵抗値)に近づき、入力周波数が無限大に近づくにつれて0に近づく。入力周波数が0の時の増幅回路A2bの利得は、 R_d / R_s (R_d は負荷抵抗R3の抵抗値)となる。第1の実施例と同様に、増幅回路A2bのトランスコンダクタンスを g_m とすると、 $R_s \gg 1 / g_m$ となることを仮定した。このことから、増幅回路A2bの低周波での利得は、負荷抵抗値が R_d の一般的なソース接地増幅回路に比べ、低下する。

【0029】

しかしながら、増幅回路A2bの高周波での利得は、受動回路1bのインピーダンスが0となるため、負荷抵抗値が R_d の一般的なソース接地増幅回路と同程度に復帰する。このことにより、図4(B)と同様に高周波で利得が増大する増幅回路A2bを実現することができる。

【0030】

本実施例では、第1の実施例と同様に、初段の増幅回路A1の遮断周波数を f_1 、後段の増幅回路A2bの利得が上昇するゼロ点の周波数を f_2 とすると、式(1)が成立するように設計すればよい。これにより、図4(C)に示した第1の実施例の多段増幅回路と同様に、利得 G' が増幅回路A1の利得 G_{A1} よりも大きく、遮断周波数 f'_{-3dB} が増幅回路A1の遮断周波数 f_1 よりも高い多段増幅回路を実現することができる。本実施例の一般的な設計方法では、増幅回路A2bの高周波での利得が所望の値になるように、負荷抵抗R3の抵抗値 R_d と抵抗R4の抵抗値 R_s とを設定し、式(1)を満たすように容量C2の容量値を設定すればよい。

【0031】

本実施例では、受動回路1bを抵抗R4と容量C2とから構成することにより、受動回路を能動素子で実現する場合に比べて多段増幅回路の消費電力を低減することができる。また、本実施例では、受動回路をインダクタで実現する場合に比べて多段増幅回路の省面積化を実現することができる。

【0032】

なお、第1、第2の実施例において、後段の増幅回路A2a, A2bはソース接地増幅回路以外の構成の増幅回路であってもよい。

【0033】

[第3の実施例]

次に、本発明の第3の実施例について説明する。図6は本発明の第3の実施例に係る多段増幅回路の構成を示す回路図であり、図1、図3、図5と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路A1, A2bと、後段の増幅回路A2bの正側電源端子PTと正側電源線PLとの間に挿入された受動回路1cとから構成される。

【0034】

受動回路1cは、第2の実施例の容量C2の代わりに、ゲートが正側電源線PLに接続され、ソースとドレインとボディとが増幅回路A2bの正側電源端子PTに接続されたnMOSトランジスタQ3を用いたものである。微細プロセスのMOSトランジスタはゲートとソース間に非常に薄い酸化膜を持つことから、図6に示したような構成をとることで、正側電源線PLと増幅回路A2bの正側電源端子PTとの間に容量C2を挿入した場合と同様の振る舞いとなる。nMOSトランジスタQ3の代わりに、ゲートが正側電源線PLに接続され、ソースとドレインとボディとが増幅回路A2bの正側電源端子PTに接続されたpMOSトランジスタを用いてもよい。

【0035】

本実施例では、受動回路1cを第2の実施例に適用した例で説明しているが、第1の実施例の容量C1の代わりに、ゲートが負側電源線NLに接続され、ソースとドレインとボ

10

20

30

40

50

ディとが増幅回路 A 2 a の負側電源端子に接続された n M O S トランジスタまたは p M O S トランジスタを用いてもよい。

【 0 0 3 6 】

また、本実施例において n M O S トランジスタまたは p M O S トランジスタの向きを反転させて、n M O S トランジスタまたは p M O S トランジスタのソースとドレインとボディとを正側電源線 P L または負側電源線 N L に接続し、ゲートを増幅回路 A 2 b の正側電源端子または増幅回路 A 2 a の負側電源端子に接続するようにしてもよい。

また、上記で説明したとおり、後段の増幅回路 A 2 a , A 2 b はソース接地増幅回路以外の構成の増幅回路であってもよい。

【 0 0 3 7 】

微細プロセスの M O S トランジスタのゲートとソース間の酸化膜は M I M (Metal Insulator Metal) 容量で使われる絶縁膜に比べて薄いため、本実施例では、第 1、第 2 の実施例と同様の効果に加え、面積あたりの容量値を高くすることが可能となる。さらに、第 1、第 2 の実施例のように容量 C 1 , C 2 を配置する場合、不要な容量結合を避けるために容量 C 1 , C 2 の直上に他の素子を配置することができないが、本実施例のように M O S トランジスタを容量として用いる場合には、M O S トランジスタの直上に他の素子を配置することができる。その結果、本実施例では、多段増幅回路の更なる省面積化が可能となる。

【 0 0 3 8 】

[第 4 の実施例]

次に、本発明の第 4 の実施例について説明する。図 7 は本発明の第 4 の実施例に係る多段増幅回路の構成を示す回路図であり、図 1、図 3、図 5、図 6 と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A 1 , A 2 d と、後段の増幅回路 A 2 d の正側電源端子と正側電源線 P L との間に挿入された受動回路 1 d と、増幅回路 A 2 d の負側電源端子と負側電源線 N L との間に挿入された受動回路 2 d とから構成される。

【 0 0 3 9 】

増幅回路 A 2 d は、ゲート (増幅回路 A 2 d の入力端子) が増幅回路 A 1 の出力端子に接続され、ドレイン (増幅回路 A 2 d の出力端子) が多段増幅回路の信号出力端子 O U T に接続された p M O S トランジスタ Q 4 と、ゲート (増幅回路 A 2 d の入力端子) が増幅回路 A 1 の出力端子に接続され、ドレイン (増幅回路 A 2 d の出力端子) が多段増幅回路の信号出力端子 O U T に接続された n M O S トランジスタ Q 5 とから構成される。増幅回路 A 2 d は、p M O S トランジスタ Q 4 と n M O S トランジスタ Q 5 とからなるインバータ増幅回路である。

【 0 0 4 0 】

受動回路 1 d は、一端が正側電源線 P L に接続され、他端が p M O S トランジスタ Q 4 のソース (増幅回路 A 2 d の正側電源端子) に接続された抵抗 R 5 と、一端が正側電源線 P L に接続され、他端が p M O S トランジスタ Q 4 のソースに接続された容量 C 3 とから構成される。このように本実施例の受動回路 1 d は、抵抗 R 5 と容量 C 3 とからなる並列回路である。

【 0 0 4 1 】

受動回路 2 d は、一端が n M O S トランジスタ Q 5 のソース (増幅回路 A 2 d の負側電源端子) に接続され、他端が負側電源線 N L に接続された抵抗 R 6 と、一端が n M O S トランジスタ Q 5 のソースに接続され、他端が負側電源線 N L に接続された容量 C 4 とから構成される。受動回路 2 d は、抵抗 R 6 と容量 C 4 とからなる並列回路である。

【 0 0 4 2 】

インバータ増幅回路では、入力信号の大きさによって、p M O S トランジスタ Q 4 または n M O S トランジスタ Q 5 のどちらか一方がオフ状態となり、負荷抵抗とみなせる。すなわち、p M O S トランジスタ Q 4 がオフ状態の場合には p M O S トランジスタ Q 4 が n M O S トランジスタ Q 5 の負荷抵抗となり、n M O S トランジスタ Q 5 がオフ状態の場合

10

20

30

40

50

には n M O S トランジスタ Q 5 が p M O S トランジスタ Q 4 の負荷抵抗となる。さらに、p M O S トランジスタ Q 4 がオフ状態の場合には、p M O S トランジスタ Q 4 と抵抗 R 5 とが直列に接続されるため、n M O S トランジスタ Q 5 の負荷抵抗が大きくなる。さらに、n M O S トランジスタ Q 5 がオフ状態の場合には、n M O S トランジスタ Q 5 と抵抗 R 6 とが直列に接続されるため、p M O S トランジスタ Q 4 の負荷抵抗が大きくなる。

【 0 0 4 3 】

本実施例においても、初段の増幅回路 A 1 の遮断周波数を f_1 、後段の増幅回路 A 2 d の利得が上昇するゼロ点の周波数を f_2 とすると、式 (1) を満たすように容量 C 3 , C 4 の容量値を設定すればよい。

【 0 0 4 4 】

本実施例では、受動回路 1 d を抵抗 R 5 と容量 C 3 とから構成し、受動回路 2 d を抵抗 R 6 と容量 C 4 とから構成することにより、これら受動回路を能動素子で実現する場合に比べて回路の消費電力を低減することができる。また、本実施例では、受動回路をインダクタで実現する場合に比べて回路の省面積化を実現することができる。さらに、本実施例では、第 1、第 2 の実施例のように片側の電源線に受動回路を設ける場合に比べて多段増幅回路の利得を向上させることができる。

【 0 0 4 5 】

なお、増幅回路 A 2 d としてインバータ増幅回路を用いる場合に、増幅回路 A 2 d の正側電源端子と正側電源線 P L との間、および負側電源端子と負側電源線 N L との間のどちらか一方のみに受動回路を挿入するようにしてもよい。

【 0 0 4 6 】

[第 5 の実施例]

次に、本発明の第 5 の実施例について説明する。図 8 は本発明の第 5 の実施例に係る多段増幅回路の構成を示す回路図であり、図 1、図 3、図 5 ~ 図 7 と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A 1 ~ A 3 と、増幅回路 A 2 の負側電源端子 N T と負側電源線 N L との間に挿入された受動回路 2 e と、増幅回路 A 3 の負側電源端子 N T と負側電源線 N L との間に挿入された受動回路 4 e とから構成される。

【 0 0 4 7 】

受動回路 2 e は、一端が増幅回路 A 2 の負側電源端子 N T に接続され、他端が負側電源線 N L に接続された抵抗 R 7 と、一端が増幅回路 A 2 の負側電源端子 N T に接続され、他端が負側電源線 N L に接続された容量 C 5 とから構成される。

【 0 0 4 8 】

受動回路 4 e は、一端が増幅回路 A 3 の負側電源端子 N T に接続され、他端が負側電源線 N L に接続された抵抗 R 8 と、一端が増幅回路 A 3 の負側電源端子 N T に接続され、他端が負側電源線 N L に接続された容量 C 6 とから構成される。

【 0 0 4 9 】

図 9 (A) は図 8 の増幅回路 A 1 の周波数特性を示す図、図 9 (B) は図 8 の増幅回路 A 2 の周波数特性を示す図、図 9 (C) は図 8 の増幅回路 A 3 の周波数特性を示す図、図 9 (D) は増幅回路 A 1 ~ A 3 を縦続接続した多段増幅回路の周波数特性を示す図である。増幅回路 A 1 ~ A 3 としてソース接地増幅回路を仮定した場合、増幅回路 A 2 と並列回路 (受動回路 2 e) の等価トランスコンダクタンスと等価出力抵抗より、2 段目の増幅回路 A 2 の利得が上昇するゼロ点の周波数 f_2 は次式のようになる。

$$f_2 = 1 / (2 R C) \quad \dots (2)$$

【 0 0 5 0 】

式 (2) の R は受動回路 2 e の抵抗 R 7 の抵抗値、C は受動回路 2 e の容量 C 5 の容量値である。受動回路 4 e の抵抗 R 8 の抵抗値を R、受動回路 4 e の容量 C 6 の容量値を C とすれば、3 段目の増幅回路 A 3 の利得が上昇するゼロ点の周波数 f_3 についても式 (2) で表すことができる。初段の増幅回路 A 1 の遮断周波数を f_1 とすると、次の式 (3) ~ 式 (5) のいずれかが成立するように設計すればよい。

10

20

30

40

50

$$f_1 < f_2 < f_3 \quad \dots (3)$$

$$f_1 < f_3 < f_2 \quad \dots (4)$$

$$f_1 < f_2 = f_3 \quad \dots (5)$$

【0051】

このような周波数特性の設定を行うことにより、利得 G' が増幅回路 A 1 の利得 G_{A1} よりも大きく、遮断周波数 f'_{-3dB} が増幅回路 A 1 の遮断周波数 f_1 よりも高い多段増幅回路を実現することができる。本実施例の一般的な設計方法では、増幅回路 A 2, A 3 の高周波での利得が所望の値になるように、抵抗 R 7, R 8 の抵抗値を設定し、式 (3) ~ 式 (5) のいずれかを満たすように容量 C 5, C 6 の容量値を設定すればよい。

【0052】

本実施例では、複数の増幅回路 A 2, A 3 に受動回路 2 e, 4 e を設け、それぞれの増幅回路 A 2, A 3 の利得が上昇するゼロ点の周波数 f_2, f_3 を初段の増幅回路 A 1 の遮断周波数 f_1 よりも高くすることにより、第 1 ~ 第 4 の実施例と比較して多段増幅回路の -3 dB 帯域をさらに延伸させることができる。

【0053】

本実施例では、受動回路 2 e を抵抗 R 7 と容量 C 5 とから構成し、受動回路 4 e を抵抗 R 8 と容量 C 6 とから構成することにより、これら受動回路を能動素子で実現する場合に比べて多段増幅回路の消費電力を低減することができる。また、本実施例では、受動回路をインダクタで実現する場合に比べて多段増幅回路の省面積化を実現することができる。また、本実施例では、後段の増幅回路 A 2, A 3 で帯域を延伸することができるので、初段の増幅回路 A 1 に設ける帰還抵抗をより大きくすることができ、さらに SN 比の良い TIA を実現することができる。

【0054】

なお、本実施例では、増幅回路 A 2 と受動回路 2 e、および増幅回路 A 3 と受動回路 4 e のそれぞれの構成として、第 1 の実施例の増幅回路 A 2 a と受動回路 2 a に相当する構成を用いたが、これに限るものではなく、第 2 の実施例に相当する構成を用いてもよいし、第 3 の実施例に相当する構成を用いてもよいし、第 4 の実施例に相当する構成を用いてもよい。また、第 4 の実施例で説明したとおり、増幅回路 A 2, A 3 としてインバータ増幅回路を用いる場合、増幅回路 A 2, A 3 の正側電源端子と正側電源線 PL との間、および負側電源端子と負側電源線 NL との間のどちらか一方のみに受動回路を挿入するようにしてもよい。また、本実施例では、受動回路を挿入する増幅回路を 2 段としたが、3 段以上としてもよいことは言うまでもない。

【0055】

ここで、第 4 の実施例と第 5 の実施例を組み合わせた回路を非特許文献 1 に開示された従来の回路と比較し、本発明の帯域延伸効果を検証した。図 10 に非特許文献 1 に開示された従来の多段増幅回路の構成を示し、図 11 に第 4 の実施例と第 5 の実施例を組み合わせた多段増幅回路の構成を示す。

【0056】

初段の増幅回路 A 1 f は、pMOS トランジスタ Q 6 と、nMOS トランジスタ Q 7 と、帰還抵抗 R 9 とから構成される。2 段目の増幅回路 A 2 f は、pMOS トランジスタ Q 8 と、nMOS トランジスタ Q 9 と、帰還抵抗 R 10 とから構成される。3 段目の増幅回路 A 3 f は、pMOS トランジスタ Q 10 と、nMOS トランジスタ Q 11 と、帰還抵抗 R 11 とから構成される。

【0057】

2 段目の増幅回路 A 2 f と正側電源線 PL との間に挿入された受動回路 1 f は、抵抗 R 12 と容量 C 7 の並列回路からなる。増幅回路 A 2 f と負側電源線 NL との間に挿入された受動回路 2 f は、抵抗 R 13 と容量 C 8 の並列回路からなる。3 段目の増幅回路 A 3 f と正側電源線 PL との間に挿入された受動回路 3 f は、抵抗 R 14 と容量 C 9 の並列回路からなる。増幅回路 A 3 f と負側電源線 NL との間に挿入された受動回路 4 f は、抵抗 R 15 と容量 C 10 の並列回路からなる。

10

20

30

40

50

【 0 0 5 8 】

ここでは、帰還抵抗 $R_9 \sim R_{11}$ の抵抗値を 300Ω とし、pMOSトランジスタ Q_6, Q_8, Q_{10} のサイズを $60 \text{ nm} \times 54 \mu\text{m}$ 、nMOSトランジスタ Q_7, Q_9, Q_{11} のサイズを $60 \text{ nm} \times 36 \mu\text{m}$ とした。また、抵抗 $R_{12} \sim R_{15}$ の抵抗値を 20Ω とし、容量 C_7, C_8 の容量値を 6 pF 、容量 C_9, C_{10} の容量値を 3 pF とした。

【 0 0 5 9 】

図 12 は図 11 の各増幅回路 $A_{1f} \sim A_{3f}$ の周波数特性、および増幅回路 $A_{1f} \sim A_{3f}$ を縦続接続した多段増幅回路の周波数特性を示す図である。図 12 の 120 は初段の増幅回路 A_{1f} の周波数特性、121 は 2 段目の増幅回路 A_{2f} の周波数特性、122 は 3 段目の増幅回路 A_{3f} の周波数特性、123 は多段増幅回路の周波数特性を示している。図 11 の初段の増幅回路 A_{1f} については直流付近に利得のピークが現れ、2 段目の増幅回路 A_{2f} については 4 GHz 付近に利得のピークが現れ、3 段目の増幅回路 A_{3f} については 12 GHz 付近に利得のピークが現れている。

10

【 0 0 6 0 】

図 13 は図 10 と図 11 の多段増幅回路の周波数特性を示す図である。図 13 の 130 は図 10 の多段増幅回路の周波数特性、131 は図 11 の多段増幅回路の周波数特性を示している。図 11 の構成によれば、図 10 の従来の多段増幅回路と比較して 9 GHz 帯域が延伸していることが分かる。

【 0 0 6 1 】

[第 6 の実施例]

次に、本発明の第 6 の実施例について説明する。図 14 は本発明の第 6 の実施例に係る多段増幅回路の構成を示す回路図であり、図 1、図 3、図 5 ~ 図 8 と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A_1, A_2g, A_3g と、増幅回路 A_2g, A_3g の正側電源端子 PT と正側電源線 PL との間に挿入された受動回路 $5g$ とから構成される。

20

【 0 0 6 2 】

本実施例の 2 つの増幅回路 A_2g, A_3g は反転増幅回路である。受動回路 $5g$ は、一端が正側電源線 PL に接続され、他端が増幅回路 A_2g の正側電源端子 PT に接続された抵抗 R_{16} と、一端が正側電源線 PL に接続され、他端が増幅回路 A_3g の正側電源端子 PT に接続された抵抗 R_{17} と、一端が抵抗 R_{16} の増幅回路 A_2g 側の端子に接続され、他端が抵抗 R_{17} の増幅回路 A_3g 側の端子に接続された容量 C_{11} とから構成される。

30

【 0 0 6 3 】

容量 C_{11} の容量値を $C/2$ とすると、本実施例の多段増幅回路の利得向上効果は、第 5 の実施例の容量 C_5, C_6 の容量値が 2 つとも C であり、増幅器 A_2, A_3 が反転増幅回路である場合と等価になる。

本実施例においても、初段の増幅回路 A_1 の遮断周波数を f_1 、2 段目の増幅回路 A_2g の利得が上昇するゼロ点の周波数を f_2 、3 段目の増幅回路 A_3g の利得が上昇するゼロ点の周波数を f_3 とすれば、式 (3) ~ 式 (5) のいずれかが成立するように設計すればよい。

40

【 0 0 6 4 】

本実施例では、抵抗 R_{16} と R_{17} にそれぞれ並列に 2 つの容量を挿入する場合に比べ、容量 C_{11} の容量が半分が良いため、第 5 の実施例よりも狭い回路面積で同等の利得向上を得ることができる。よって、回路の省面積化が可能になる。

【 0 0 6 5 】

なお、本実施例では、反転増幅回路である A_2g, A_3g が例えば pMOSトランジスタを用いたソース接地増幅回路の場合について示しているが、増幅回路 A_2g, A_3g が例えば nMOSトランジスタを用いたソース接地増幅回路であれば、増幅回路 A_2g, A_3g の負側電源端子 NT と負側電源線 NL との間に受動回路 $5g$ と同様の回路を挿入すればよい。この場合、受動回路の容量は、増幅回路 A_2g の負側電源端子 NT と負側電源線

50

N Lとの間に挿入される抵抗の増幅回路 A 2 g 側の端子と、増幅回路 A 3 g の負側電源端子 N T と負側電源線 N L との間に挿入される抵抗の増幅回路 A 3 g 側の端子との間に接続される。

【 0 0 6 6 】

[第 7 の実施例]

次に、本発明の第 7 の実施例について説明する。図 1 5 は本発明の第 7 の実施例に係る多段増幅回路の構成を示す回路図であり、図 1、図 3、図 5 ~ 図 8、図 1 4 と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A 1、A 2 g、A 3 g と、増幅回路 A 2 g、A 3 g の正側電源端子 P T と正側電源線 P L との間に挿入された受動回路 5 h とから構成される。

10

【 0 0 6 7 】

受動回路 5 h は、第 6 の実施例の容量 C 1 1 の代わりに、ゲートが抵抗 R 1 6 の増幅回路 A 2 g 側の端子に接続され、ソースとドレインとボディとが抵抗 R 1 7 の増幅回路 A 3 g 側の端子に接続された n M O S トランジスタ Q 1 2 を用いたものである。第 3 の実施例で説明したとおり、微細プロセスの M O S トランジスタはゲートとソース間に非常に薄い酸化膜を持つことから、図 1 5 に示したような構成をとることで、抵抗 R 1 6 と R 1 7 との間に容量 C 1 1 を挿入した場合と同様の振る舞いとなる。また、n M O S トランジスタ Q 1 2 の代わりに、ゲートが抵抗 R 1 6 の増幅回路 A 2 g 側の端子に接続され、ソースとドレインとボディとが抵抗 R 1 7 の増幅回路 A 3 g 側の端子に接続された p M O S トランジスタを用いてもよい。

20

【 0 0 6 8 】

本実施例では、反転増幅回路である A 2 g、A 3 g が例えば p M O S トランジスタを用いたソース接地増幅回路の場合について示しているが、増幅回路 A 2 g、A 3 g が例えば n M O S トランジスタを用いたソース接地増幅回路の場合には、増幅回路 A 2 g、A 3 g の負側電源端子 N T と負側電源線 N L との間に挿入される受動回路の容量として、n M O S トランジスタまたは p M O S トランジスタを用いてもよい。

【 0 0 6 9 】

また、容量として用いる n M O S トランジスタまたは p M O S トランジスタの向きを反転させて、n M O S トランジスタまたは p M O S トランジスタのソースとドレインとボディとを抵抗 R 1 6 の増幅回路 A 2 g 側の端子に接続し、ゲートを抵抗 R 1 7 の増幅回路 A 3 g 側の端子に接続するようにしてもよい。

30

【 0 0 7 0 】

本実施例では、第 6 の実施例と同様の効果に加え、面積あたりの容量値を高くすることが可能となる。さらに、第 6 の実施例のように容量 C 1 1 を配置する場合、容量 C 1 1 の直上に他の素子を配置することができないが、本実施例のように M O S トランジスタを容量として用いる場合には、M O S トランジスタの直上に他の素子を配置することができる。その結果、本実施例では、多段増幅回路の省面積化が可能となる。

【 0 0 7 1 】

[第 8 の実施例]

次に、本発明の第 8 の実施例について説明する。図 1 6 は本発明の第 8 の実施例に係る多段増幅回路の構成を示す回路図であり、図 1、図 3、図 5 ~ 図 8、図 1 4、図 1 5 と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A 1、A 2 i、A 3 i と、増幅回路 A 2 i、A 3 i の正側電源端子 P T と正側電源線 P L との間に挿入された受動回路 5 i と、増幅回路 A 2 i、A 3 i の負側電源端子 N T と負側電源線 N L との間に挿入された受動回路 6 i とから構成される。

40

【 0 0 7 2 】

本実施例の 2 つの増幅回路 A 2 i、A 3 i はインバータ増幅回路である。受動回路 5 i は、一端が正側電源線 P L に接続され、他端が増幅回路 A 2 i の正側電源端子 P T に接続された抵抗 R 1 8 と、一端が正側電源線 P L に接続され、他端が増幅回路 A 3 i の正側電源端子 P T に接続された抵抗 R 1 9 と、一端が抵抗 R 1 8 の増幅回路 A 2 i 側の端子に接

50

続され、他端が抵抗 R_{19} の増幅回路 A_{3i} 側の端子に接続された容量 C_{12} とから構成される。

【0073】

受動回路 $6i$ は、一端が増幅回路 A_{2i} の負側電源端子 NT に接続され、他端が負側電源線 NL に接続された抵抗 R_{20} と、一端が増幅回路 A_{3i} の負側電源端子 NT に接続され、他端が負側電源線 NL に接続された抵抗 R_{21} と、一端が抵抗 R_{20} の増幅回路 A_{2i} 側の端子に接続され、他端が抵抗 R_{21} の増幅回路 A_{3i} 側の端子に接続された容量 C_{13} とから構成される。

【0074】

容量 C_{12} , C_{13} の容量値を $C/2$ とすると、本実施例の多段増幅回路の利得向上効果は、図11の容量 $C_7 \sim C_{10}$ の容量値が全て C であり、図11の増幅器 A_{2f} , A_{3f} が反転増幅回路である場合と等価になる。

本実施例においても、初段の増幅回路 A_1 の遮断周波数を f_1 、2段目の増幅回路 A_{2i} の利得が上昇するゼロ点の周波数を f_2 、3段目の増幅回路 A_{3i} の利得が上昇するゼロ点の周波数を f_3 とすれば、式(3)～式(5)のいずれかが成立するように設計すればよい。

【0075】

本実施例では、第4の実施例と同様にオフ側のトランジスタと電源線との間の抵抗がオン側のトランジスタの負荷抵抗となるため、第6、第7の実施例のように片側の電源線に受動回路を設ける場合に比べて多段増幅回路の利得を向上させることができる。

【0076】

また、本実施例では、図11の抵抗 $R_{12} \sim R_{15}$ にそれぞれ並列に容量 $C_7 \sim C_{10}$ を挿入する場合に比べ、容量 C_{12} , C_{13} の容量が半分で良いため、図11の構成で増幅器 A_{2f} , A_{3f} を反転増幅回路とする場合よりも狭い回路面積で同等の利得向上を得ることができる。よって、多段増幅回路の省面積化が可能になる。

【0077】

[第9の実施例]

次に、本発明の第9の実施例について説明する。図17は本発明の第9の実施例に係る多段増幅回路の構成を示す回路図であり、図1、図3、図5～図8、図14～図16と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路 A_1 , A_{2i} , A_{3i} と、増幅回路 A_{2i} , A_{3i} の正側電源端子 PT と正側電源線 PL との間に挿入された受動回路 $5j$ と、増幅回路 A_{2i} , A_{3i} の負側電源端子 NT と負側電源線 NL との間に挿入された受動回路 $6j$ とから構成される。

【0078】

受動回路 $5j$ は、第8の実施例の容量 C_{12} の代わりに、ソースとドレインとボディとが抵抗 R_{18} の増幅回路 A_{2i} 側の端子に接続され、ゲートが抵抗 R_{19} の増幅回路 A_{3i} 側の端子に接続された $nMOS$ トランジスタ Q_{13} を用いたものである。受動回路 $6j$ は、第8の実施例の容量 C_{13} の代わりに、ソースとドレインとボディとが抵抗 R_{20} の増幅回路 A_{2i} 側の端子に接続され、ゲートが抵抗 R_{21} の増幅回路 A_{3i} 側の端子に接続された $nMOS$ トランジスタ Q_{14} を用いたものである。

【0079】

なお、 $nMOS$ トランジスタ Q_{13} の代わりに、ソースとドレインとボディとが抵抗 R_{18} の増幅回路 A_{2i} 側の端子に接続され、ゲートが抵抗 R_{19} の増幅回路 A_{3i} 側の端子に接続された $pMOS$ トランジスタを用いてもよい。同様に、 $nMOS$ トランジスタ Q_{14} の代わりに、ソースとドレインとボディとが抵抗 R_{20} の増幅回路 A_{2i} 側の端子に接続され、ゲートが抵抗 R_{21} の増幅回路 A_{3i} 側の端子に接続された $pMOS$ トランジスタを用いてもよい。

【0080】

また、容量として用いる $nMOS$ トランジスタまたは $pMOS$ トランジスタの向きを反転させて、 $nMOS$ トランジスタまたは $pMOS$ トランジスタのゲートを抵抗 R_{18} , R

10

20

30

40

50

20の増幅回路A2i側の端子に接続し、ソースとドレインとボディとを抵抗R19, R21の増幅回路A3i側の端子に接続するようにしてもよい。

【0081】

本実施例では、第8の実施例と同様の効果に加え、面積あたりの容量値を高くすることが可能となる。さらに、第8の実施例のように容量C12, C13を配置する場合、容量C12, C13の直上に他の素子を配置することができないが、本実施例のようにMOSトランジスタを容量として用いる場合には、MOSトランジスタの直上に他の素子を配置することができる。その結果、本実施例では、多段増幅回路の省面積化が可能となる。

【0082】

[第10の実施例]

10

次に、本発明の第10の実施例について説明する。図18は本発明の第10の実施例に係る多段増幅回路の構成を示す回路図であり、図1、図3、図5～図8、図14～図17と同一の構成には同一の符号を付してある。本実施例の多段増幅回路は、縦続接続された増幅回路A1k, A2i, A3iと、受動回路5j, 6jとから構成される。

【0083】

本実施例の初段の増幅回路A1kは、入力端子と出力端子との間に挿入された帰還抵抗R22を有するトランスインピーダンス増幅回路である。

本実施例では、後段の増幅回路A2i, A3iで帯域の補償ができることから、初段の増幅回路A1kでは帰還抵抗R22の値を大きくすることができる。これにより、本実施例では、トランスインピーダンス増幅回路の入力換算雑音を小さくことができ、増幅回路A1k, A2i, A3iの縦続接続によって低雑音・広帯域・低消費電力なトランスインピーダンス増幅回路を実現することができる。

20

【0084】

なお、本実施例では、増幅回路A1kを第9の実施例に適用する場合について説明したが、第1～第8の実施例のいずれかに適用してもよい。

また、第8～第10の実施例のように、増幅回路A2i, A3iとしてインバータ増幅回路を用いる場合に、増幅回路A2i, A3iの正側電源端子PTと正側電源線PLとの間、および負側電源端子NTと負側電源線NLとの間のどちらか一方のみに受動回路を挿入するようにしてもよい。

【産業上の利用可能性】

30

【0085】

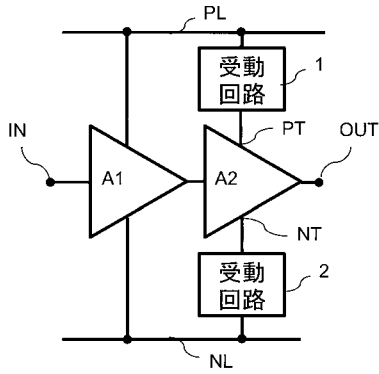
本発明は、増幅回路に適用することができる。

【符号の説明】

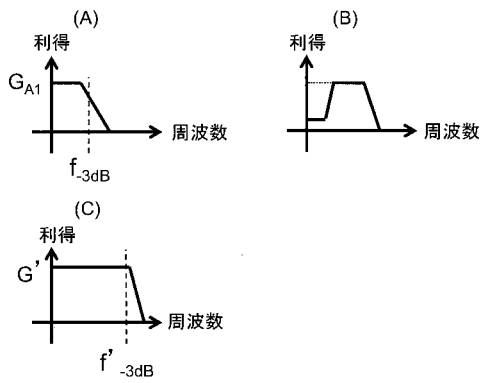
【0086】

1, 1b～1d, 1f, 2, 2a, 2d～2f, 3f, 4e, 4f, 5g～5j, 6i, 6j...受動回路、A1, A1f, A1k, A2, A2a, A2b, A2d, A2f, A2g, A2i, A3, A3f, A3g, A3i...増幅回路、Q1～Q14...トランジスタ、R1～R22...抵抗、C1～C13...容量、PL...正側電源線、NL...負側電源線、PT...正側電源端子、NT...負側電源端子。

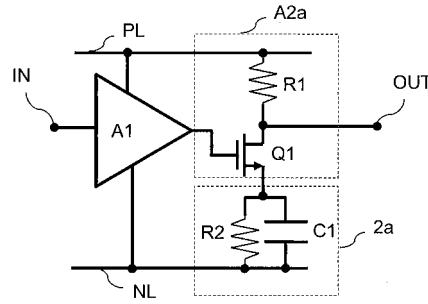
【 図 1 】



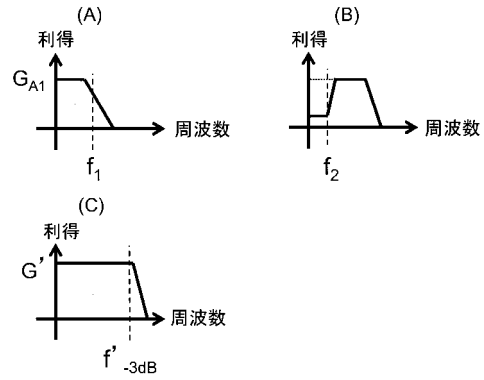
【 図 2 】



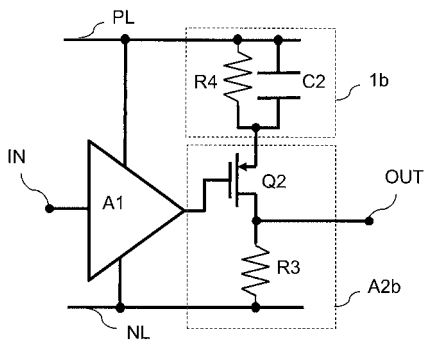
【 図 3 】



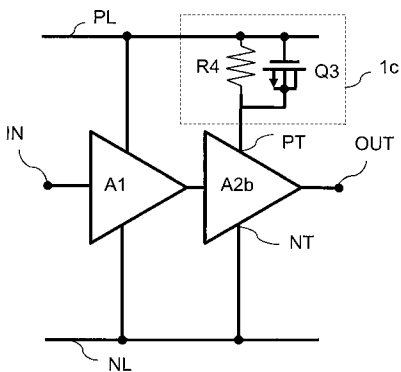
【 図 4 】



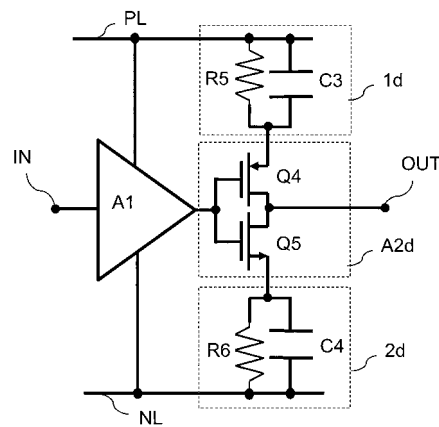
【 図 5 】



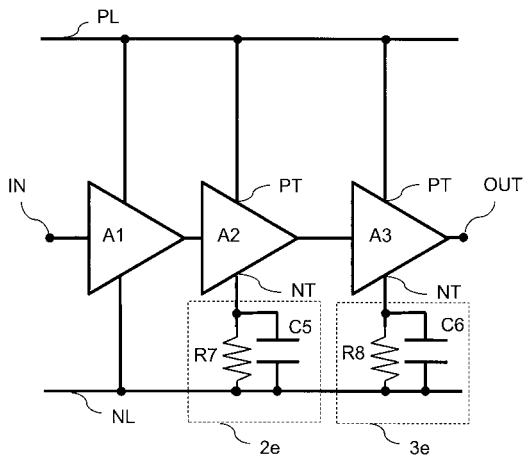
【 図 6 】



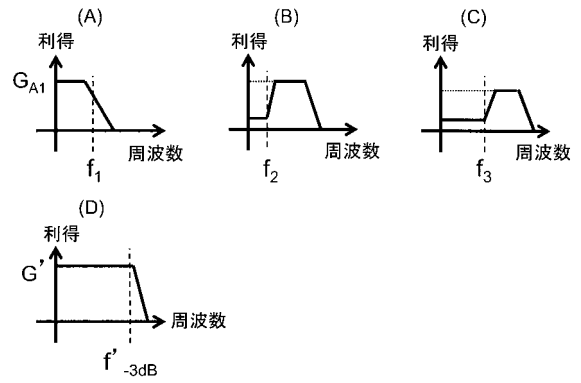
【 図 7 】



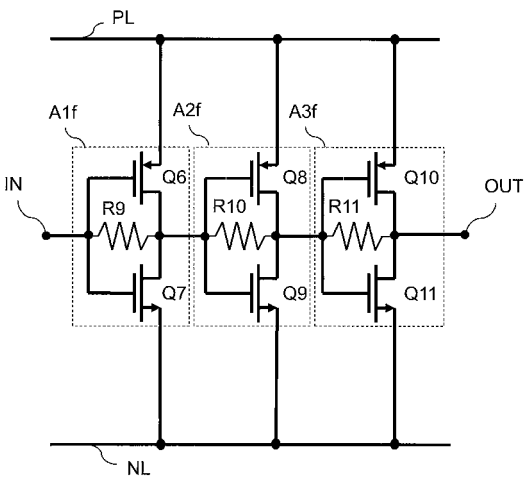
【 図 8 】



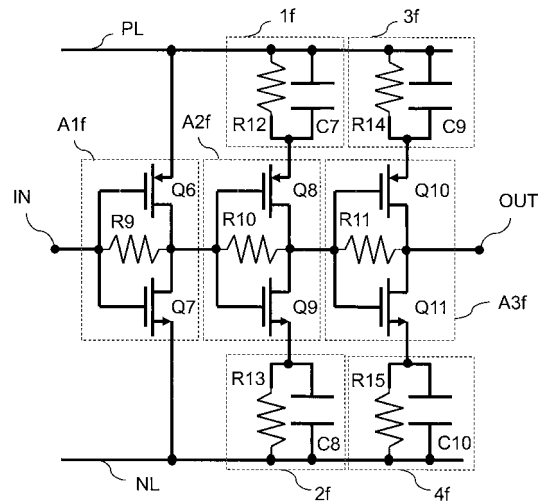
【 図 9 】



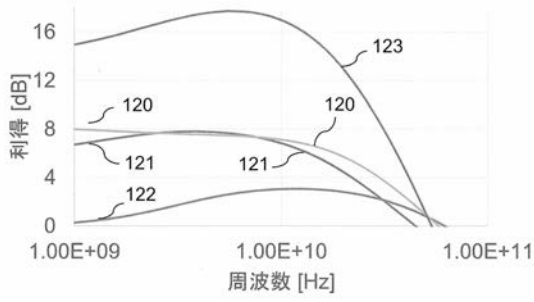
【 図 1 0 】



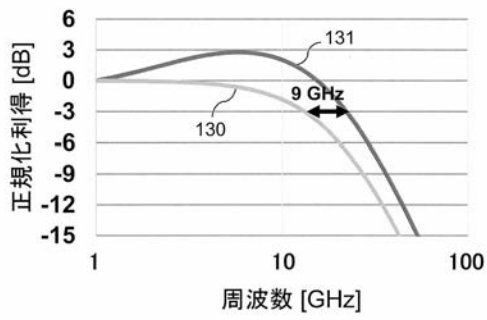
【 図 1 1 】



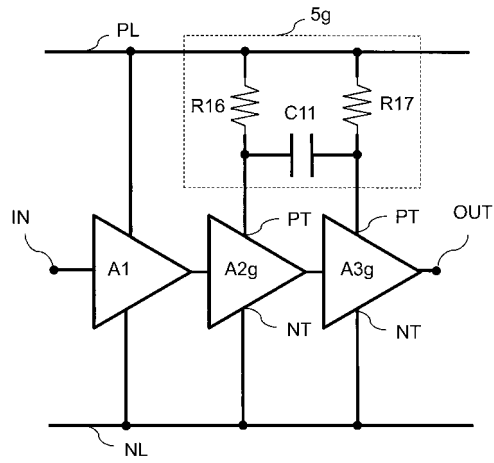
【 図 1 2 】



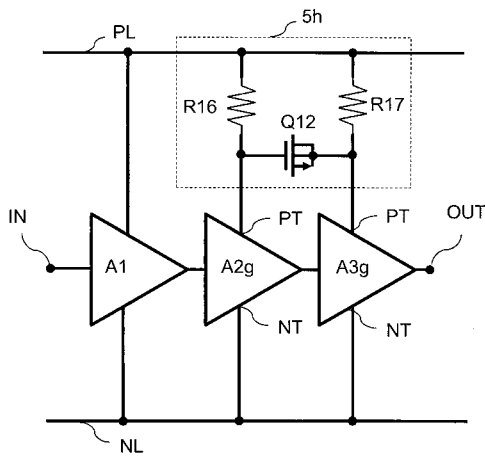
【 図 1 3 】



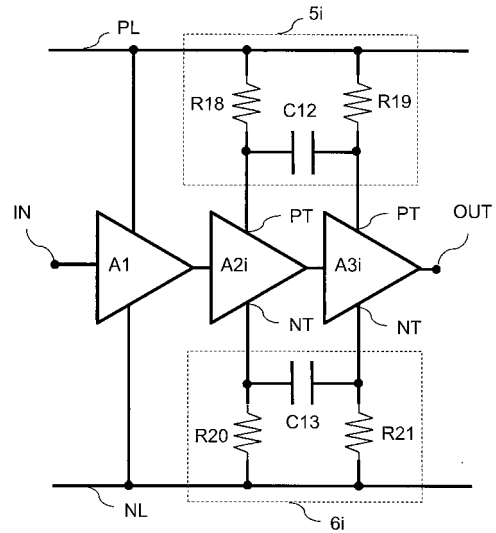
【 図 1 4 】



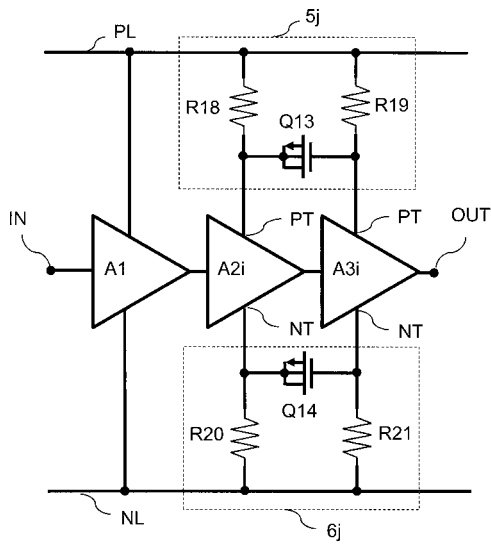
【 図 1 5 】



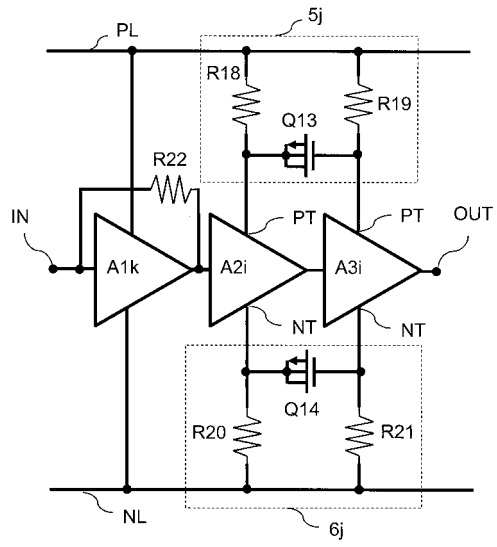
【 図 1 6 】



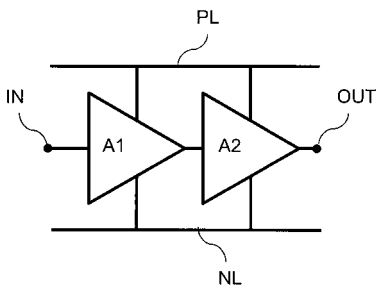
【 图 1 7 】



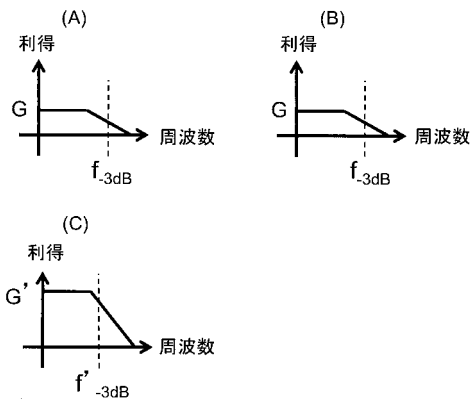
【 图 1 8 】



【 图 1 9 】



【 图 2 0 】



フロントページの続き

- (72)発明者 福山 裕之
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 野坂 秀之
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 小野寺 秀俊
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- (72)発明者 平塚 昌崇
京都府京都市左京区吉田本町3番地1 国立大学法人京都大学内
- Fターム(参考) 5J500 AA01 AC62 AF10 AH10 AH25 AH29 AK04 AS13 AT03