

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-38968
(P2020-38968A)

(43) 公開日 令和2年3月12日(2020.3.12)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	4 G O 7 7
HO 1 L 21/205 (2006.01)	HO 1 L 21/205	4 K O 2 9
C 3 O B 29/36 (2006.01)	C 3 O B 29/36 A	4 K O 3 0
C 2 3 C 14/02 (2006.01)	C 2 3 C 14/02 B	5 F O 4 5
C 2 3 C 16/01 (2006.01)	C 2 3 C 16/01	5 F 1 5 2

審査請求 未請求 請求項の数 13 O L (全 20 頁)

(21) 出願番号 特願2019-157855 (P2019-157855)
 (22) 出願日 令和1年8月30日 (2019.8.30)
 (31) 優先権主張番号 特願2018-163908 (P2018-163908)
 (32) 優先日 平成30年8月31日 (2018.8.31)
 (33) 優先権主張国・地域又は機関 日本国 (JP)

(71) 出願人 504145320
 国立大学法人福井大学
 福井県福井市文京3丁目9番1号
 (74) 代理人 100180758
 弁理士 荒木 利之
 (72) 発明者 橋本 明弘
 福井県福井市文京3-9-1 国立大学法人福井大学内
 Fターム(参考) 4G077 AA02 BE08 HA12
 4K029 AA04 AA24 BA58 BD01 CA01
 FA06 FA07
 4K030 BA02 BA38 CA04 CA12 DA09
 LA14

最終頁に続く

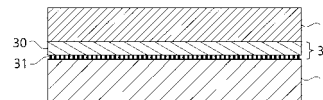
(54) 【発明の名称】 半導体積層構造体の製造方法及び半導体積層構造体

(57) 【要約】

【課題】従来に比べて低転位密度の半導体層を形成する半導体積層構造体の製造方法及び半導体積層構造体を提供する。

【解決手段】半導体積層構造体の製造方法は、基板1上にシングルドメインのシード層2が臨界膜厚以下で積層される工程と、シード層2が積層された基板1が熱処理されてシード層2との界面に犠牲層31が形成され、基板1とシード層2との結合を分子間力を主とした結合とすることでシード層2が犠牲シード層30とされる工程と、犠牲シード層30上に単元素又は化合物の半導体結晶層4が成長される工程とを含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基板上にシングルドメインのシード層が臨界膜厚以下で積層される工程と、
 前記シード層が積層された前記基板が熱処理されて前記シード層との界面に犠牲層が形成され、当該犠牲層によって前記基板と前記シード層との結合が分子間力を主とした結合にされることで前記シード層が犠牲シード層とされる工程と、
 前記犠牲シード層上に単元素又は化合物の半導体結晶層が前記犠牲シード層の膜厚以上に成長される工程とを含む半導体積層構造体の製造方法。

【請求項 2】

前記基板と前記犠牲シード層とが前記犠牲層で剥離される工程をさらに含む請求項 1 に記載の半導体積層構造体の製造方法。

10

【請求項 3】

前記半導体結晶層の前記犠牲シード層側の面が研磨又はエッチングされ前記犠牲シード層が剥離される工程をさらに含む請求項 2 に記載の半導体積層構造体の製造方法。

【請求項 4】

前記犠牲層の膜厚は、前記シード層が積層された前記基板が熱処理される際の条件、及び前記シード層の膜厚に基づき定められる請求項 1 から 3 のいずれか 1 項に記載の半導体積層構造の製造方法。

【請求項 5】

S i C 基板上にシングルドメインの A l N 層が臨界膜厚以下で積層される工程と、
 前記 A l N 層が積層された S i C 基板が熱処理されて前記 A l N 層との界面にグラフェン層が形成され、当該グラフェン層によって前記 S i C 基板と前記 A l N 層との結合が分子間力を主とした結合にされることで前記 A l N 層が犠牲シード層とされる工程と、
 前記犠牲シード層となった A l N 層上に単元素又は化合物の半導体結晶層が成長される工程とを含む半導体積層構造体の製造方法。

20

【請求項 6】

前記 S i C 基板と前記 A l N 層が前記グラフェン層で剥離される工程をさらに含む請求項 5 に記載の半導体積層構造体の製造方法。

【請求項 7】

前記半導体結晶層の前記 A l N 層側の面が研磨され前記 A l N 層が剥離される工程をさらに含む請求項 6 に記載の半導体積層構造体の製造方法。

30

【請求項 8】

シングルドメインの犠牲シード層と、
 前記犠牲シード層上に成長された単元素又は化合物の半導体結晶層とを有する半導体積層構造体。

【請求項 9】

基板上にシード層が形成された後、当該基板と当該シード層が熱処理され当該基板の当該シード層との界面に得られた分子間力を主とした結合力で結合する犠牲層を前記犠牲シード層下にさらに有する請求項 8 に記載の半導体積層構造体。

【請求項 10】

前記基板をさらに有する請求項 9 に記載の半導体積層構造体。

40

【請求項 11】

シングルドメインの A l N 層と、
 前記 A l N 層上に成長された S i 又は I I I V 族化合物半導体層とを有する半導体積層構造体。

【請求項 12】

S i C 基板上に臨界膜厚以下で前記 A l N 層が形成された後、当該 S i C 基板と当該 A l N 層が熱処理され当該 S i C 基板の当該 A l N 層との界面に得られた分子間力を主とした結合力で結合するグラフェン層をさらに有する請求項 11 に記載の半導体積層構造体。

【請求項 13】

50

前記 S i C 基板をさらに有する請求項 1 2 に記載の半導体積層構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体積層構造体の製造方法及び半導体積層構造体に関する。

【背景技術】

【0002】

10

従来の半導体の製造方法として、バッファ層上の窒化物系 I I I V 族化合物半導体の転位密度を小さくする半導体積層構造体の製造方法が知られている（例えば、特許文献 1 参照。）。

【0003】

この半導体積層構造体の製造方法は、S i C 基板上に A l N からなるバッファ層を形成し、当該バッファ層上に G a 層を堆積させ、当該 G a 層の表面に窒素源を照射し、当該 G a 層を転位が少ない G a N 層の下層部と、当該下層部より転位の少ない G a N 層の上層部として再構築し、当該 G a N 層の上層部上に G a N 層を形成することで転位密度の小さい G a N 層を得る。

【0004】

20

また、同様に、バッファ層上の窒化物系 I I I V 族化合物半導体の転位密度を小さくする半導体積層構造体の製造方法が知られている（例えば、特許文献 2 参照。）。

【0005】

この半導体積層構造の製造方法は、S i C 基板上に A l N からなるバッファ層を形成し、当該バッファ層上に G a N 層を成長させ、バッファ層と G a N 層の界面近傍に G a イオンを打ち込んで A l N のバッファ層と G a N 層との界面付近にアモルファスの層を形成し、その後、基板温度を 8 0 0 まで上げてアモルファスの層の上の G a N 層を再結晶化して転位の少ない G a N 層を形成する。

【先行技術文献】

【特許文献】

30

【0006】

【特許文献 1】特開 2 0 0 4 2 9 6 6 3 6 号公報

【特許文献 2】特開 2 0 0 9 2 3 9 3 1 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかし、上記した特許文献 1 の半導体積層構造の製造方法によると、G a N 層は、ランダムに結晶化するのではなく下地のバッファ層の影響を受けて下地と同じ構造で再結晶化するが、G a N 層の下層部では G a 原子が転位を終焉させるため、バッファ層の転位情報が G a N 層の上層部に伝えられないことがないため、G a N 層の上層部の上に成長させる窒化物系 I I I V 族化合物半導体層の転位密度を減少させることができるものの、格子不整合や熱膨張係数の不整合により、転位密度は依然として $1 0^8 \text{ cm}^{-2}$ オーダーである。

40

【0008】

また、上記した特許文献 2 の半導体積層構造の製造方法によると、バッファ層形成工程で S i C 基板上に形成した転位のある A l N のバッファ層に、G a 堆積工程で G a 層を堆積して、さらに、結晶化工程で G a 層の表面に N 源を照射して G a 層の結晶化を行うので、N 源の照射を行う結晶化工程の後、バッファ層上に形成される G a N 層の下層部の結晶構造が、転位が消滅した高品質な結晶構造になる。したがって、G a N 層の下層部の G a N の結晶構造が、ダングリングボンドが解消された高品質なものになるため、G a N 層の

50

上層部まで、バッファ層のダングリグボンドの情報が到達して転位情報が及ぶことを防止でき、GaN層の上層部に、下地のバッファ層の転位情報以外の情報のみを伝達することができ、GaN層の上層部の結晶構造を転位がないバッファ層の結晶構造と略同一な構造にすることができるものの、転位密度は依然として 10^8 cm^{-2} オーダーである。

【0009】

つまり、上記した特許文献1及び特許文献2のいずれの半導体積層構造の製造方法も、低温バッファ層を用いた2段階成長法を基礎とした格子不整合ヘテロエピタキシャル成長であるが、当該半導体積層構造の製造方法において、基板全面における平均転位密度は 10^8 cm^{-2} オーダーであって、例えば、発光ダイオード、レーザーダイオード、光電変換ダイオード等のパワー素子の大面積化及び大容量化の実現には十分とは言えないという問題がある。また、低温バッファ層を用いた2段階成長法以外の半導体積層構造の製造方法として、低転位密度化を図るためのELOG (Epitaxial Lateral Over Growth) 法やその他の格子不整合ヘテロ積層構造形成法があるが、これらの半導体積層構造の製造方法においても上記した平均転位密度 10^8 cm^{-2} を改善するために少なくとも現状では限界がある。

10

【0010】

本発明の目的は、従来に比べて低転位密度の半導体層を形成する半導体積層構造体の製造方法及び半導体積層構造体を提供する。

【課題を解決するための手段】

【0011】

本発明の一態様は、上記目的を達成するため、以下の半導体積層構造体の製造方法及び半導体積層構造体を提供する。

20

【0012】

[1] 基板上にシングルメインのシード層が臨界膜厚以下で積層される工程と、
前記シード層が積層された前記基板が熱処理されて前記シード層との界面に犠牲層が形成され、当該犠牲層によって前記基板と前記シード層との結合が分子間力を主とした結合にされることで前記シード層が犠牲シード層とされる工程と、

前記犠牲シード層上に単元素又は化合物の半導体結晶層が前記犠牲シード層の膜厚以上に成長される工程とを含む半導体積層構造体の製造方法。

[2] 前記基板と前記犠牲シード層とが前記犠牲層で剥離される工程をさらに含む前記[1]に記載の半導体積層構造体の製造方法。

30

[3] 前記半導体結晶層の前記犠牲シード層側の面が研磨又はエッチングされ前記犠牲シード層が剥離される工程をさらに含む前記[2]に記載の半導体積層構造体の製造方法。

[4] 前記犠牲層の膜厚は、前記シード層が積層された前記基板が熱処理される際の条件、及び前記シード層の膜厚に基づき定められる前記[1]から[3]のいずれかに記載の半導体積層構造の製造方法。

[5] SiC基板上にシングルメインのAlN層が臨界膜厚以下で積層される工程と、
前記AlN層が積層されたSiC基板が熱処理されて前記AlN層との界面にグラフェン層が形成され、当該グラフェン層によって前記SiC基板と前記AlN層との結合が分子間力を主とした結合にされることで前記AlN層が犠牲シード層とされる工程と、

40

前記犠牲シード層となったAlN層上に単元素又は化合物の半導体結晶層が成長される工程とを含む半導体積層構造体の製造方法。

[6] 前記SiC基板と前記AlN層が前記グラフェン層で剥離される工程をさらに含む前記[5]に記載の半導体積層構造体の製造方法。

[7] 前記半導体結晶層の前記AlN層側の面が研磨され前記AlN層が剥離される工程をさらに含む前記[6]に記載の半導体積層構造体の製造方法。

[8] シングルメインの犠牲シード層と、

前記犠牲シード層上に成長された単元素又は化合物の半導体結晶層とを有する半導体積層構造体。

[9] 基板上にシード層が形成された後、当該基板と当該シード層が熱処理され当該基板

50

の当該シード層との界面に得られた分子間力を主とした結合力で結合する犠牲層を前記犠牲シード層下にさらに有する前記 [8] に記載の半導体積層構造体。

[1 0] 前記基板をさらに有する前記 [9] に記載の半導体積層構造体。

[1 1] シングルドメインの A l N 層と、

前記 A l N 層上に成長された S i 又は I I I V 族化合物半導体層とを有する半導体積層構造体。

[1 2] S i C 基板上に臨界膜厚以下で前記 A l N 層が形成された後、当該 S i C 基板と当該 A l N 層が熱処理され当該 S i C 基板の当該 A l N 層との界面に得られた分子間力を主とした結合力で結合するグラフェン層をさらに有する前記 [1 1] に記載の半導体積層構造体。

[1 3] 前記 S i C 基板をさらに有する前記 [1 2] に記載の半導体積層構造体。

【発明の効果】

【 0 0 1 3 】

請求項 1、5、8、11 に記載された発明によれば、従来に比べて低転位密度の半導体層を形成することができる。

請求項 2、6 に記載された発明によれば、基板とシード層とを犠牲層で剥離することができる。

請求項 3、7 に記載された発明によれば、半導体結晶層のシード層側の面を研磨又はエッチングしてシード層を剥離することができる。

請求項 4 に記載された発明によれば、犠牲層の膜厚は、シード層が積層された基板が熱処理される際の条件、及びシード層の膜厚に基づき定めることができる。

請求項 9、12 に記載された発明によれば、基板上にシード層を形成した後、当該基板と当該シード層を熱処理して当該基板の当該シード層との界面に得られた犠牲層をシード層下にさらに有することができる。

請求項 10、13 に記載された発明によれば、基板をさらに有することができる。

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】図 1 は、本発明の実施の形態に係る半導体積層構造体の製造方法の一例を示す断面図である。

【図 2】図 2 は、本発明の実施の形態に係る半導体積層構造体の製造方法の一例を示す断面図である。

【図 3】図 3 は、本発明の実施の形態に係る半導体積層構造体の製造方法の一例を示す断面図である。

【図 4】図 4 は、本発明の実施の形態に係る半導体積層構造体の製造方法の一例を示す断面図である。

【図 5】図 5 は、本発明の実施の形態に係る半導体積層構造体の製造方法の一例を示す断面図である。

【図 6】図 6 は、本発明の実施の形態に係る半導体積層構造体の製造方法の一例を示す断面図である。

【図 7】図 7 (a) 及び (b) は、熱処理前の A l N 層表面の高速電子線回折像及び熱処理後の中間層表面の高速電子線回折像の一例を示す図である。

【図 8】図 8 (a) 及び (b) は、熱処理前の A l N 層表面の高速電子線回折像及び熱処理後の中間層表面の高速電子線回折像の他の例を示す図である。

【図 9】図 9 は、中間層表面のラマン散乱スペクトルの一例を示す図である。

【図 10】図 10 は、中間層表面の原子間力顕微鏡表面像の一例を示す図である。

【図 11】図 11 (a) 及び (b) は、4 H S i C 基板及び中間層からの対称反射 X 線ロックアップカーブの一例を示す図である。

【図 12】図 12 (a) 及び (b) は、4 H S i C 基板及び中間層からの非対称反射 X 線ロックアップカーブの一例を示す図である。

【図 13】図 13 (a) 及び (b) は、4 H S i C 基板及び中間層からの非対称反射 X

10

20

30

40

50

線ロックカーブの他の例を示す図である。

【図14】図14(a)及び(b)は、4H SiC基板及び中間層から非対称反射X線ロックカーブの他の例を示す図である。

【図15】図15(a)及び(b)は、4H SiC基板及び中間層からの非対称反射X線ロックカーブの他の例を示す図である。

【図16】図16は、AlNを用いた場合のシード層の層数と熱処理後に得られる犠牲層としてのグラフェン層の層数との関係を示すグラフ図である。

【図17】図17(a)及び(b)は、AlNを用いた場合の犠牲シード層の層数が、熱処理の際に犠牲層としてのグラフェン層の層数に及ぼす影響を説明するための概略斜視図及び概略断面図である。

【図18】図18は、半導体結晶層としてのGaN層からの非対称反射X線ロックカーブの例、並びに比較対象のためのサファイア基板上に成長したGaN層及びグラフェン上に成長したGaN層からの非対称反射X線ロックカーブを示す図である。

【図19】図19は、半導体結晶層としてのGaN層表面のラマン散乱スペクトルの一例、並びに比較対象のためのサファイア基板上に成長したGaN層及びグラフェン上に成長したGaN層表面のラマン散乱スペクトルを示す図である。

【図20】図20は、実施例1～4の結果を示す表である。

【発明を実施するための形態】

【0015】

[実施の形態]

(半導体積層構造体の製造方法)

図1～図6は、本発明の実施の形態に係る半導体積層構造体の製造方法の一例を示す断面図である。

【0016】

まず、図1に示すように、基板1を用意し、有機金属気相成長法、分子線エピタキシャル法、レーザーアブレーション法、昇華法等などによりその表面にシングルドメインのシード層2を形成する。

【0017】

基板1は、シングルドメインのシード層2を形成可能な表面を有する必要があるが、シード層2に採用する結晶の格子定数に依存するが、互いに格子不整合率が低いもの(例えば、好ましくは4%以下)を採用する。基板1は、例えば、SiC、cBN(立方晶窒化ホウ素)、GaN等の基板を用いることができる。

【0018】

シード層2は、例えば、基板1にSiCを採用した場合にはAlNを用いることができ、この場合、基板1とシード層2の格子不整合率は1.27%である。ここで、シード層2とは基板1との界面に後述する犠牲層(31)が生成されることで犠牲シード層(30)となり、自ら格子欠陥をともなうことで、犠牲シード層上に成長される半導体結晶層(4)の犠牲となるための層である。シード層2は、半導体結晶層4の成長の基礎となるため、配向性の良好な単結晶であることが好ましく、基板1に対して格子不整合率が低い材料(互いの格子不整合率が、好ましくは4%以下)であることが好ましい。基板1とシード層2との間に格子不整合がある場合(好ましい格子不整合率より高い場合)、シード層2の膜厚がある値(「臨界膜厚」という。)より大きくなると、格子不整合による歪みエネルギーを緩和するためにシード層2に転位が発生して格子緩和が生じて、本来の格子定数の値に近づこうとする。シード層2は、有機金属気相成長法、分子線エピタキシャル法、レーザーアブレーション法等の方法により基板1上に形成されるが、転位を生じさせないためにはシード層2は臨界膜厚(格子不整合率1.27%の場合、臨界膜厚50)以下の厚みを有する必要があるが、上記格子不整合率の場合、数モノレイヤーの厚みであれば十分に臨界膜厚より小さくできる。また、SiC上に成長されるAlNの結晶構造は六方晶系であるため、c軸については配向性が良好であり、六方晶系のa軸については、十分に臨界膜厚より小さい条件であれば、配向性が良好な単結晶となる。つまり、c軸及び

10

20

30

40

50

a軸配向について、X線回折半値半幅が好ましい目標値以下（例えば、 5 arcsec 以下）に制御される。また、参考文献1（M. Kaneko, T. Kimoto, and J. Suda, "Phonon frequencies of a highly strained AlN layer coherently grown on 6H SiC (0001)", AIP ADVANCES 7, 015105 (2017), p2）に記載の発明によれば、6H SiC基板上の厚膜（700nm）成長のAlN層でX線回折半値半幅が、対称及び非対称ともに 20 arcsec 程度になるため、本実施の形態によれば、シード層2として1～3モノレーヤーのAlNを採用しているため、X線回折半値半幅が好ましい目標値以下の配向の良好なシード層2を得ることが可能である。

10

【0019】

次に、図2に示すように、熱処理により基板1の界面を熱分解することで、基板1とシード層2との界面に中間層3を得る。熱処理は、例えば、窒素ガス又は不活性ガス中における 1300°C 以上（好ましくは 1650 付近）、数torr以上の圧力（好ましくは、大気圧付近）で約20分以上の熱処理である。中間層3は、シード層2に対応する犠牲シード層30と、基板1の界面が変化して形成された犠牲層31とを有する（上記条件によりAlNの場合、2モノレーヤーの犠牲層31が得られる）。基板1にSiCを、シード層2にAlNを採用した場合には、犠牲シード層30はAlN層であり、犠牲層31はSiC基板の界面においてSiCからSiを選択的に脱離させることで得られるグラフェン層である。つまり、AlN/グラフェン構造が中間層3として得られる。

20

【0020】

ここで、犠牲シード層30とは、シード層2と基板1を熱分解することで生成された層であってシード層2に対応するものであり、基板1上に臨界膜厚より小さい膜厚で生成されたシード層2に対応するものであるからc軸配向及びa軸配向が良好に制御された層であるとともに、犠牲シード層30上に成長される半導体結晶層（4）の犠牲となって格子欠陥を伴い、半導体結晶層（4）との格子不整合に伴い発生する界面応力が緩和されるように設けられた層のことである。また、犠牲層31とは、シード層2と基板1を熱分解することで基板1側に生成された層であって、上記犠牲シード層30が半導体結晶層（4）の犠牲となりうるために犠牲シード層30と基板1との格子不整合に伴い発生する界面応力が開放されるように設けられた層のことである。

30

【0021】

犠牲層31は、数モノレーヤー（好ましくは、1～5モノレーヤー、より好ましくは、1モノレーヤー）の厚みを有する。なお、犠牲層31がグラフェンである場合は、エピタキシャルグラフェンであってもよいし、ターボスタックグラフェンであってもよい。

【0022】

図16は、AlNを用いた場合のシード層2の層数と熱処理後に得られる犠牲層31としてのグラフェン層の層数との関係を示すグラフ図である。

【0023】

図17(a)及び(b)は、AlNを用いた場合の犠牲シード層30の層数が、熱処理の際に犠牲層31としてのグラフェン層の層数に及ぼす影響を説明するための概略斜視図及び概略断面図である。図17(a)はAlNの層数が2モノレーヤーの場合、図17(b)はAlNの層数が3モノレーヤーの場合である。なお、層数は面あたりの平均値であるため被覆率を考慮すると整数値以外の値をとりうる。

40

【0024】

熱処理の条件が、窒素ガス又は不活性ガス中における 1650 付近、 500 torr の圧力で20分間であって、図17(a)に示すように熱処理シード層2の厚みが2モノレーヤーの場合、シード層2から露出する基板1（SiC基板）の露出部1aからSiが脱離するが、図17(b)に示すように熱処理シード層2の厚みが3モノレーヤーの場合、シード層2から基板1（SiC基板）が露出しづらくなり、Siが脱離しづらくなる。この結果、図16に示すようにシード層2としてのAlN層の厚みが2モノレーヤーより

50

大きくとなると犠牲層 3 1 としてのグラフェン層がほぼ 0 となるが、シード層 2 としての A 1 N 層の厚みが 2 モノレーヤー以下の場合、犠牲層 3 1 が好ましい層数として 2 ~ 3 モノレーヤー得られる。シード層 2 の層数が少ないほど犠牲層 3 1 の層数が増加するため、シード層 2 の層数を制御することで犠牲層 3 1 の層数として好ましい層数を得ることができる。なお、シード層 2 の層数が 0 であっても、最表面をエピタキシャル・グラフェン層が覆うことで、基板 1 の Si 昇華が起きづらくなることで、グラフェン層が成長せず、上記した熱処理の条件下では、犠牲層 3 1 の層数は 3 より増加しない。

【 0 0 2 5 】

上記した犠牲層 3 1 としての好ましい層数のグラフェン層が得られるか否かの境界となるシード層 2 の膜厚（以下、「犠牲層誘導最適膜厚」という。）は、上述したような Si の離脱減少を誘発させる熱処理の条件により変動する（例えば、上記した熱処理の条件の場合、犠牲層誘導最適膜厚は 4 モノレーヤー。）。熱処理の条件は、雰囲気、温度、時間、圧力により定められる。

10

【 0 0 2 6 】

また、犠牲層誘導最適膜厚は、上述したような Si の離脱減少を誘発させる熱処理の条件により変動するため、逆に熱処理条件を制御することで、シード層 2 の膜厚を犠牲層誘導最適膜厚とすることができる（この際の熱処理条件を「犠牲層誘導最適熱処理条件」という。）。つまり、一般的にシード層 2 の厚みが厚い場合であっても熱処理の時間を長くすることでシード層 2 の厚みが薄くなり、Si が離脱することとなり、グラフェン層が得られると考えられる。なお、犠牲層誘導最適熱処理条件は、予め試験することで定めることができる。また、残留 O₂ が Si の脱離を阻害すると考えられるため、雰囲気としては何らかの方法で残留 O₂ を除去した N₂ が望ましい。

20

【 0 0 2 7 】

次に、図 3 に示すように、中間層 3 上に分子線エピタキシャル法等の方法によって半導体結晶層 4 を成長させる。

【 0 0 2 8 】

半導体結晶層 4 は、単元素半導体又は III V 族若しくは II IV 族化合物半導体等の化合物半導体であり、その厚みは少なくとも犠牲シード層 3 0 の膜厚以上である必要があるが、数原子層から数百マイクロン程度以上まで、適用するデバイス構造に応じた任意の厚みを選択できる。また、半導体結晶層 4 は、シード層がシングル・ドメインの高品質層であるため、c 軸及び a 軸配向が極低転位密度に制御され、好ましくは転位密度 1 0² cm⁻² 以下である。上記した例のように、A 1 N / グラフェン構造上には、単元素半導体としては、例えば、Si 単結晶層が低転位密度で成長可能であり、III V 族化合物半導体としては、例えば、Ga N が低転位密度で成長可能であり、さらには格子定数に大きな違いのある In N であっても低転位密度で成長可能である。

30

【 0 0 2 9 】

次に、図 4 に示すように、犠牲層 3 1 において半導体結晶層 4 を引き剥がす。犠牲層 3 1 は、犠牲層 3 1 が犠牲シード層 3 0 の裏面に犠牲層 3 1 0 として、基板 1 の表面に犠牲層 3 1 1 として残留する。中間層 3 が上記した A 1 / グラフェン構造の場合、基板 1 との界面、つまりグラフェン / Si C 界面にて機械的に容易に剥離可能である。

40

【 0 0 3 0 】

次に、図 5 に示すように、犠牲シード層 3 0 の裏面の犠牲層 3 1 0 を適当な気相及び液相でのエッチングなどの方法により取り除く。また、犠牲層 3 1 0 を取り除くことなく、次に説明するように犠牲シード層 3 0 とともに取り除くものであってもよい。

【 0 0 3 1 】

次に、図 6 に示すように、犠牲シード層 3 0 を研磨により取り除く。この状態において、レーザーやケミカルによるリフトオフを必要とせずに、半導体結晶層 4 を基板 1 と異なる基板上に転写することができる。

【 0 0 3 2 】

（実施の形態の効果）

50

上記した実施の形態によれば、まず、格子不整合率が比較的小さい基板 1 とシード層 2 を選択し、シード層 2 の形成後に基板 1 とシード層 2 との界面に犠牲層 3 1 を形成することにより、ファンデルワールス力を主として結合された界面（基板 1 と犠牲層 3 1 との間、犠牲シード層 3 0 と犠牲層 3 1 との間）を形成できる。ファンデルワールス結合を主とした結合であってその結合力が弱いため、犠牲シード層 3 0 は、基板 1 との間の格子不整合から開放される。その結果、半導体結晶層 4 の膜厚が犠牲シード層 3 0 の膜厚に比べて厚くなると、犠牲シード層 3 0 が半導体結晶層 4 の犠牲となって格子欠陥を伴うことで、半導体結晶層 4 とシード層 2（犠牲シード層 3 0）との格子不整合や熱膨張係数の不整合を許容することとなり、シード層 2（犠牲シード層 3 0）と半導体結晶層 4 との間の格子不整合や熱膨張係数の影響を半導体結晶層 4 がほとんど受けずに成長することができ、半導体結晶層 4 として極低転位密度（ 10^2 cm^{-2} オーダー）の高品質単結晶薄膜層を形成することができる。また、シード層 2 の膜厚を臨界膜厚より薄くすることでシード層 2（犠牲シード層 3 0）の c 軸及び a 軸の配向性を良好に形成出来るため、犠牲シード層 3 0 上に成長される半導体結晶層 4 についても c 軸及び a 軸配向について、X 線回折半値半幅が目標値以下に制御することができる。また、犠牲層 3 1 において機械的に基板 1 を容易に剥離可能であるため、半導体結晶層 4 を任意の基板上へ転写できる。

10

20

30

40

50

【0033】

ここで、一般的に半導体の結晶の品質を低下させている原因は結晶を成長させる表面と結晶との格子不整合及び熱膨張係数不整合に伴い発生する界面応力であるが、本発明は、犠牲シード層 3 0 が格子欠陥を伴って犠牲となることで、成長させたい種々の単結晶層と結晶を成長させる表面である犠牲シード層 3 0 との格子不整合及び熱膨張係数不整合を考慮せずに済むものであり、従来の 2 段階成長法における低温バッファ層に代わり得る、より高品質な半導体結晶を得られる積層構造体である。また、本発明の適応できる範囲は単元素半導体又は III-V 族若しくは II-IV 族化合物半導体等の化合物半導体であって、広く半導体デバイスに応用可能である。

【0034】

なお、本実施の形態と比較する比較例としての半導体積層構造体の製造方法として、SiC 基板上にまず先にグラフェン層を成長させて、次に当該グラフェン層上に AlN 層を成長させる方法もあるが、グラフェン層の六角形格子構造に対して AlN の六方晶の六角形の大きさが大きいと、c 軸配向は良好となるものの、表面ポテンシャルに対する熱揺らぎにより初期成長核の結晶軸が揺らいで a 軸配向が良好なものとはならず、本実施の形態の犠牲シード層 3 0 と同等の a 軸配向特性を有する AlN 層は達成できない。つまり、比較例としての AlN 層は、基板上に臨界膜厚より薄い膜厚で生成されたものではないから c 軸配向及び a 軸配向が良好に制御された層でない。従って、このような比較例としての AlN 層上には本実施の形態の半導体結晶層 4 と同等品質の半導体結晶層を成長させることができない。

【0035】

また、特に III-V 族窒化物半導体混晶は、一般に格子不整合及び熱膨張係数不整合を原因として高密度刃状転位及び貫通転位を有し、格子欠陥がドナーの役割を果たすため高い残留電子濃度を有する n 型の電気特性を示す。このため、アクセプター不純物を添加しても p 型伝導度制御は困難であったが、本願発明によって結晶欠陥を低密度に制御することで、III-V 族窒化物半導体混晶においても p 型の伝導度制御も可能となる。

【0036】

（実施例 1）

まず、基板 1 として SiC 単結晶基板を用意した。基板サイズは $10 \text{ mm} \times 10 \text{ mm} \times 0.35 \text{ mm}$ のものを用いた。次に、基板 1 の表面にシングルメインのシード層 2 として単結晶の AlN を 1 モノレーヤーの厚みで形成した。なお、成長法は、分子線エピタキシャル法、有機金属気相成長法やレーザーアブレーション法等を用いてもよい。シード層 2 は、臨界膜厚以下の層数を有することで c 軸及び a 軸配向が制御された転位密度 10^2 cm^{-2} 以下の AlN の単結晶である。

【0037】

次に高温熱処理装置を用いて窒素雰囲気中、1650、500 Torr、20分間の熱処理を行い中間層3としてAlN/グラフェン構造を形成した。なお、高温熱処理はアルゴン雰囲気中で行ってもよい。

【0038】

図7(a)及び(b)は、熱処理前のシード層2としてのAlN層表面の高速電子線回折(RHEED: Reflection of High Energy Diffraction)像及び熱処理後の中間層3表面の高速電子線回折像の一例を示す図である。なお、図7(a)及び(b)は、電子線の方向を $[10\ 10]$ と平行にした場合の回折像である。

10

【0039】

図8(a)及び(b)は、熱処理前のシード層2としてのAlN層表面の高速電子線回折像及び熱処理後の中間層3表面の高速電子線回折像の他の例を示す図である。なお、図8(a)及び(b)は、電子線の方向を $[11\ 20]$ と平行にした場合の回折像である。

【0040】

図7(a)及び図8(a)に示すように、熱処理前はAlNからの回折像のみが観察され、図7(b)及び図8(b)に示すように、熱処理後はAlNからの回折像及びグラフェンからの回折像が共存して観察された。つまり、グラフェン層である犠牲層31がSiCである基板1とAlNである犠牲シード層30の間に形成されていることがわかる。

20

【0041】

図9は、中間層3表面のラマン散乱スペクトルの一例を示す図である。

【0042】

図9に示すように、ラマン散乱スペクトルから図中左側ピークにGバンド、図中右側にG'バンドが観測され、GバンドとG'バンドの強度比から2から3モノレイヤーのグラフェン層である犠牲層31がSiCの基板1とAlNの犠牲シード層30の間に形成されていることがわかる。

【0043】

図10は、中間層3表面の原子間力顕微鏡(AFM: Atomic Force Microscope)表面像の一例を示す図である。

30

【0044】

図10に示すように、原子間力顕微鏡法による表面像から中間層3の表面が原子レベルで平坦であり、かつ転位やドメインの存在を示す異常は観測されなかった。

【0045】

図11(a)及び(b)は、4H SiC基板及び中間層3からの対称反射X線ロックアップカーブの一例を示す図である。なお、図11(a)及び(b)は、 $[0002]$ 面に対する対称反射X線ロックアップカーブである。

【0046】

図12(a)及び(b)は、4H SiC基板及び中間層3からの非対称反射X線ロックアップカーブの一例を示す図である。なお、図12(a)及び(b)は、 $[10\ 11]$ 面に対する対称反射X線ロックアップカーブである。

40

【0047】

図13(a)及び(b)は、4H SiC基板及び中間層3からの非対称反射X線ロックアップカーブの他の例を示す図である。なお、図13(a)及び(b)は、 $[10\ 12]$ 面に対する対称反射X線ロックアップカーブである。

【0048】

図14(a)及び(b)は、4H SiC基板及び中間層3からの非対称反射X線ロックアップカーブの他の例を示す図である。なお、図14(a)及び(b)は、 $[10\ 13]$ 面に対する対称反射X線ロックアップカーブである。

【0049】

50

図15(a)及び(b)は、4H SiC基板及び中間層3からの非対称反射X線ロックアップカーブの他の例を示す図である。なお、図15(a)及び(b)は、 $[30\ 32]$ 面に対する対称反射X線ロックアップカーブである。

【0050】

図11(a)、図12(a)、図13(a)、図14(a)及び図15(a)に示すように、犠牲シード層30及び犠牲層31がそれぞれ0.5ミクロン以下の膜厚の薄膜であるにも関わらず、対称及び非対称反射ロックアップカーブ半値半幅は $2,000\text{ arcsec}$ 以下であった。つまり、a軸、c軸配向性があるレベルで実現されていることがわかる。なお、前述した参考文献1に記載の発明によれば、SiC基板の表面を洗浄後、SiC基板上にAlNを700nm成長させることで、達成できる対称及び非対称反射ロックアップカーブ半値半幅は 20 arcsec 台であるため、原理的には、適宜成長条件を調整することでシード層2及び犠牲シード層30としてのAlN層についても対称及び非対称反射ロックアップカーブ半値半幅を 20 arcsec 以下とすることができると推測される。

10

【0051】

次に、分子線エピタキシャル法を用いて半導体結晶層4として、AlNと最も格子定数に違いのあるIII-V族窒化物であるInN層を $1\mu\text{m}$ 形成した。

【0052】

その後、半導体結晶層4としてのInN層の結晶性を測定したところ、ラマン散乱スペクトルにおいて界面応力によるピークシフトは観測されなかった。

20

【0053】

また、半導体結晶層4としてのInN層の対称反射及び非対称反射のX線ロックアップカーブの半値半幅は、実施例1のAlN薄膜の場合と同様に、それぞれ $2,000\text{ arcsec}$ 以下であった。また、上記したシード層2及び犠牲シード層30としてのAlN層についても対称及び非対称反射ロックアップカーブ半値半幅を 20 arcsec 以下とすることができれば、原理的には、同様に半導体結晶層4としてのInN層についても対称及び非対称反射ロックアップカーブ半値半幅を 20 arcsec 以下とすることができると推測される。また、転位密度についても同様に 10^2 cm^{-2} オーダーを実現可能と推測される。

【0054】

(実施例2)

まず、実施例1と同様に基板1としてSiC単結晶基板を用意した。

30

【0055】

次に、分子線エピタキシャル法を用いて、基板1の表面にシングルドメインのシード層2として単結晶のAlNを1モノレイヤーの厚みで形成した。

【0056】

次に高温熱処理装置を用いて窒素雰囲気中、 1650 、 500 Torr 、20分間の熱処理を行い中間層3としてAlN/グラフェン構造を形成した。

【0057】

次に、分子線エピタキシャル法を用いて半導体結晶層4として犠牲シード層30上に半導体結晶層4としてAlN層を $1\mu\text{m}$ 形成した。

40

【0058】

ここで、図9のラマン散乱スペクトルにおけるGaN LOフォノンモードのピーク位置から、成長層である半導体結晶層4には全く界面応力が働いていないことがわかる。

【0059】

半導体結晶層4としてのAlN層の結晶性を測定したところ、ラマン散乱スペクトルにおいて界面応力によるピークシフトは観測されず、また、対称反射及び非対称反射のX線ロックアップカーブの半値半幅は、双方ともそれぞれ $2,000\text{ arcsec}$ 以下であった。

【0060】

(実施例3)

50

まず、実施例 1 と同様に基板 1 として SiC 単結晶基板を用意した。

【0061】

次に、分子線エピタキシャル法を用いて、基板 1 の表面にシングルドメインのシード層 2 として単結晶の AlN を 1 モノレーヤーの厚みで形成した。

【0062】

次に高温熱処理装置を用いて窒素雰囲気中、1650、500 Torr、20 分間の熱処理を行い中間層 3 として AlN / グラフェン構造を形成した。

【0063】

次に、分子線エピタキシャル法を用いて半導体結晶層 4 として犠牲シード層 30 上に半導体結晶層 4 として GaN 層を 1 μm 形成した。

10

【0064】

図 18 は、半導体結晶層 4 としての GaN 層からの非対称反射 X 線ロックアップカーブの例、並びに比較対象のためのサファイア基板上に成長した GaN 層及びグラフェン上に成長した GaN 層からの非対称反射 X 線ロックアップカーブを示す図である。なお、図 18 は、[10 13] 面に対する対称反射 X 線ロックアップカーブである。

【0065】

図 18 に示すように、対称及び非対称反射ロックアップカーブ半値半幅は 1,806 と 2,000 arcsec 以下であった。つまり、a 軸、c 軸配向性があるレベルで実現されていることがわかる。なお、サファイア基板上に GaN を 1 μm 成長させた場合の非対称反射ロックアップカーブ半値半幅は 1,750 arcsec であり、グラフェン上に GaN を 1 μm 直接成長させた場合の非対称反射ロックアップカーブ半値半幅は 4,721 arcsec であった。つまり、現在高品質とされるサファイア基板上の GaN と同程度の結晶品質の GaN 層が中間層 3 上に界面応力のほぼ無い状態で得られていることが分かる。

20

【0066】

図 19 は、半導体結晶層 4 としての GaN 層表面のラマン散乱スペクトルの一例、並びに比較対象のためのサファイア基板上に成長した GaN 層及びグラフェン上に成長した GaN 層表面のラマン散乱スペクトルを示す図である。

【0067】

図 19 に示すように、ラマン散乱スペクトルにおいて界面応力によるピークシフトはバルク GaN 基板のピーク値 567 cm^{-1} と比べてわずか 0.3 cm^{-1} であり、サファイア基板上に成長した GaN 層のピークシフトである 1.9 cm^{-1} と比べて十分に小さいものであった。

30

【0068】

(実施例 4)

まず、実施例 1 と同様に基板 1 として SiC 単結晶基板を用意した。

【0069】

次に、分子線エピタキシャル法を用いて、基板 1 の表面にシングルドメインのシード層 2 として単結晶の AlN を 1 モノレーヤーの厚みで形成した。

【0070】

次に高温熱処理装置を用いて窒素雰囲気中、1650、500 Torr、20 分間の熱処理を行い中間層 3 として AlN / グラフェン構造を形成した。

40

【0071】

次に、分子線エピタキシャル法を用いて半導体結晶層 4 として犠牲シード層 30 上に半導体結晶層 4 として Si 層を 1 モノレーヤー形成した。

【0072】

半導体結晶層 4 としての Si 層の結晶性を RHEED 測定したところ、単結晶 Si 層からの電子線回折パターンが観測され、単結晶層が形成されていることが確認できた。

【0073】

図 20 は、実施例 1 ~ 4 の結果を示す表である。

【0074】

50

以上の実施例 1 ~ 4 の結果は、単結晶薄膜形成後の SiC 基板面方位や膜厚に依存した結晶軸の揺らぎなどを考慮すると、中間層 3 の形成条件最適化を図ることにより結晶方位が制御された極低転位密度（転位密度 10^2 cm^{-2} 以下）の高品質単結晶薄膜層を任意基板上へ形成することが可能であることを示している。

【0075】

なお、本発明は、上記実施の形態に限定されず、本発明の趣旨を逸脱しない範囲内において種々に変形実施が可能である。

【0076】

本発明の他の態様は、上記目的を達成するため、以下の半導体積層構造体の製造方法及び半導体積層構造体を提供する。

【0077】

[1] 基板上にシングルドメインのシード層を臨界膜厚以下で積層する工程と、

前記シード層が積層された前記基板を熱処理して前記シード層との界面に犠牲層を形成し、当該犠牲層によって前記基板と前記シード層との結合を分子間力を主とした結合にすることで前記シード層を犠牲シード層とする工程と、

前記犠牲シード層上に単元素又は化合物の半導体結晶層を前記犠牲シード層の膜厚以上に成長する工程とを含む半導体積層構造体の製造方法。

[2] 前記基板と前記犠牲シード層とを前記犠牲層で剥離する工程をさらに含む前記 [1] に記載の半導体積層構造体の製造方法。

[3] 前記半導体結晶層の前記犠牲シード層側の面を研磨又はエッチングして前記犠牲シード層を剥離する工程をさらに含む前記 [2] に記載の半導体積層構造体の製造方法。

[4] SiC 基板上にシングルドメインの AlN 層を臨界膜厚以下で積層する工程と、

前記 AlN 層が積層された SiC 基板を熱処理して前記 AlN 層との界面にグラフェン層を形成し、当該グラフェン層によって前記 SiC 基板と前記 AlN 層との結合を分子間力を主とした結合にすることで前記 AlN 層を犠牲シード層とする工程と、

前記犠牲シード層となった AlN 層上に単元素又は化合物の半導体結晶層を成長する工程とを含む半導体積層構造体の製造方法。

[5] 前記 SiC 基板と前記 AlN 層を前記グラフェン層で剥離する工程をさらに含む前記 [4] に記載の半導体積層構造体の製造方法。

[6] 前記半導体結晶層の前記 AlN 層側の面を研磨して前記 AlN 層を剥離する工程をさらに含む前記 [5] に記載の半導体積層構造体の製造方法。

[7] シングルドメインの犠牲シード層と、

前記犠牲シード層上に成長した単元素又は化合物の半導体結晶層とを有する半導体積層構造体。

[8] 基板上にシード層を形成した後、当該基板と当該シード層を熱処理して当該基板の当該シード層との界面に得られた分子間力を主とした結合力で結合する犠牲層を前記犠牲シード層下にさらに有する前記 [7] に記載の半導体積層構造体。

[9] 前記基板をさらに有する前記 [8] に記載の半導体積層構造体。

[10] シングルドメインの AlN 層と、

前記 AlN 層上に成長した Si 又は III-V 族化合物半導体層とを有する半導体積層構造体。

[11] SiC 基板上に臨界膜厚以下で前記 AlN 層を形成した後、当該 SiC 基板と当該 AlN 層を熱処理して当該 SiC 基板の当該 AlN 層との界面に得られた分子間力を主とした結合力で結合するグラフェン層をさらに有する前記 [10] に記載の半導体積層構造体。

[12] 前記 SiC 基板をさらに有する前記 [11] に記載の半導体積層構造体。

【符号の説明】

【0078】

1 : 基板

2 : シード層

10

20

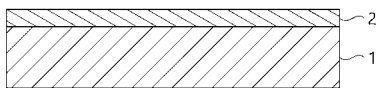
30

40

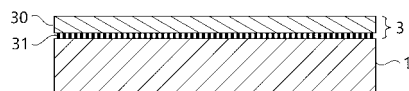
50

- 3 : 中間層
- 3 : 犠牲層
- 4 : 半導体結晶層
- 3 0 : 犠牲シート層
- 3 1 : 犠牲層
- 3 1 0 : 犠牲層
- 3 1 1 : 犠牲層

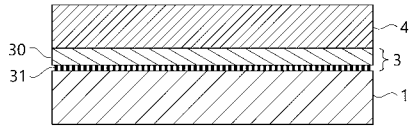
【 図 1 】



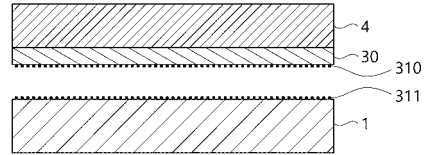
【 図 2 】



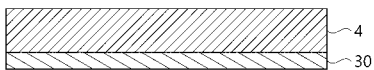
【 図 3 】



【 図 4 】



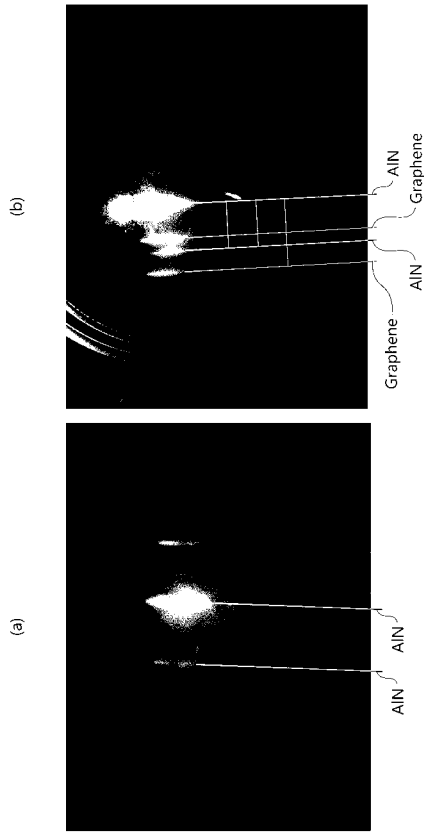
【 図 5 】



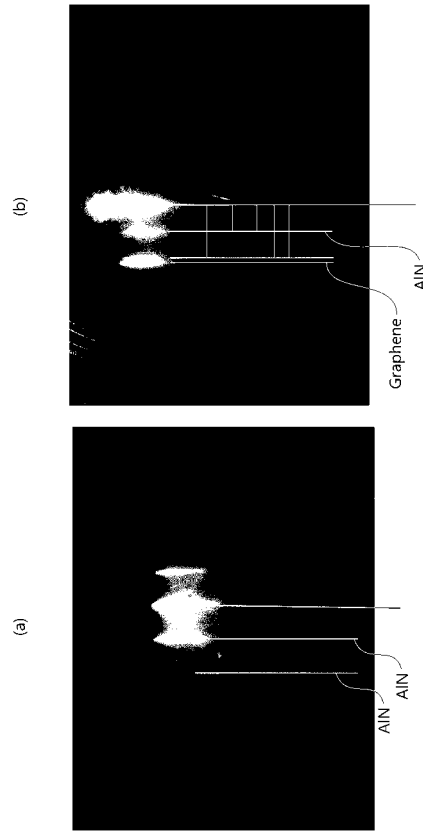
【 図 6 】



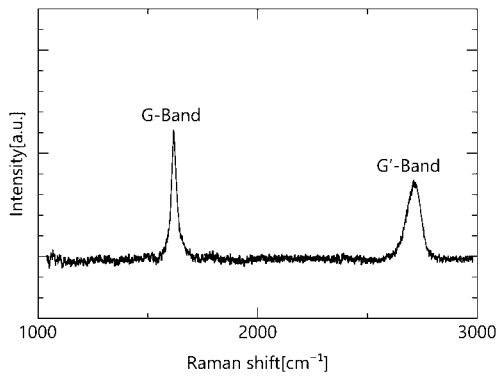
【 図 7 】



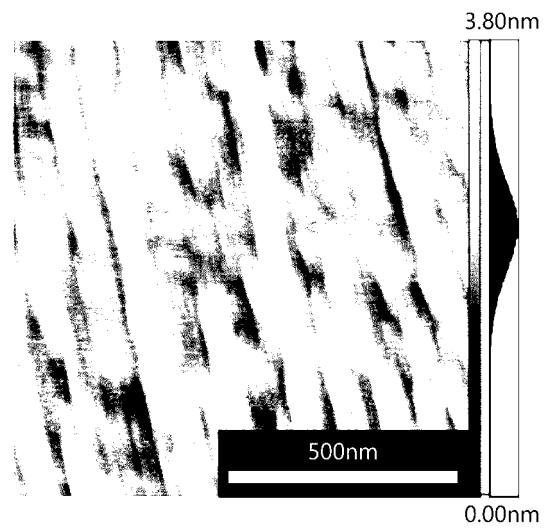
【 図 8 】



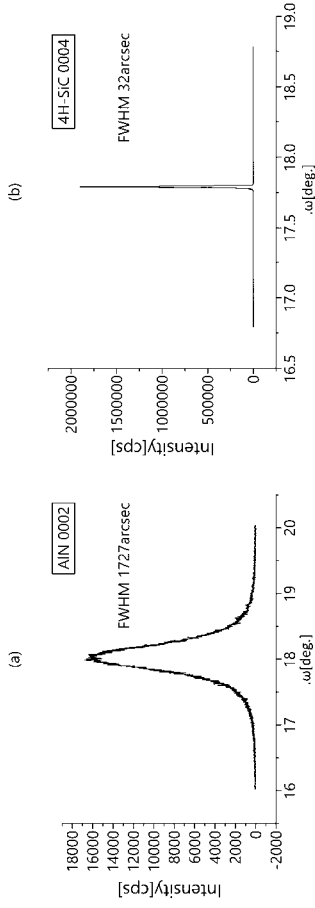
【 図 9 】



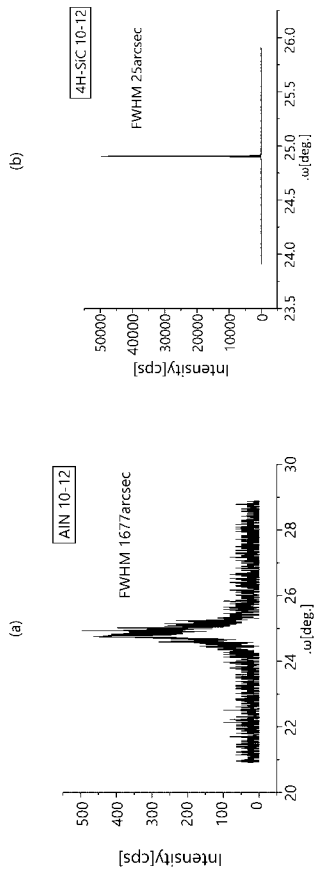
【 図 10 】



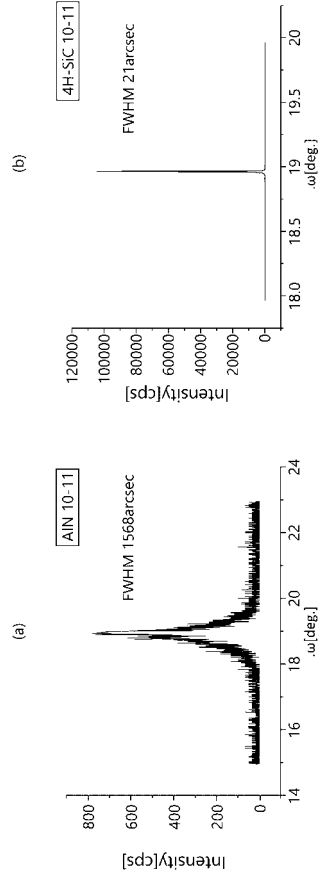
【 図 1 1 】



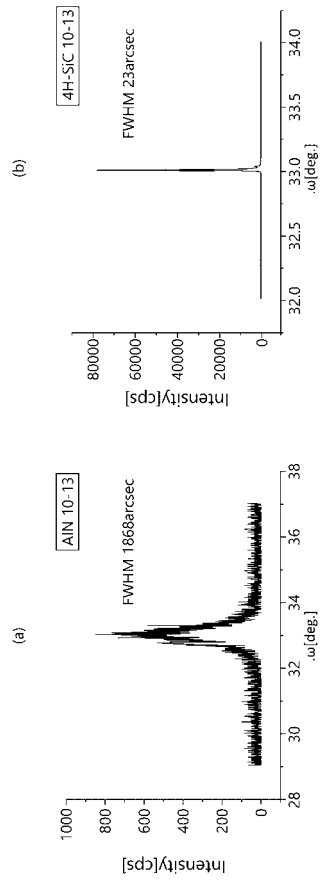
【 図 1 3 】



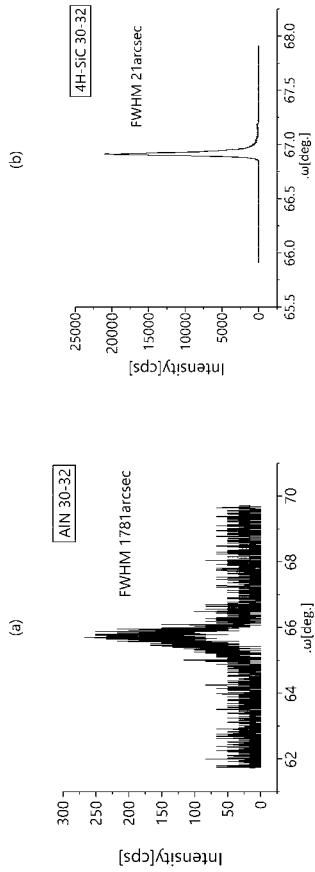
【 図 1 2 】



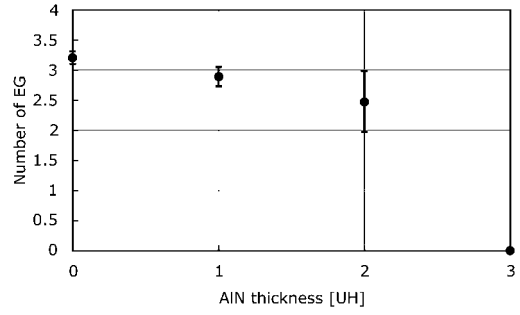
【 図 1 4 】



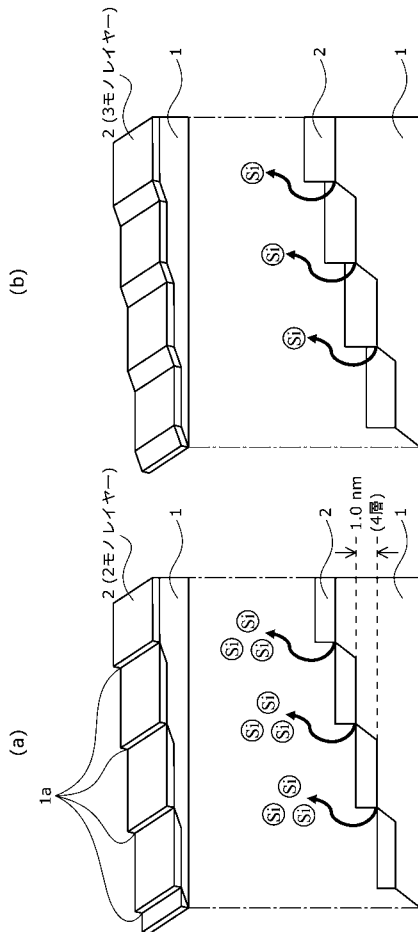
【 図 15 】



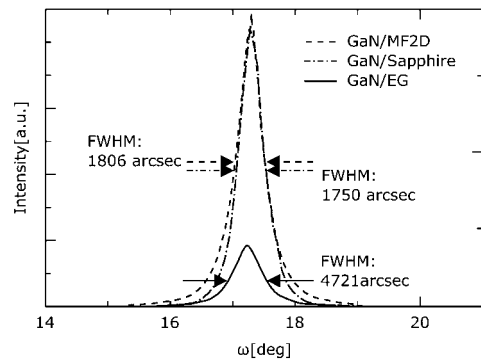
【 図 16 】



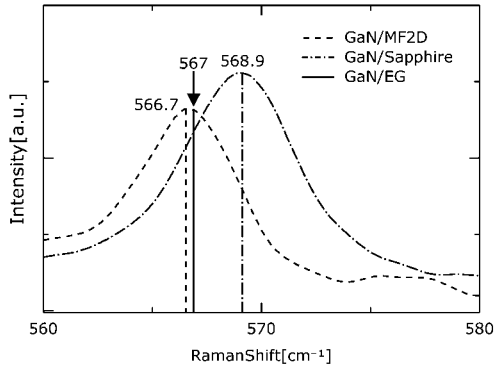
【 図 17 】



【 図 18 】



【 図 19 】



【 図 20 】

	実施例1	実施例2	実施例3	実施例4
基板1	4H-SiC 0.35mm	4H-SiC 0.35mm	4H-SiC 0.35mm	4H-SiC 0.35mm
シート層2	AlN 1unit hight	AlN 1unit hight	AlN 1unit hight	AlN 1unit hight
犧牲シート層30	AlN 1unit hight	AlN 1unit hight	AlN 1unit hight	AlN 1unit hight
犧牲層31	Epitaxial Graphene Bi-layer	Epitaxial Graphene Bi-layer	Epitaxial Graphene Bi-layer	Epitaxial Graphene Bi-layer
半導体結晶層4	InN 1 μ m	AlN 1 μ m	GaN 1 μ m	Si 1~2 ML
ラマン散乱スベクトルピークシフト	x	1.1 cm ⁻¹	0.3 cm ⁻¹	x
X線ロッキングカーブ半値幅	x	c-axis:383arcsec a-axis:1224arcsec	c-axis:1806arcsec a-axis:2437arcsec	x
貫通転位密度	x	x	x	x

フロントページの続き

Fターム(参考) 5F045 AA05 AB09 AB14 AF02 AF04 AF13 AF19 BB12 CA10 CA12
CA13 DA53 HA16
5F152 LL09 LN02 LP09 NN01 NN05 NN06 NP02 NP09 NQ03 NQ09