

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-108196
(P2020-108196A)

(43) 公開日 令和2年7月9日(2020.7.9)

(51) Int.Cl. F I テーマコード(参考)
HO2M 3/28 (2006.01) HO2M 3/28 H 5H730

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願2018-242621 (P2018-242621)
 (22) 出願日 平成30年12月26日(2018.12.26)

(出願人による申告)平成26年度、独立行政法人新エネルギー・産業技術総合開発機構、戦略的イノベーション創造プログラム(SIP)「SIP(戦略的イノベーション創造プログラム)/次世代パワーエレクトロニクス/次世代パワーモジュールの応用に関する基盤研究開発/次世代パワーモジュールを使用したパワーエレクトロニクス機器とその統合システムの包括的研究開発」、産業技術力強化法第19条の適用を受ける出願

(71) 出願人 304021417
 国立大学法人東京工業大学
 東京都目黒区大岡山2丁目12番1号
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (74) 代理人 100109047
 弁理士 村田 雄祐
 (74) 代理人 100109081
 弁理士 三木 友由
 (74) 代理人 100133215
 弁理士 真家 大樹
 (72) 発明者 赤木 泰文
 東京都目黒区大岡山2丁目12番1号 国立大学法人東京工業大学内

最終頁に続く

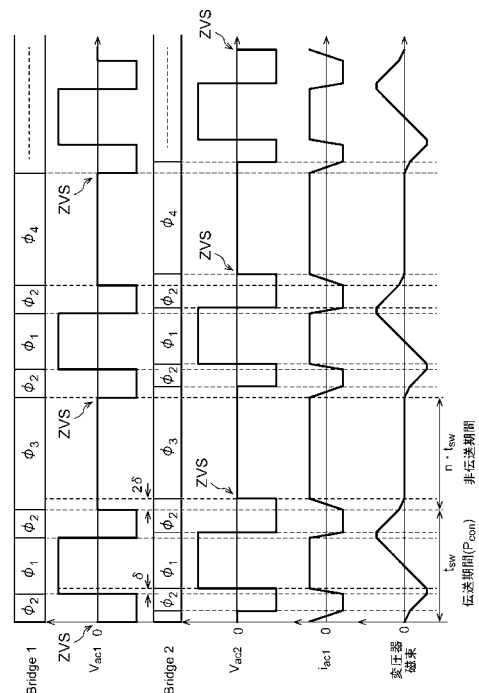
(54) 【発明の名称】絶縁型の双方向DC/DCコンバータおよびその制御方法

(57) 【要約】

【課題】直流電流成分を抑制した絶縁型の双方向DC/DCコンバータを提供する。

【解決手段】DABコンバータにおいて、伝送期間と非伝送期間を交互に発生させる間欠運転を実施する。非伝送期間の間、インダクタンス電流 i_{ac1} を流すことにより、ゼロ電圧スイッチングZVSを行う。

【選択図】図4



【特許請求の範囲】

【請求項 1】

トランスと、

前記トランスの 1 次巻線と接続される第 1 フルブリッジ回路と、

前記トランスの 2 次巻線と接続される第 2 フルブリッジ回路と、

前記第 1 フルブリッジ回路および前記第 2 フルブリッジ回路を制御するコントローラと

を備え、

前記コントローラは、伝送期間と非伝送期間を交互に発生させる間欠運転を実施し、前記非伝送期間の間、インダクタンス電流を流すことにより、ゼロ電圧スイッチングを行うことを特徴とする絶縁型の双方向 DC / DC コンバータ。

10

【請求項 2】

前記非伝送期間の間、前記第 1、第 2 フルブリッジ回路それぞれにおいて、上アームのスイッチのペアおよび下アームのスイッチのペアの一方が導通することを特徴とする請求項 1 に記載の絶縁型の双方向 DC / DC コンバータ。

【請求項 3】

前記伝送期間は、

前記第 1、第 2 フルブリッジ回路それぞれの第 1 の対角に位置するスイッチのペアが導通する状態、

前記第 1、第 2 フルブリッジ回路それぞれの第 2 の対角に位置するスイッチのペアが導通する状態、

20

前記第 1、第 2 フルブリッジ回路それぞれの第 1 の対角に位置するスイッチのペアが導通する状態、

を、少なくとも 1 回含むことを特徴とする請求項 1 または 2 に記載の絶縁型の双方向 DC / DC コンバータ。

【請求項 4】

トランスと、

前記トランスの 1 次巻線と接続される第 1 フルブリッジ回路と、

前記トランスの 2 次巻線と接続される第 2 フルブリッジ回路と、

前記第 1 フルブリッジ回路および前記第 2 フルブリッジ回路を制御するコントローラと

30

を備え、

前記第 1 フルブリッジ回路と前記第 2 フルブリッジ回路はそれぞれ、

上アームの第 1 スwitchおよび下アームの第 2 スwitchを含む第 1 レグと、

上アームの第 3 スwitchおよび下アームの第 4 スwitchを含む第 2 レグと、

を含み、

前記第 1 スwitch、前記第 4 スwitchがオンである状態を第 1 状態、

前記第 2 スwitch、前記第 3 スwitchがオンである状態を第 2 状態、

前記第 1 スwitch、前記第 3 スwitchがオンである状態を第 3 状態、

前記第 2 スwitch、前記第 4 スwitchがオンである状態を第 4 状態、

40

とするとき、

前記コントローラは、前記第 2 状態、前記第 1 状態、前記第 2 状態、前記第 3 状態、前記第 2 状態、前記第 1 状態、前記第 2 状態、前記第 4 状態を、順に繰り返すことを特徴とする絶縁型の双方向 DC / DC コンバータ。

【請求項 5】

絶縁型の双方向 DC / DC コンバータの制御方法であって、

前記双方向 DC / DC コンバータは、

トランスと、

前記トランスの 1 次巻線と接続される第 1 フルブリッジ回路と、

前記トランスの 2 次巻線と接続される第 2 フルブリッジ回路と、

50

を備え、
 前記制御方法は、
 伝送期間と非伝送期間を交互に発生させる間欠運転を実施するステップと、
 前記非伝送期間の間、インダクタンス電流を流すことにより、ゼロ電圧スイッチングを行うステップと、
 を備えることを特徴とする制御方法。

【請求項 6】

絶縁型の双方向 DC / DC コンバータの制御方法であって、
 前記双方向 DC / DC コンバータは、
 トランスと、
 前記トランスの 1 次巻線と接続される第 1 フルブリッジ回路と、
 前記トランスの 2 次巻線と接続される第 2 フルブリッジ回路と、
 前記第 1 フルブリッジ回路および前記第 2 フルブリッジ回路を制御するコントローラと

10

を備え、
 前記第 1 フルブリッジ回路と前記第 2 フルブリッジ回路はそれぞれ、
 上アームの第 1 スイッチおよび下アームの第 2 スイッチを含む第 1 レグと、
 上アームの第 3 スイッチおよび下アームの第 4 スイッチを含む第 2 レグと、
 を含み、

前記第 1 スイッチ、前記第 4 スイッチがオンである状態を第 1 状態、
 前記第 2 スイッチ、前記第 3 スイッチがオンである状態を第 2 状態、
 前記第 1 スイッチ、前記第 3 スイッチがオンである状態を第 3 状態、
 前記第 2 スイッチ、前記第 4 スイッチがオンである状態を第 4 状態、
 とするとき、

20

前記制御方法は、前記第 2 状態、前記第 1 状態、前記第 2 状態、前記第 3 状態、前記第 2 状態、前記第 1 状態、前記第 2 状態、前記第 4 状態を、順に繰り返すことを特徴とする制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁型双方向 DC / DC コンバータに関する。

30

【背景技術】

【0002】

電氣的絶縁と電圧整合手段として、小型・軽量の高周波トランス（以下、単にトランスという）を使用した絶縁型の双方向 DC / DC コンバータが注目されている。双方向 DC / DC コンバータは、2 台の単相フルブリッジ回路（Hブリッジ回路ともいう）をトランス 102 を介して接続する回路構成に特徴があり、大電力用途に適している（非特許文献 1～3）。双方向 DC / DC コンバータは、その回路構成から、DAB（Dual-Active-Bridge）コンバータとも称される。DAB コンバータは、各ブリッジ回路の対角スイッチを同時にスイッチングすることによってデューティ比 50% の方形波電圧を、トランスの 1 次巻線および 2 次巻線に発生させる。そしてブリッジ回路間の位相差を制御することによって伝送電力を調整できる。この場合、各ブリッジはゼロ電圧スイッチング（ZVS：Zero-Voltage Switching）動作が可能になり、高効率な電力伝送が実現できる。しかし、低出力領域では、不完全 ZVS 動作に伴うスイッチング損失（スナバ損失）が増加し、変換効率が低下するという問題がある（非特許文献 3，4）。

40

【0003】

また、DAB コンバータにパルス幅変調（PWM：Pulse-Width-Modulation）制御を組み合わせる提案もなされている（非特許文献 5，6）これはブリッジ回路のレグ間に位相差を設けることで、電流実効値を低減しつつ伝送電力を調整しようとするものである。これは小容量 DAB コンバータを対象にしたもので、低出力領域では不完全 ZVS 動作となり

50

、損失低減よりも制御性を優先させた考え方である。

【0004】

低出力領域の損失低減を重視した電力調整手法として間欠運転がある。これは電力伝送非伝送期間（休止期間）を設け、伝送電力を平均的に調整しようとするもので、バーストモード（Burst Mode）とも呼ばれている（非特許文献7～10）。

【0005】

DABコンバータは、主として、トランスと、トランスの1次巻線と接続される第1フルブリッジ回路、2次巻線と接続される第2フルブリッジ回路を備える。

【0006】

図1は、従来の間欠運転を説明する波形図である。 v_{ac1} 、 v_{ac2} は、DABコンバータのトランスの1次側、2次側の電圧波形（フルブリッジ回路の出力電圧）を表す。

10

【0007】

間欠運転では、第1フルブリッジ回路、第2フルブリッジ回路をスイッチングする伝送期間と、それらのスイッチングを停止する非伝送期間を交互に繰り返す。伝送期間と非伝送期間の長さは、パラメータ m 、 n を用いて以下のように規定される。

伝送期間 $+ 2m$

非伝送期間 $2n$

運転周期は、伝送期間と非伝送期間の合計であるから、 $2(m+n) +$ となる。

【0008】

パラメータ m は、任意の実数を選ぶことができるが、トランスの磁気飽和を防ぐため0.5の自然数倍（ $m = 0.5, 1.0, 1.5, \dots$ ）が選択される。 m が非整数の場合（ $m = 0.5, 1.5, 2.5, \dots$ ）、伝送期間の波形は、半波で区切られることとなる。たとえば $m = 0.5$ とすれば、ある伝送期間において、正の半波が、次の伝送期間において負の半波が発生する。

20

【0009】

間欠運転では、パラメータ n を変化させることにより伝送電力を調整することができ、出力電力は式(1)で与えられる。

【数1】

$$P_{int} = \frac{mP_{con} - V_{D1}NV_{D2}\delta/8\pi fL}{m+n+\delta/2\pi} \quad \dots (1)$$

30

V_{D1} ... 第1フルブリッジ回路の直流電圧

V_{D2} ... 第2フルブリッジ回路の直流電圧

f ... スwitchング周波数

L ... 1次側換算のインダクタンスとトランスの漏れインダクタンスの合成インダクタンス

N ... トランスの巻線比

【0010】

40

P_{con} は、電力フローの方向と大きさを表しており、1次側と2次側のフルブリッジ回路の位相差をパラメータとして式(2)で与えられる。

【数2】

$$P_{con} = \frac{V_{D1}NV_{D2}}{2\pi fL} \delta \left(1 - \frac{\delta}{\pi}\right) \quad \dots (2)$$

【先行技術文献】

【特許文献】

50

【 0 0 1 1 】

【 特許文献 1 】 特開 2 0 1 7 - 1 3 0 9 9 7 号公報

【 非特許文献 】

【 0 0 1 2 】

【 非特許文献 1 】 R. W. D. Doncker, D. M. Divan, M. H. Kheraluwala: " A three-phase soft-switched high-power-density dc/dc converter for high-power applications, " IEEE Trans. Ind. Appl., Vol. 27, No. 1, pp. 63-73, (1991-1)

【 非特許文献 2 】 M. H. Kheraluwala, R. W. Gascoigne, D. M. Divan, E. D. Baumann: " Performance characterization of a high-power dual active bridge dc-to-dc converter, " IEEE Trans. Ind. Appl., Vol. 28, No. 6, pp. 1294-1301, (1992-11)

【 非特許文献 3 】 S. Inoue, H. Akagi: " Operating voltage and loss analysis of a bidirectional isolated dc/dc converter, " IEEJ Trans. Ind. Appl., Vol. 127, No. 2, pp. 189-197, (2007-5)

【 非特許文献 4 】 T. Yamagishi, H. Akagi: " A 750-V, 100-kW, 20-kHz bidirectional isolated dc/dc converter using SiC-MOSFET/SBD modules, " IEEJ Trans. Ind. Appl., Vol. 134, No. 5, pp. 544-553, (2014-5)

【 非特許文献 5 】 A. K. Jain, R. A. Ayyanar: " PWM control of dual active bridge: comprehensive analysis and experimental verification, " IEEE Trans. Power Electron., Vol. 26, No. 4, pp. 1215-1227, (2011-4)

【 非特許文献 6 】 G. G. Oggier, G. O. Garcia, A. R. Oliva: " Switching control strategy to minimize dual active bridge converter losses, " IEEE Trans. Power Electron., Vol. 24, No. 7, pp. 1826-1838, (2009-7)

【 非特許文献 7 】 A. Rodriguez, A. Vazquez, D. G. Lamar, M. M. Hernando, J. Sebastian: " Different purpose design strategies and techniques to improve the performance of a dual active bridge with phase-shift control, " IEEE Trans. Power Electron., Vol. 30, No. 2, pp. 790-804, (2015-2)

【 非特許文献 8 】 G. G. Oggier, M. Ordonez: " High-Efficiency D A B Converter Using Switching Sequences and Burst Mode, " IEEE Trans. Power Electron., Vol. 31, No. 3, pp. 2069-2082, (2016-3)

【 非特許文献 9 】 H. Fujita, H. Akagi: " Pulse-density-modulated power control of a 4 kW, 450 kHz voltage-source inverter for induction melting applications, " IEEE Trans. Ind. Applicat., Vol. 32, No. 2, pp. 279-286, Mar/Apr 1996

【 非特許文献 1 0 】 H. Fujita, H. Akagi: " Control and performance of a pulse-density modulated series-resonant inverter for corona discharge processes, " IEEE Trans. Ind. Applicat., Vol. 35, No. 3, pp. 621-627, May/Jun 1999

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

本発明者は、D A B コンバータに間欠運転を適用するにあたり、以下の課題を認識するに至った。

【 0 0 1 4 】

従来の間欠運転では、非伝送期間の間、インダクタンス電流をゼロとしていた。そのため、1次側、2次側ともに、ブリッジ回路を構成するスイッチ(トランジスタ)を電圧が非ゼロの状態ですwitchingさせるハードswitchingが発生しており、switching損失が発生した。双方向D C / D C コンバータのさらなる効率改善のためには、switching損失の低減が求められる。

【 0 0 1 5 】

本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、効率を改善した絶縁型の双方向D C / D C コンバータの提供にある。

【 課題を解決するための手段 】

10

20

30

40

50

【 0 0 1 6 】

本発明のある態様は、絶縁型の双方向DC/DCコンバータに関する。双方向DC/DCコンバータは、トランスと、トランスの1次巻線と接続される第1フルブリッジ回路と、トランスの2次巻線と接続される第2フルブリッジ回路と、第1フルブリッジ回路および第2フルブリッジ回路を制御するコントローラと、を備える。コントローラは、伝送期間と非伝送期間を交互に発生させる間欠運転を実施し、非伝送期間の間、インダクタンス電流を流すことにより、ゼロ電圧スイッチングを行う。

【 0 0 1 7 】

非伝送期間の間、第1、第2フルブリッジ回路それぞれにおいて、上アームのスイッチのペアおよび下アームのスイッチの一方がペアが導通してもよい。

10

【 0 0 1 8 】

伝送期間は、第1、第2フルブリッジ回路それぞれの第1の対角に位置するスイッチのペアが導通する状態、第1、第2フルブリッジ回路それぞれの第2の対角に位置するスイッチのペアが導通する状態、第1、第2フルブリッジ回路それぞれの第1の対角に位置するスイッチのペアが導通する状態、を少なくとも1回含んでもよい。

【 0 0 1 9 】

本発明の別の態様は、絶縁型の双方向DC/DCコンバータである。この絶縁型の双方向DC/DCコンバータは、トランスと、トランスの1次巻線と接続される第1フルブリッジ回路と、トランスの2次巻線と接続される第2フルブリッジ回路と、第1フルブリッジ回路および第2フルブリッジ回路を制御するコントローラと、を備える。第1フルブリッジ回路と第2フルブリッジ回路はそれぞれ、上アームの第1スイッチおよび下アームの第2スイッチを含む第1レグと、上アームの第3スイッチおよび下アームの第4スイッチを含む第2レグと、を含む。第1スイッチ、第4スイッチがオンである状態を第1状態、第2スイッチ、前記第3スイッチがオンである状態を第2状態、第1スイッチ、第3スイッチがオンである状態を第3状態、第2スイッチ、第4スイッチがオンである状態を第4状態、とするとき、コントローラは、第2状態、第1状態、第2状態、第3状態、第2状態、第1状態、第2状態、第4状態を、順に繰り返す。

20

【 発明の効果 】

【 0 0 2 0 】

本発明のある態様によれば、スイッチング損失を低減できる。

30

【 図面の簡単な説明 】

【 0 0 2 1 】

【 図 1 】 従来の間欠運転を説明する波形図である。

【 図 2 】 実施の形態に係る双方向DC/DCコンバータの回路図である。

【 図 3 】 図 2 の双方向DC/DCコンバータの1次側換算の等価回路図である。

【 図 4 】 図 2 の双方向DC/DCコンバータの動作波形図である。

【 図 5 】 図 5 (a)、(b) は、従来の間欠運転 (旧間欠方式) と、実施の形態に係る間欠運転 (新間欠方式) を示す波形図である。

【 図 6 】 実験に用いたパラメータを示す図である。

【 図 7 】 電流連続モード間欠運転において測定された波形図である。

40

【 図 8 】 電流連続モード間欠運転において測定された波形図である。

【 図 9 】 図 9 (a)、(b) は、電流不連続モード間欠運転、電流連続モード間欠運転において測定された波形図である。

【 図 1 0 】 実験により得られた出力電力 P と全損失 P_{loss} の関係を示す図である。

【 図 1 1 】 出力電力 P と効率 η の関係を示す図である。

【 発明を実施するための形態 】

【 0 0 2 2 】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって

50

、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0023】

本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

10

【0024】

また本明細書において、電圧信号、電流信号などの電気信号、あるいは抵抗、キャパシタなどの回路素子に付された符号は、必要に応じてそれぞれの電圧値、電流値、あるいは抵抗値、容量値を表すものとする。

【0025】

図2は、実施の形態に係る双方向DC/DCコンバータの回路図である。双方向DC/DCコンバータ100は、トランス102、第1フルブリッジ回路104、第2フルブリッジ回路106およびコントローラ110を備える。

【0026】

トランス102は、1次巻線W1および2次巻線W2を有する。1次巻線W1と2次巻線W2の巻線比はN:1である。第1フルブリッジ回路104の交流端子は、インダクタ L_{a1} を介してトランス102の1次巻線W1と接続され、第2フルブリッジ回路106の交流端子は、インダクタ L_{a2} を介してトランス102の2次巻線W2と接続される。

20

【0027】

第1フルブリッジ回路104は、第1スイッチSW11~第4スイッチSW14を含む。第1スイッチSW11と第2スイッチSW12は第1レグを形成し、第3スイッチSW13と第4スイッチSW14は第2レグを形成する。各スイッチSW1x(x=1,2,3,4)と並列に、スナバコンデンサC1xが設けられる。

【0028】

同様に第2フルブリッジ回路106は、第1スイッチSW21~第4スイッチSW24を含み、第1スイッチSW21と第2スイッチSW22は第1レグを形成し、第3スイッチSW23と第4スイッチSW24は第2レグを形成する。各スイッチSW2xと並列にスナバコンデンサC2xが設けられる。スイッチSWは、MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)やIGBT(Insulated-Gate Bipolar Transistor)などのトランジスタを用いることができる。トランジスタ素子の種類は、要求される耐圧や、定格容量にもとづいて選択すればよい。後述のように、本実施の形態では、非伝送期間の間に、インダクタンスに電流を流し続けるため、スイッチにおいて導通損失が発生する。高効率化のためには、導通損失は低減することが望ましく、この観点において、ドレインソース間の電圧降下が小さいSiCパワートランジスタが好適である。

30

40

【0029】

なおスイッチSWと並列に、カソードが高電位側となるように還流ダイオード(フライホイールダイオード)が必要となるが、MOSFETを用いる場合、そのボディダイオードを還流ダイオードとして使用することもできる。

【0030】

第1フルブリッジ回路104の直流端子側には、キャパシタC1が接続され、第2フルブリッジ回路106の直流端子側には、キャパシタC2が接続される。なお双方向DC/DCコンバータ100は、双方向に電力を送る可能であるが、以下では説明の便宜のため、第1フルブリッジ回路104側を入力として電源200が接続され、第2フルブリッジ回路106側を出力として負荷202が接続されるものとする。電源200の電圧を V_D

50

1、負荷 202 に生ずる電圧を V_{D2} とする。逆方向で動作させる場合、以下の説明において、入力と出力を入れかえればよい。

【0031】

コントローラ 110 は、第 1 フルブリッジ回路 104 のスイッチ $SW11 \sim SW14$ および第 2 フルブリッジ回路 106 のスイッチ $SW21 \sim SW24$ を制御する。

【0032】

具体的には、第 1 フルブリッジ回路 104 に関して、コントローラ 110 は伝送期間の間、所定の周波数（スイッチング周波数 $f_{sw} = 1/t_{sw}$ ）で、対角に配置されるペア $SW11, SW14$ がオンの状態（第 1 状態 1 ）と、対角に配置される別のペア $SW12, SW13$ がオンの状態（第 2 状態 2 ）と、をデューティ比 50% で交互に繰り返す。このとき、第 1 フルブリッジ回路 104 の交流端子の電圧 v_{ac1} は、スイッチング周波数 f_{sw} 、デューティ比 50% の矩形波となる。第 2 フルブリッジ回路 106 に関して同様であり、コントローラ 110 は伝送期間の間、スイッチング周波数 f_{sw} で、対角に配置されるペア $SW21, SW24$ がオンの状態と、対角に配置される別のペア $SW22, SW23$ がオンの状態と、をデューティ比 50% で交互に繰り返す。このとき、第 2 フルブリッジ回路 106 の交流端子の電圧 v_{ac2} もまた、スイッチング周波数 f_{sw} 、デューティ比 50% の矩形波となる。

【0033】

図 3 は、図 2 の双方向 DC/DC コンバータ 100 の 1 次側換算の等価回路図である。図 2 において配線抵抗、トランス 102 の励磁インダクタンス、トランス 102 と外付けインダクタ L_{a1}, L_{a2} の鉄損、銅損を無視すると、トランス 102 およびインダクタ L_{a1}, L_{a2} は、単一のインダクタ L として表される。このインダクタ L は図 2 のインダクタ L_{a1}, L_{a2} の 1 次側換算のインダクタンス（ $L_{a1} + N^2 L_{a2}$ ）と、トランス 102 の漏れインダクタンス l の合成インダクタンスを表す。

$$L = (L_{a1} + N^2 L_{a2}) + l$$

言い換えれば、このインダクタンス L の値が適切な値 L_{opt} になるように、外付けのインダクタ L_{a1}, L_{a2} ならびにトランス 102 が設計される。一般的には、 l が小さくなるようにトランス 102 を設計し、適切な L_{opt} が得られるように L_{a1}, L_{a2} を設計することができる。なお、 $L_{opt} = l$ となるようにトランス 102 が設計可能である場合、外付けのインダクタ L_{a1}, L_{a2} は省略可能である。

【0034】

また図 2 において、電圧 V_{D1}, V_{D2} は一定であり、スイッチ SW は理想スイッチとみなし、スイッチングの遅延およびデッドタイムはないものとする。このとき第 1 フルブリッジ回路 104 および第 2 フルブリッジ回路 106 はそれぞれ、スイッチング周波数 f_{sw} 、デューティ比 50% の矩形波交流電圧を発生する理想電圧源 204, 206 として表される。電圧源 204 は、インダクタ L の一端に、振幅 v_{ac1} の交流矩形電圧を印加する。電圧源 206 は、インダクタ L の他端に、振幅 $N \times v_{ac2}$ の交流矩形電圧を印加する。 N はトランス 102 の巻線比である。

【0035】

図 2 に戻り、伝送電力の制御について説明する。コントローラ 110 は、伝送期間と非伝送期間が交互に発生する間欠運転によって電力を調節可能に構成される。

【0036】

間欠運転の基本についてはすでに説明した通りであり、第 1 フルブリッジ回路 104、第 2 フルブリッジ回路 106 をスイッチングする伝送期間と、それらのスイッチングを停止する非伝送期間を交互に繰り返す。

【0037】

本実施の形態において、コントローラ 110 は、非伝送期間の間、インダクタンス電流を流すことにより、ゼロ電圧スイッチング ZVS を行う。つまり双方向 DC/DC コンバータ 100 を電流連続モード（CCM：Continuous-Current Mode）で動作させる。

【0038】

10

20

30

40

50

具体的には、非伝送期間の間、第1フルブリッジ回路104（第2フルブリッジ回路106）それぞれにおいて、上アームのスイッチのペアSW11, SW13（SW21, SW23）と、下アームのスイッチのペアSW12, SW14（SW22, SW24）の一方を導通させることにより、インダクタンス（トランス102）に電流を流し続けることができる。

【0039】

以上が双方向DC/DCコンバータ100の構成である。続いてその動作を説明する。

【0040】

図4は、図2の双方向DC/DCコンバータ100の動作波形図である。双方向DC/DCコンバータ100は、伝送期間と非伝送期間を交互に繰り返す。伝送期間は、第1状態₁および第2状態₂を含む。非伝送期間は、第3状態₃または第4状態₄を含む。

10

【0041】

第1状態₁～第4状態₄は以下の通りである。

第1状態₁ = 第1スイッチSW#1、第4スイッチSW#4がオン、残りがオフ

第2状態₂ = 第2スイッチSW#2、第3スイッチSW#3がオン、残りがオフ

第3状態₃ = 第1スイッチSW#1、第3スイッチSW#3がオン、残りがオフ

第4状態₄ = 第2スイッチSW#2、第4スイッチSW#4がオン、残りがオフ

【0042】

図4の例では、各伝送期間において、第1フルブリッジ回路104は、1回（ $m=1$ ）スイッチングする。つまり、コントローラ110は、第2状態₂、第1状態₁、第2状態₂、第3状態₃、第2状態₂、第1状態₁、第2状態₂、第4状態₄を、順に周期的に繰り返す。

20

【0043】

第2フルブリッジ回路106が第2状態₂から第1状態₁に遷移するタイミング（位相）は、第1フルブリッジ回路104が第2状態₂から第1状態₁に遷移するタイミングに比べて、位相差遅れている。

【0044】

一方、第2フルブリッジ回路106が第2状態₂から第3状態₃に遷移するタイミング（位相）は、第1フルブリッジ回路104が第2状態₂から第3状態₃に遷移するタイミングに比べて、位相差 $2\times$ 遅れている。

30

【0045】

伝送期間と非伝送期間の長さは、パラメータ m, n を用いて以下のように規定される。

伝送期間 $2m$

非伝送期間 $2n$

運転周期は、伝送期間と非伝送期間の合計であるから、 $2(m+n)$ となる。ただし、 $2 = t_{sw}$ である。

【0046】

間欠運転では、パラメータ n を変化させることにより伝送電力を調整することができ、出力電力は式(1)で与えられる。

40

【0047】

図5(a)、(b)は、従来の間欠運転（旧間欠方式、電流不連続モード間欠運転という）と、実施の形態に係る間欠運転（新間欠方式、電流連続モード間欠運転という）を示す波形図である。図5(a)に示すように従来では、非伝送期間の間、電流 i_{ac1} はゼロであり、1次側、2次側それぞれにおいてハードスイッチングHSが発生している。

【0048】

これに対して、本実施の形態では、図5(b)に示すように、非伝送期間において、電流 i_{ac1} は非ゼロであり、1次側、2次側において、ゼロ電圧スイッチングZVSが実現されている。

【0049】

50

以上が双方向DC/DCコンバータ100の動作である。この双方向DC/DCコンバータ100によれば、ゼロ電圧スイッチングZVSによって、スイッチング損失を低減することができ、全体の損失を低減することができる。

【0050】

一般的な知見によれば、電流連続モードは、導通損失が増加するため、トータルの効率を低下させるものと考えられる。しかしながらゼロ電圧スイッチングZVSによるスイッチング損失の減少が、導通損失の増加を上回り、トータルの損失を低減することに成功している。これは当業者の容易に予測不能な効果であるといえる。

【0051】

続いて、実験結果を説明する。この実験では、トランスの巻線比を1:1とし、 $V_{DC1} = V_{DC2}$ としている。さらに図2の負荷202を取り外し、2次側の第2フルブリッジ回路106の直流出力を、第1フルブリッジ回路104の直流入力に帰還接続して測定を行った。1次側の電源200からは、系の損失に相当するパワー P_{Loss} が投入されることとなる。図6は、実験に用いたパラメータを示す図である。変圧器はノーカットコアを採用し、磁性材料には最新の厚さ14ミクロンのナノ結晶軟磁性材料(日立金属、商品名「ファインメット」)を使用した。フルブリッジ回路は、三菱電機社製のFMF400BX-24A(1.2kV、400AのSiC-MOSFET/SBD 4-in-1モジュール)を2個使用した。

【0052】

図7および図8は、実施の形態に係る間欠運転において測定された波形図である。図7は、定格出力 $P = 100\text{ kW}$ 、 $\theta = 17.4^\circ$ の条件で運転したときの波形を示す。このときの全損失は $P_{Loss} = 752\text{ W}$ 、効率は $\eta = 99.2\%$ であった。図8は、 $P = 10\text{ kW}$ において、最高効率点である $P_{con} = 34.4\text{ kW}$ 、 $\theta = 5^\circ$ の条件で運転したときの波形を示す。このときの全損失は $P_{Loss} = 166\text{ W}$ 、効率は $\eta = 99.5\%$ であった。

【0053】

図9(a)、(b)は、電流不連続モード間欠運転、電流連続モード間欠運転において測定された波形図である。波形は、最高効率点を与える出力電力 $P = 10\text{ kW}$ 、 $P_{con} = 34.4\text{ kW}$ のものが示される。図9(b)に示すように、電流連続モード間欠運転の導入により、電力伝送休止期間中に30Aの電流が還流し、正常な動作が確認できる。

【0054】

図10は、実験により得られた出力電力 P と全損失 P_{Loss} の関係を示す図であり、図11は、出力電力 P と効率 η の関係を示す図である。比較のために、電流連続モード間欠運転(CCM Intermittent)、電流不連続モード間欠運転(DCM Intermittent)および連続運転(Continuous)での特性をまとめて示す。

【0055】

連続運転では、 $P = 100\text{ kW}$ において全損失 $P_{Loss} = 752\text{ W}$ 、変換効率 $\eta = 99.2\%$ であった。出力電力 $P = 34.4\text{ kW}$ において最高効率 $\eta_{MAX} = 99.5\%$ を達成している。 $P = 34.4\text{ kW}$ 以下の領域では、不完全ZVSとなり、スイッチング損失が増大する。

【0056】

電流不連続モード間欠運転では、 $P = 10\text{ kW}$ において、 $P_{Loss} = 158\text{ W}$ 、 $\eta = 94.4\%$ 、電流連続モード間欠運転では、 $P = 10\text{ kW}$ において、 $P_{Loss} = 87\text{ W}$ 、 $\eta = 99.1\%$ となり、71Wの損失低減、0.7%の効率改善が達成されている。図10に示す破線は全損失の線形近似直線であり、 $P = P_{con}$ まで外挿することで、 $n = 0$ の場合、つまり間欠運転で休止期間(非電力伝送期間)がないと仮定した場合の全損失を推定できる。間欠運転で休止期間がない場合の全損失と、連続運転時の全損失の差分は矢印で示されており、この差分は、スイッチング損失による損失の増加分と理解される。電流不連続モード間欠運転では約364W、電流連続モード間欠運転では約51Wであり、313Wの損失低減が達成されている。

10

20

30

40

50

【 0 0 5 7 】

この損失低減分は、電力伝送開始時と終了時のZVS達成によるスイッチング損失低減分であり、残りの損失分は、4回のZVSによる損失である。電流連続モード間欠運転では、極低出力領域において還流電流による導通損失が支配的となる。電流還流による導通損失は近似直線を $P = 0$ まで外挿することで推定でき、約31Wとなった。本実験では、低オン抵抗（ドレインソース間4.15m Ω ）のSiC-MOSFETを使用しているため、導通損失は極めて小さくなっており、約3kWの極低出力領域まで、電流連続モード間欠運転の方が、電流不連続モード間欠運転と比べて高効率を得られている。したがって電流連続モード間欠運転は、ビルトイン電圧を原理的に有するIGBTよりもビルトイン電圧がなく、かつ低オン抵抗のSiC-MOSFETとの組み合わせにおいて特にその効果を発揮すると言える。

10

【 0 0 5 8 】

ゼロ電圧スイッチングZVSとDABとの組み合わせは、非特許文献3、4に示されるようには公知である。ただし、これらの文献では、低出力領域では、不完全ZVS動作に伴うスイッチング損失（スナバ損失）が増加し、変換効率が低下するという問題が解決できていない。これに対して、本実施の形態（新間欠運転）では、出力電力を1kW程度まで低下させたとしても、ハードスイッチングをとまなう従来の旧間欠運転の効率を下回らず、高効率が維持されている。つまり本実施の形態では、幅広い出力範囲において、高効率を達成できており、これは従来技術から予測不能な効果である。

20

【 0 0 5 9 】

実施の形態では、単相フルブリッジ回路104、106を備えるDABを説明したが本発明はそれに限定されず、3相フルブリッジ回路および三相トランスを備えるDABにも本発明は適用可能である。

【 0 0 6 0 】

実施の形態では、非伝送期間において第3状態3と第4状態4を交互に用いたが、第3状態3のみ、あるいは第4状態4のみを用いてもよい。

【 0 0 6 1 】

実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

30

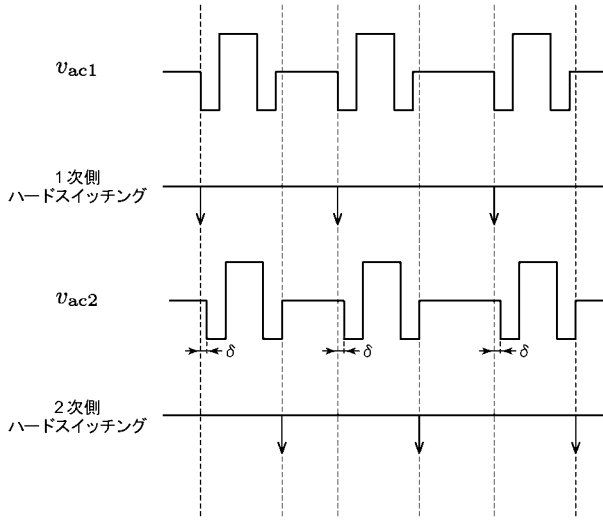
【 符号の説明 】

【 0 0 6 2 】

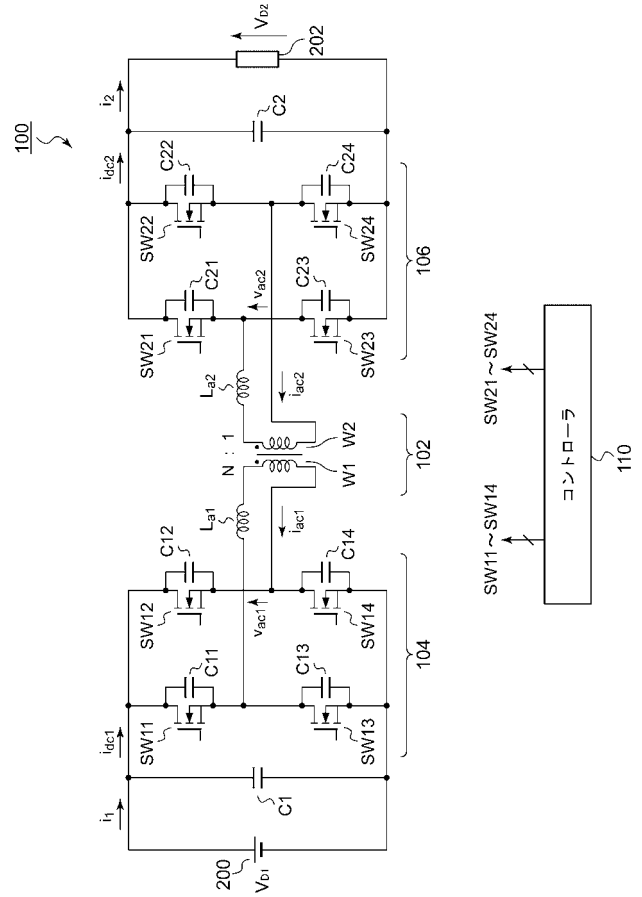
100 ... 双方向DC/DCコンバータ
 102 ... トランス
 W1 ... 1次巻線
 W2 ... 2次巻線
 L1 ... 漏れインダクタンス
 104 ... 第1フルブリッジ回路
 106 ... 第2フルブリッジ回路
 110 ... コントローラ。

40

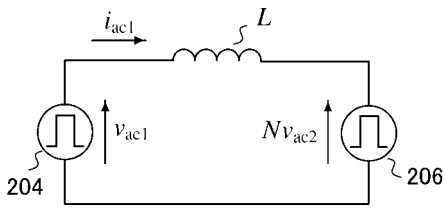
【 図 1 】



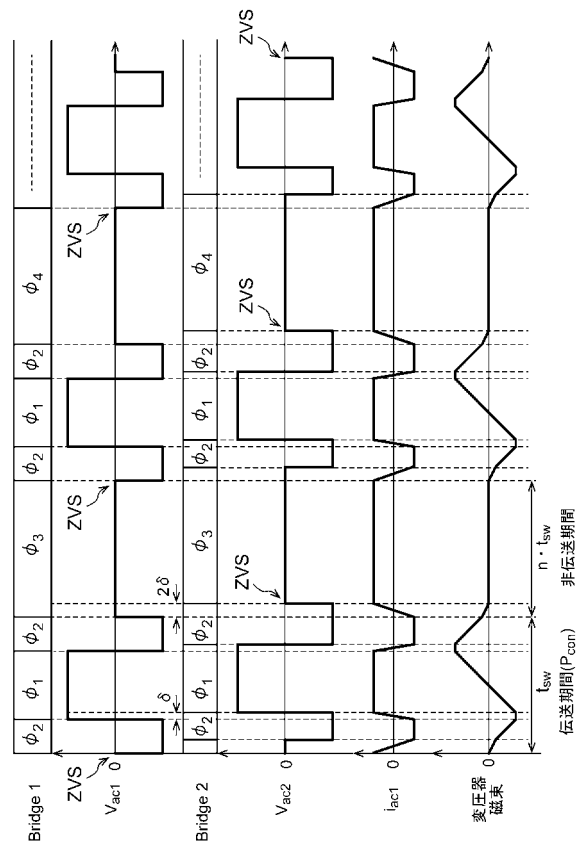
【 図 2 】



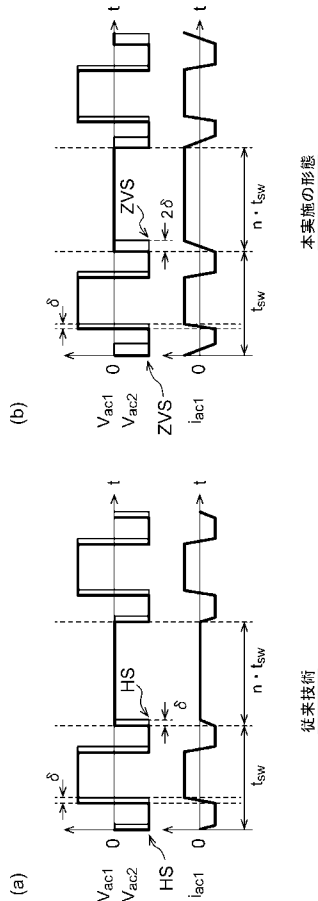
【 図 3 】



【 図 4 】



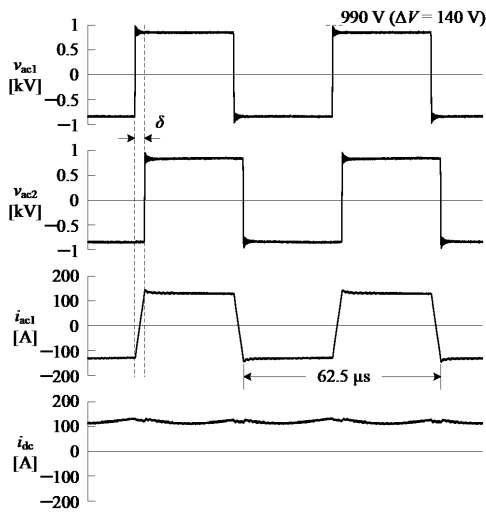
【 図 5 】



【 図 6 】

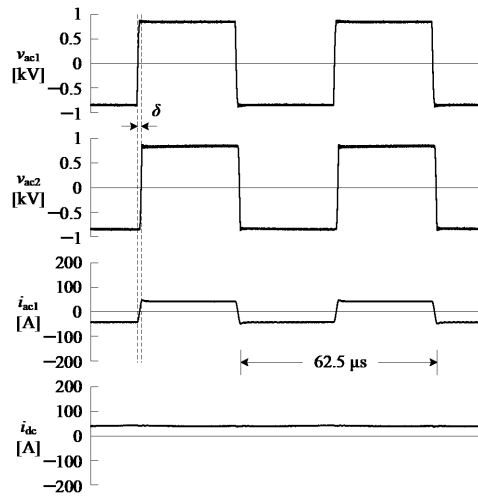
Power rating		100 kW
Input/output voltage rating	E	$850 V_{dc}$
Switching frequency	f_{sw}	16 kHz
DC capacitor	C_{dc}	400 μF
Unit capacitance constant	H_{dc}	1.4 ms @ 850 V_{dc}
Snubber capacitor	C_s	9 nF
DC inductor	L_{dc}	80 μH
Auxiliary inductor	L_a	20 μH (27.8%)
Leakage inductance	l	1 μH (1.4%)
Phase shift angle	δ	$-17.4^\circ \sim 17.4^\circ$
Dead time	T_d	0.8 μs
Transformer core material		New FINEMET
Maximum flux density		0.73 T
Transformer turns ratio		1 : 1

【 図 7 】



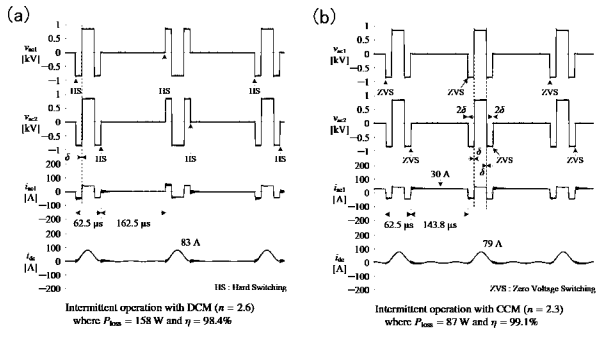
$P = 100 \text{ kW (rated)}$ at $\delta = 17.4^\circ$
 where $P_{loss} = 752 \text{ W}$ and $\eta = 99.2\%$

【 図 8 】

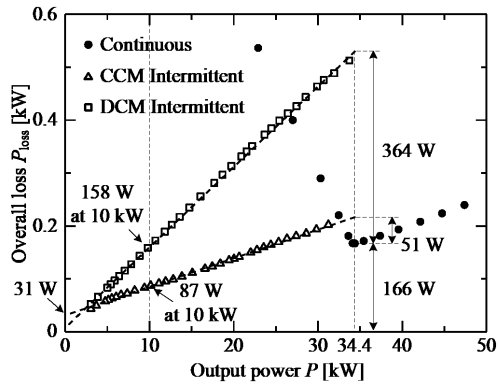


$P = 34.4 \text{ kW (Max. Efficiency)}$ at $\delta = 5.0^\circ$
 where $P_{loss} = 166 \text{ W}$ and $\eta = 99.5\%$

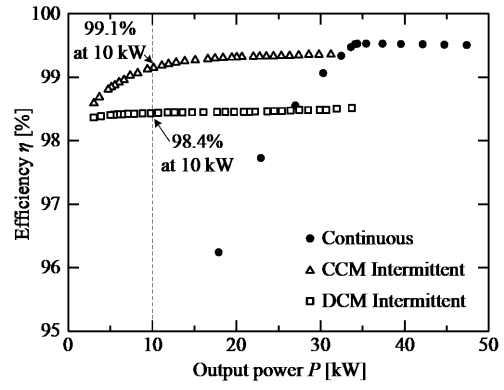
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(72)発明者 羽根田 峻

東京都目黒区大岡山 2 丁目 1 2 番 1 号 国立大学法人東京工業大学内

Fターム(参考) 5H730 AA14 AS08 BB27 DD04 DD41 EE04 EE13