

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02018/168293

発行日 令和2年5月14日(2020.5.14)

(43) 国際公開日 平成30年9月20日(2018.9.20)

(51) Int.Cl.			F I	テーマコード (参考)	
G06N	3/063	(2006.01)	G06N	3/063	
G06G	7/16	(2006.01)	G06G	7/16	510
G06G	7/14	(2006.01)	G06G	7/14	

審査請求 未請求 予備審査請求 有 (全 22 頁)

<p>出願番号 特願2019-505784 (P2019-505784)</p> <p>(21) 国際出願番号 PCT/JP2018/004786</p> <p>(22) 国際出願日 平成30年2月13日 (2018. 2. 13)</p> <p>(31) 優先権主張番号 特願2017-48421 (P2017-48421)</p> <p>(32) 優先日 平成29年3月14日 (2017. 3. 14)</p> <p>(33) 優先権主張国・地域又は機関 日本国 (JP)</p>	<p>(71) 出願人 504173471 国立大学法人北海道大学 北海道札幌市北区北8条西5丁目</p> <p>(74) 代理人 110000958 特許業務法人 インテクト国際特許事務所</p> <p>(74) 代理人 100120189 弁理士 奥 和幸</p> <p>(74) 代理人 100173510 弁理士 美川 公司</p> <p>(72) 発明者 浅井 哲也 北海道札幌市北区北8条西5丁目 国立大学法人北海道大学内</p>
---	---

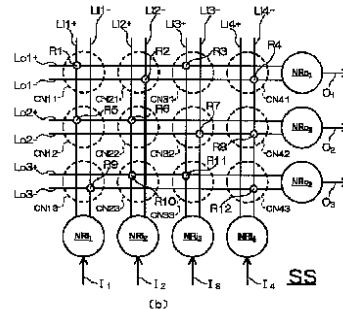
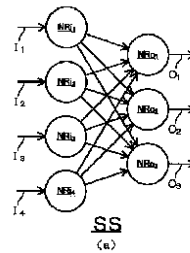
最終頁に続く

(54) 【発明の名称】 重み符号固定学習装置

(57) 【要約】

F C型ニューラルネットワーク回路における接続部の占有面積を大幅に低減することが可能なニューラルネットワーク回路を提供する。

自己学習機能を有する学習装置を構成し且つ脳機能に対応したアナログ型のニューラルネットワーク回路SSにおいて、複数(n個)の入力側のニューロンNRと、複数(m個且つn = mの場合を含む)の出力側のニューロンNRと、一の入力側ニューロンNRと一の出力側ニューロンNRとをそれぞれ接続する(n × m)個の接続部CNと、自己学習制御部Cと、を備え、(n × m)個の接続部CNは、脳機能としての正の重み付け機能のみに対応した接続部CNと、当該脳機能としての負の重み付け機能のみに対応した接続部CNと、により構成されている。



【特許請求の範囲】**【請求項 1】**

脳機能に対応したアナログ型のニューラルネットワーク回路を備えた自己学習型の重み符号固定学習装置において、

前記ニューラルネットワーク回路は、

入力データに相当する入力信号がそれぞれ入力される複数（ n 個）の入力部と、

出力データに相当する出力信号がそれぞれ出力される複数（ m 個且つ $n = m$ の場合を含む）の出力部と、

一の前記入力部と一の前記出力部とをそれぞれ接続する（ $n \times m$ ）個の接続部と、

により構成されており、

前記出力データを前記出力部から前記重み符号固定学習装置に再入力した結果として前記入力部から出力されるデータが元の前記入力データと一致するように当該重み符号固定学習装置を制御して、前記自己学習の機能を実行させる制御手段を備え、

（ $n \times m$ ）個の前記接続部は、前記脳機能としての正の重み付け機能のみに対応した前記接続部である正専用接続部と、当該脳機能としての負の重み付け機能のみに対応した前記接続部である負専用接続部と、により構成されていることを特徴とする重み符号固定学習装置。

10

【請求項 2】

請求項 1 に記載の重み符号固定学習装置において、

前記正専用接続部と前記負専用接続部とが同数であることを特徴とする重み符号固定学習装置。

20

【請求項 3】

請求項 1 又は請求項 2 に記載の重み符号固定学習装置において、

前記正専用接続部及び前記負専用接続部が、（ $n \times m$ ）個の前記接続部において一様乱数的に分布していることを特徴とする重み符号固定学習装置。

【請求項 4】

請求項 1 又は請求項 2 に記載の重み符号固定学習装置において、

前記正専用接続部及び前記負専用接続部が、（ $n \times m$ ）個の前記接続部において規則的に分布していることを特徴とする重み符号固定学習装置。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明は、ニューラルネットワーク回路を備えた重み符号固定学習装置の技術分野に属し、より詳細には、脳機能に対応するアナログ型のニューラルネットワーク回路を備えた自己学習型の重み符号固定学習装置の技術分野に属する。

【背景技術】**【0002】**

近年、人の脳機能に対応したニューラルネットワーク回路を用いた深層学習機能（いわゆるディープラーニング機能）に関連する研究開発が盛んに行われている。このとき、ニューラルネットワーク回路を具体的に実現する場合には、デジタル回路が用いられる場合とアナログ回路が用いられる場合とがある。ここで、前者は処理能力としては高いが大規模なハードウェア構成が必要となると共に消費電力が大きくなるため、例えばデータセンタ等において用いられる。これに対して後者は、処理能力はデジタル回路が用いられる場合より劣るものの、ハードウェア構成としての最小化及び消費電力の低減が期待できるため、例えば上記データセンタ等に接続される端末装置用として利用されることが多い。そして、後者に関する先行技術としては、例えば下記特許文献 1 に開示されている技術が挙げられる。

40

【0003】

この特許文献 1 には、アナログ回路により構成された（即ちアナログ型の）ニューラルネットワーク回路であって、入力側のニューロンの全てと出力側のニューロンの全てとを

50

、それぞれの重み付けに対応した抵抗値を有する接続部により一対一に接続する、深層学習用のいわゆる全結合（FC（Full Connection））型ニューラルネットワーク回路が開示されている。この場合の重み付けとは、当該ニューラルネットワーク回路が対応すべき脳機能に対応した重み付けであり、特許文献1に開示されているニューラルネットワーク回路では、各接続部の抵抗値を可変抵抗素子により構成することで当該重み付けに対応させている。このようなFC型ニューラルネットワーク回路は、例えば近傍結合型等の他の形式のニューラルネットワーク回路や、より大規模なニューラルネットワーク回路の一部として活用できるため、それ自体の更なる処理能力の向上と共に、回路規模（占有面積）の縮小化が望まれる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-282782号公報（第1図、第3図等）

【発明の概要】

【発明が解決しようとする課題】

【0005】

ここで、上記ニューラルネットワーク回路の機能を脳機能により近付けるためには、一般に、上記重み付けとして、正の重み付けに加えて負の重み付けを用いることが必要となる。一方、上記接続部としての抵抗値は、各接続部において一定（即ち抵抗値固定式）である。よって、このような接続部により上記正の重み付けと負の重み付けとを共に実現しようとする、入力側のニューロンに対応する入力データに相当する入力信号を、絶対値が等しい正の入力信号と負の入力信号とに分け、同じ抵抗値を有する二つの抵抗にこれら二つの入力信号を選択的に入力する構成とする必要がある。このとき、上記「選択的に入力する」とは、正の重み付けを実現する場合には正の入力信号のみを入力し、負の重み付けを実現する場合には負の入力信号のみを入力することを意味する。なお、正の重み付けを実現する場合には、結果的に負の入力信号用の抵抗は使用されないことになり、また負の重み付けを実現する場合には、結果的に正の入力信号用の提供は使用されないこととなるが、正の重み付けを実現するか負の重み付けを実現するかは、対応させる脳機能によりニューラルネットワーク回路ごとに異なるため、回路としての汎用性を実現するためには、入力側のニューロンと出力側のニューロンとを接続する接続部ごとに上記二つの抵抗を予め造っておく必要がある。そしてこの場合には、当該二つの抵抗により一つの接続部が構成されることから、接続部としての回路規模（占有面積）が結果として二倍となってしまう、当該占有面積の縮小化が図れないという問題点があった。

【0006】

そしてこの問題点は、入力側のニューロンの数と出力側のニューロンの数とを乗じた数だけ接続部が必要となるFC型ニューラルネットワーク回路では、接続部の多数化に伴い、占有面積の増大がより深刻化するという問題点に繋がる。

【0007】

そこで本発明は、上記の各問題点に鑑みて為されたもので、その課題の一例は、FC型ニューラルネットワーク回路における接続部の占有面積を大幅に低減することが可能な自己学習型の重み符号固定学習装置を提供することにある。

【課題を解決するための手段】

【0008】

上記の課題を解決するために、請求項1に記載の発明は、脳機能に対応したアナログ型のニューラルネットワーク回路を備えた自己学習型の重み符号固定学習装置において、前記ニューラルネットワーク回路は、入力データに相当する入力信号がそれぞれ入力される複数（ n 個）の入力部と、出力データに相当する出力信号がそれぞれ出力される複数（ m 個且つ $n = m$ の場合を含む）の出力部と、一の前記入力部と一の前記出力部とをそれぞれ接続する（ $n \times m$ ）個の接続部と、により構成されており、前記出力データを前記出力部から前記重み符号固定学習装置に再入力した結果として前記入力部から出力されるデータ

10

20

30

40

50

が元の前記入力データと一致するように当該重み符号固定学習装置を制御して、前記自己学習の機能を実行させる自己学習制御部等の制御手段を備え、 $(n \times m)$ 個の前記接続部は、前記脳機能としての正の重み付け機能のみに対応した前記接続部である正専用接続部と、当該脳機能としての負の重み付け機能のみに対応した前記接続部である負専用接続部と、により構成されている。

【0009】

請求項1に記載の発明は、 n 個の入力部と、 m 個の出力部と、 $(n \times m)$ 個の接続部と、自己学習の機能を実行させる制御手段と、を備え、 $(n \times m)$ 個の接続部が正専用接続部及び負専用接続部により構成されている。よって、正専用接続部及び負専用接続部から各接続部が構成されているので、ニューラルネットワーク回路における接続部の占有面積を大幅に低減することができる。

10

【0010】

上記の課題を解決するために、請求項2に記載の発明は、請求項1に記載の重み符号固定学習装置において、前記正専用接続部と前記負専用接続部とが同数であるように構成される。

【0011】

請求項2に記載の発明によれば、請求項1に記載の発明の作用に加えて、正専用接続部と負専用接続部とが同数であるので、重み符号固定学習装置としての学習能力を向上させつつ、接続部の占有面積を大幅に低減することができる。

【0012】

上記の課題を解決するために、請求項3に記載の発明は、請求項1又は請求項2に記載の重み符号固定学習装置において、前記正専用接続部及び前記負専用接続部が、 $(n \times m)$ 個の前記接続部において一様乱数的に分布しているように構成される。

20

【0013】

請求項3に記載の発明によれば、請求項1又は請求項2に記載の発明の作用に加えて、正専用接続部及び負専用接続部が、 $(n \times m)$ 個の接続部において一様乱数的に分布しているので、従来と同様の学習能力及び汎化能力を共に維持しつつ、接続部の占有面積を大幅に低減することができる。

【0014】

上記の課題を解決するために、請求項4に記載の発明は、請求項1又は請求項2に記載の重み符号固定学習装置において、前記正専用接続部及び前記負専用接続部が、 $(n \times m)$ 個の前記接続部において規則的に分布しているように構成される。

30

【0015】

請求項4に記載の発明によれば、請求項1又は請求項2に記載の発明の作用に加えて、正専用接続部及び負専用接続部が、 $(n \times m)$ 個の接続部において規則的に分布しているので、従来と同様の学習能力を維持しつつ、接続部の占有面積を大幅に低減することができる。

【発明の効果】

【0016】

本発明によれば、 n 個の入力部と、 m 個の出力部と、 $(n \times m)$ 個の接続部と、自己学習機能を実行させる制御手段と、を備え、 $(n \times m)$ 個の接続部が正専用接続部及び負専用接続部により構成されている。

40

【0017】

従って、正専用接続部及び負専用接続部から各接続部が構成されているので、アナログ型のニューラルネットワーク回路を備えた自己学習型の重み符号固定学習装置における接続部の占有面積を大幅に低減することができる。

【図面の簡単な説明】

【0018】

【図1】一つのニューロンをモデル化したユニットを示す図である。

【図2】第1実施形態に係るニューラルネットワーク回路を示す図である。

50

【図3】第1実施形態に係るニューラルネットワーク回路の一部等を示す図であり、(a)は当該一部を示す図であり、(b)は当該一部をアナログ回路により構成した場合のニューラルネットワーク回路を示す図である。

【図4】第2実施形態に係るニューラルネットワーク回路を示す図である。

【発明を実施するための形態】

【0019】

次に、本発明に係る実施形態について、図面に基づいてそれぞれ説明する。なお以下に説明する各実施形態は、人の脳機能をアナログ型のニューラルネットワーク回路によりモデル化する場合について本発明を適用した場合の実施形態等である。

【0020】

10

(I) 第1実施形態

初めに、本発明に係る第1実施形態について、図1乃至図3を用いて説明する。なお、図1は一つのニューロンをモデル化したユニットを示す図であり、図2は第1実施形態に係るニューラルネットワーク回路を示す図であり、図3は当該ニューラルネットワーク回路の一部等を示す図である。

【0021】

(A) ニューラルネットワークについて

先ず、上記脳機能をモデル化したニューラルネットワークについて、図1を用いて一般的に説明する。

【0022】

20

一般に人の脳の中には、多数のニューロン(神経細胞)が存在しているとされている。脳の中で各ニューロンは、多数の他のニューロンからの電気信号を受信し、また更に他の多数のニューロンへ電気信号を送信している。そして脳は、各ニューロン間のこれら電気信号の流れによって、様々な情報処理を行っていると考えられている。このとき、各ニューロン間における電気信号の送受信は、シナプスと呼ばれる細胞を介して行われる。そして、脳における上記ニューロン間の電気信号の送受信をモデル化してコンピュータ内に脳機能を実現しようとしたものが、ニューラルネットワークである。

【0023】

より具体的にニューラルネットワークでは図1に例示するように、外部から入力される複数の入力データ I_1 、入力データ I_2 、...、入力データ I_n (n は自然数。以下同様。)のそれぞれに対する乗算処理、加算処理及び活性化関数の適用処理が、一つのユニットとしてのニューロン NR を中心として実行され、その結果をそのニューロン NR からの出力データ O とすることで、脳機能における一つのニューロンに対する上記電気信号の送受信をモデル化する。なお以下の説明において、上記活性化関数の適用処理を、単に「活性化処理」と称する。このとき一つのニューロン NR について、複数の入力データ I_1 、入力データ I_2 、...、入力データ I_n それぞれに対応して予め設定された(つまり既定の)重み付け係数 W_1 、重み付け係数 W_2 、...、重み付け係数 W_n を当該入力データ I_1 、入力データ I_2 、...、入力データ I_n に対してそれぞれ乗算することで上記乗算処理が実行される。その後、各入力データ I_1 、入力データ I_2 、...、入力データ I_n に対する上記乗算処理の結果のそれぞれを加算する上記加算処理が当該ニューロン NR について実行される。そして次に、上記加算処理の結果に既定の活性化関数 F を適用する上記活性化処理が実行され、その結果を上記出力データとして他の一又は複数のニューロンに NR に出力する。上述した一連の乗算処理、加算処理及び活性化処理を数式で表すと、図1に示す式(1)となる。このとき、重み付け係数 W_1 、重み付け係数 W_2 、...、重み付け係数 W_n を入力データ I_1 、入力データ I_2 、...、入力データ I_n にそれぞれ乗算する乗算処理が、ニューロン NR 間の上記電気信号のやり取りにおける上記シナプスの作用に相当する。

30

40

【0024】

(B) 第1実施形態に係るニューラルネットワーク回路について

次に、図1に例示するニューロン NR を複数備えた第1実施形態に係るニューラルネットワーク回路 SS について、図2を用いて説明する。このニューラルネットワーク回路 S

50

Sが本発明に係る「学習装置」の一例に相当する。

【0025】

図2に示すように、図1に例示する一つのニューロンNR（一ユニット）が多数集まってシナプスにより互いに接続されることにより、脳全体がニューラルネットワークNWとしてモデル化される。なお以下の説明において、入力データ I_1 乃至入力データ I_n に共通の事項を説明する場合、単に「入力データI」と称する。また同様に、出力データ O_1 乃至出力データ O_n に共通の事項を説明する場合、単に「出力データO」と称する。更に同様に、重み付け係数 W_1 乃至重み付け係数 W_n に共通の事項を説明する場合、単に「重み付け係数W」と称する。

【0026】

一方第1実施形態に係るニューラルネットワーク回路SSは、上記ニューラルネットワークNWに加えて、当該ニューラルネットワークNWにおける自己学習機能を制御する自己学習制御部Cを備える。第1実施形態に係る自己学習制御部Cは、ニューラルネットワークNW全体としての出力データOをその出力側からニューラルネットワークNWに再入力した結果としてその入力側から出力されるデータが元の入力データIと一致するようにニューラルネットワークNWを制御して、ニューラルネットワーク回路SSとしての自己学習機能を実行させる。この自己学習制御部Cが本発明に係る「制御手段」の一例に相当する。

【0027】

次に、第1実施形態に係るニューラルネットワーク回路SSの一部の構成を、アナログ型のニューラルネットワーク回路を用いて具体化した構成について、図3を用いて説明する。なお以下の説明では、図3(a)に示す七つのニューロンNRにより構成されるニューラルネットワーク回路SSの一部を用いて、第1実施形態に係るアナログ型のニューラルネットワーク回路SSの構成を説明する。また図3では、図2に示した自己学習制御部Cの記載を省略している。

【0028】

このとき図3(a)においては、入力データ I_1 乃至入力データ I_4 がそれぞれ入力される入力側のニューロン NR_{i1} 乃至ニューロン NR_{i4} と、出力データ O_1 乃至出力データ O_3 がそれぞれ出力される出力側のニューロン NR_{o1} 乃至ニューロン NR_{o3} と、が、それぞれ相互に接続されている。即ち、入力側のニューロン NR_{i1} は出力側のニューロン NR_{o1} 乃至ニューロン NR_{o3} の全てに接続されており、入力側のニューロン NR_{i2} も当該ニューロン NR_{o1} 乃至ニューロン NR_{o3} の全てに接続されており、入力側のニューロン NR_{i3} も当該ニューロン NR_{o1} 乃至ニューロン NR_{o3} の全てに接続されており、入力側のニューロン NR_{i4} も当該ニューロン NR_{o1} 乃至ニューロン NR_{o3} の全てに接続されている。なお以下の説明において、ニューロン NR_{i1} 乃至ニューロン NR_{i4} 及びニューロン NR_{o1} 乃至ニューロン NR_{o3} について共通の事項を説明する場合、単に「ニューロンNR」と称する。そして、図3(a)においてニューロン NR_{i1} 乃至ニューロン NR_{i4} とニューロン NR_{o1} 乃至ニューロン NR_{o3} との間に示されている矢印が、各ニューロンNR間の上記重み付け係数Wに対応している。また、ニューロン NR_{i1} 乃至ニューロン NR_{i4} が本発明に係る「入力部」の一例に相当し、ニューロン NR_{o1} 乃至ニューロン NR_{o3} が本発明に係る「出力部」の一例に相当する。

【0029】

そして図3(b)に示すように、第1実施形態に係るニューラルネットワーク回路SSは、ニューロン NR_{i1} 乃至ニューロン NR_{i4} にそれぞれ接続され且つ入力データ I_1 乃至入力データ I_4 に対応した正電圧が印加される四本の正電圧線 $Li1+$ 乃至正電圧線 $Li4+$ と、ニューロン NR_{i1} 乃至ニューロン NR_{i4} にそれぞれ接続されて入力データ I_1 乃至入力データ I_4 のそれぞれに対応した負電圧が印加される四本の負電圧線 $Li1-$ 乃至負電圧線 $Li4-$ と、ニューロン NR_{o1} 乃至ニューロン NR_{o3} にそれぞれ接続された三本の正電圧線 $Lo1+$ 乃至正電圧線 $Lo3+$ と、ニューロン NR_{o1} 乃至ニューロン NR_{o3} にそれぞれ接続された三本の負電圧線 $Lo1-$ 乃至負電圧線 $Lo3-$ と、を備えている。このとき、正電圧線 $Li1+$ 乃

10

20

30

40

50

至正電圧線 L_{i4+} と、負電圧線 L_{i1-} 乃至負電圧線 L_{i4-} と、正電圧線 L_{o1+} 乃至正電圧線 L_{o3+} と、負電圧線 L_{o1-} 乃至負電圧線 L_{o3-} と、は、例えばフォトリソグラフィ技術により各々別個の層内に形成されている。

【0030】

そして図3(b)においては、ニューロン NR_{i1} とニューロン NR_{o1} とを接続する接続部 $CN11$ が正電圧線 L_{i1+} 、負電圧線 L_{i1-} 、正電圧線 L_{o1+} 及び負電圧線 L_{o1-} により形成され、ニューロン NR_{i1} とニューロン NR_{o2} とを接続する接続部 $CN12$ が正電圧線 L_{i1+} 、負電圧線 L_{i1-} 、正電圧線 L_{o2+} 及び負電圧線 L_{o2-} により形成され、ニューロン NR_{i1} とニューロン NR_{o3} とを接続する接続部 $CN13$ が正電圧線 L_{i1+} 、負電圧線 L_{i1-} 、正電圧線 L_{o3+} 及び負電圧線 L_{o3-} により形成される。また、ニューロン NR_{i2} とニューロン NR_{o1} とを接続する接続部 $CN21$ が正電圧線 L_{i2+} 、負電圧線 L_{i2-} 、正電圧線 L_{o1+} 及び負電圧線 L_{o1-} により形成され、ニューロン NR_{i2} とニューロン NR_{o2} とを接続する接続部 $CN22$ が正電圧線 L_{i2+} 、負電圧線 L_{i2-} 、正電圧線 L_{o2+} 及び負電圧線 L_{o2-} により形成され、ニューロン NR_{i2} とニューロン NR_{o3} とを接続する接続部 $CN23$ が正電圧線 L_{i2+} 、負電圧線 L_{i2-} 、正電圧線 L_{o3+} 及び負電圧線 L_{o3-} により形成される。また、ニューロン NR_{i3} とニューロン NR_{o1} とを接続する接続部 $CN31$ が正電圧線 L_{i3+} 、負電圧線 L_{i3-} 、正電圧線 L_{o1+} 及び負電圧線 L_{o1-} により形成され、ニューロン NR_{i3} とニューロン NR_{o2} とを接続する接続部 $CN32$ が正電圧線 L_{i3+} 、負電圧線 L_{i3-} 、正電圧線 L_{o2+} 及び負電圧線 L_{o2-} により形成され、ニューロン NR_{i3} とニューロン NR_{o3} とを接続する接続部 $CN33$ が正電圧線 L_{i3+} 、負電圧線 L_{i3-} 、正電圧線 L_{o3+} 及び負電圧線 L_{o3-} により形成される。更に、ニューロン NR_{i4} とニューロン NR_{o1} とを接続する接続部 $CN41$ が正電圧線 L_{i4+} 、負電圧線 L_{i4-} 、正電圧線 L_{o1+} 及び負電圧線 L_{o1-} により形成され、ニューロン NR_{i4} とニューロン NR_{o2} とを接続する接続部 $CN42$ が正電圧線 L_{i4+} 、負電圧線 L_{i4-} 、正電圧線 L_{o2+} 及び負電圧線 L_{o2-} により形成され、ニューロン NR_{i4} とニューロン NR_{o3} とを接続する接続部 $CN43$ が正電圧線 L_{i4+} 、負電圧線 L_{i4-} 、正電圧線 L_{o3+} 及び負電圧線 L_{o3-} により形成される。なお以下の説明において、上記接続部 $CN11$ 乃至上記接続部 $CN13$ 、上記接続部 $CN21$ 乃至上記接続部 $CN23$ 、上記接続部 $CN31$ 乃至上記接続部 $CN33$ 、及び上記接続部 $CN41$ 乃至上記接続部 $CN43$ に共通する事項を説明する場合、単に「接続部 CN 」と称する。そして、各接続部 CN のそれぞれにおいては、正電圧線同士（例えば正電圧線 L_{i1+} と正電圧線 L_{o1+} 。以下、同様。）又は負電圧線同士（例えば負電圧線 L_{i1-} と負電圧線 L_{o1-} 。以下、同様）のいずれか一方のみが、それが対応する上記重み付け係数 W にそれぞれ対応する抵抗値の抵抗素子により接続される。

【0031】

そして図3(b)に示す第1実施形態に係るニューラルネットワーク回路 SS では、各接続部 CN に含まれる各電圧線のいずれが上記抵抗素子により接続されるかは、正電圧線同士が接続されている接続部 $CN11$ 等の数と負電圧線同士が接続されている接続部 $CN13$ 等の数とが当該ニューラルネットワーク回路 SS 全体について同数となり、更に、正電圧線同士が接続された接続部 $CN11$ 等と、負電圧線同士が接続された接続部 $CN13$ 等が、当該ニューラルネットワーク回路 SS 全体について一様乱数的に（即ちランダムに）分布するように、予め決定される。これは、本願の発明者らの研究により、各接続部 $CN11$ 等において正電圧線同士又は負電圧線同士のいずれか一方のみを抵抗素子により接続する場合であっても、正電圧線同士が接続されている接続部 $CN11$ 等の数と負電圧線同士が接続されている接続部 $CN11$ 等の数とがニューラルネットワーク回路 SS 全体について同数となり、更に、それらがニューラルネットワーク回路 SS 全体について一様乱数的に分布していれば、ニューラルネットワーク回路 SS 全体の学習機能及び汎化機能において従来と同様の性能が担保されることが発見されたことによる。ここで上記汎化機能とは、未学習の入力データ I を正しく分類する機能をいう。また、正電圧線同士のみが接続されている接続部 $CN11$ 等が本発明に係る「正専用接続部」の一例に相当し、負電圧線同士のみが接続されている接続部 $CN13$ 等が本発明に係る「負専用接続部」の一例に

10

20

30

40

50

相当する。

【0032】

ここで、図3(b)に例示する第1実施形態に係るニューラルネットワーク回路SSでは、接続部CN11においては正電圧線Li1+と正電圧線Lo1+のみが抵抗素子R1により接続されており、当該抵抗素子R1の抵抗値がニューロンNR_{i1}とニューロンNR_{o1}とを接続する際の上記正の重み付け係数Wに対応している。なお、正電圧線Li1+と正電圧線Lo1+との抵抗素子R1による接続の態様は、具体的には、例えば上記特許文献1の第1図又は第3図に記載されている可変抵抗素子を用いた電圧線の接続態様と基本的に同一である(以下の各接続部CNにおいて同様)。また接続部CN12においては正電圧線Li1+と正電圧線Lo2+のみが抵抗素子R5により接続されており、当該抵抗素子R5の抵抗値がニューロンNR_{i1}とニューロンNR_{o2}とを接続する際の上記正の重み付け係数Wに対応している。また接続部CN13においては負電圧線Li1-と負電圧線Lo3-のみが抵抗素子R9により接続されており、当該抵抗素子R9の抵抗値がニューロンNR_{i1}とニューロンNR_{o3}とを接続する際の上記負の重み付け係数Wに対応している。更に、接続部CN21においては負電圧線Li2-と負電圧線Lo1-のみが抵抗素子R2により接続されており、当該抵抗素子R2の抵抗値がニューロンNR_{i2}とニューロンNR_{o1}とを接続する際の上記負の重み付け係数Wに対応している。また接続部CN22においては正電圧線Li2+と正電圧線Lo2+のみが抵抗素子R6により接続されており、当該抵抗素子R6の抵抗値がニューロンNR_{i2}とニューロンNR_{o2}とを接続する際の上記正の重み付け係数Wに対応している。また接続部CN23においては正電圧線Li2+と正電圧線Lo3+のみが抵抗素子R10により接続されており、当該抵抗素子R10の抵抗値がニューロンNR_{i2}とニューロンNR_{o3}とを接続する際の上記正の重み付け係数Wに対応している。

10

20

【0033】

更にまた、接続部CN31においては正電圧線Li3+と正電圧線Lo1+のみが抵抗素子R3により接続されており、当該抵抗素子R3の抵抗値がニューロンNR_{i3}とニューロンNR_{o1}とを接続する際の上記正の重み付け係数Wに対応している。また接続部CN32においては負電圧線Li3-と負電圧線Lo2-のみが抵抗素子R7により接続されており、当該抵抗素子R7の抵抗値がニューロンNR_{i3}とニューロンNR_{o2}とを接続する際の上記負の重み付け係数Wに対応している。また接続部CN33においては正電圧線Li3+と正電圧線Lo3+のみが抵抗素子R11により接続されており、当該抵抗素子R11の抵抗値がニューロンNR_{i3}とニューロンNR_{o3}とを接続する際の上記正の重み付け係数Wに対応している。更に接続部CN41においては負電圧線Li4-と負電圧線Lo1-のみが抵抗素子R4により接続されており、当該抵抗素子R4の抵抗値がニューロンNR_{i4}とニューロンNR_{o1}とを接続する際の上記負の重み付け係数Wに対応している。また接続部CN42においては負電圧線Li4-と負電圧線Lo2-のみが抵抗素子R8により接続されており、当該抵抗素子R8の抵抗値がニューロンNR_{i4}とニューロンNR_{o2}とを接続する際の上記負の重み付け係数Wに対応している。最後に接続部CN43においては負電圧線Li4-と負電圧線Lo3-のみが抵抗素子R12により接続されており、当該抵抗素子R12の抵抗値がニューロンNR_{i4}とニューロンNR_{o3}とを接続する際の上記負の重み付け係数Wに対応している。

30

40

【0034】

以上説明したように、第1実施形態に係るニューラルネットワーク回路SSの構成によれば、入力側のニューロンNR_{i1}乃至ニューロンNR_{i4}と、出力側のニューロンNR_{o1}乃至ニューロンNR_{o3}と、接続部CNと、自己学習制御部Cと、を備え、各制御部CNが、正電圧線同士のみが接続されている接続部CN11等と負電圧線同士のみが接続されている接続部CN13等により構成されている。よって、ニューラルネットワーク回路SSにおける接続部CNの占有面積を大幅に低減することができる。

【0035】

また、正電圧線同士のみが接続されている接続部CN11等の数と負電圧線同士のみが接続されている接続部CN13等の数とが同数であるので、ニューラルネットワーク回路SSとしての学習能力を向上させつつ、接続部CNの占有面積を大幅に低減することがで

50

きる。

【0036】

更に、正電圧線同士のみが接続されている接続部CN11等及び負電圧線同士のみが接続されている接続部CN13等が一様乱数的に分布しているので、従来と同様の学習能力及び汎化能力を共に維持しつつ、接続部CNの占有面積を大幅に低減することができる。

【0037】

(C) 第1実施形態に係るニューラルネットワーク回路の構成による学習効果等について

次に、本願の発明者ら研究による、第1実施形態に係るニューラルネットワーク回路SSの構成による学習効果等について、以下に(a)乃至(c)として説明する。

(a)本願の発明者らは、第1実施形態に係るニューラルネットワーク回路SSの構成を用いて、入力側のニューロンNRを784個とし、出力側のニューロンNRを293個としたニューラルネットワーク回路SSを含む一層のオードエンコーダを製作し、手書き数字の認識に関する実験を行った。この結果、パターンオーバーラップ(即ち、上記オードエンコーダに学習させた数字パターンの復元率)が約91%(より具体的には91.4%(入力側のニューロンNRを784個とし、出力側のニューロンNRを293個とし、更に30パーセントの重み付け係数をパーセプトロン学習則でランダムに更新した場合の値))となり、例えば上記特許文献1に記載されている技術を用いた従来法(91.1%)と変わらない復元率が得られた。

(b)また本願の発明者らは、第1実施形態に係るニューラルネットワーク回路SSの構成を用いて二次元畳み込みオードエンコーダを製作し、同様の実験を行った。この結果、パターンオーバーラップが約97%(より具体的には97.0%(入力側のニューロンNR及び出力側のニューロンNRを共に784個とし、畳み込みストライドを1とし、更に30パーセントの重み付け係数をパーセプトロン学習則でランダムに更新した場合の値))となり、従来法(91.4%)を上回る復元率が得られた。

(c)本願の発明者らは更なる多層化の実験を行い、最終的に三層のバックプロパゲーションアルゴリズムを付加して同様の実験を行ったところ、いずれの総数でもパターンオーバーラップが約91%以上となり、十分な時間をかけて学習を行えば高機能化が期待できることを確認した。

【0038】

(II) 第2実施形態

次に、本発明に係る他の実施形態である第2実施形態について、図4を用いて説明する。なお、図4は第2実施形態に係るニューラルネットワーク回路を示す図である。また図4において、第1実施形態に係るニューラルネットワーク回路SSと同一の構成部材については、同一の部材番号を付して細部の説明を省略する。

【0039】

図4に示すように、第2実施形態に係るニューラルネットワーク回路SS1は、入力側のニューロンNR_{i1}及びニューロンNR_{i3}にそれぞれ接続されて入力データI₁及び入力データI₃に対応した正電圧がそれぞれ印加される正電圧線Li1+及び正電圧線Li3+と、入力側のニューロンNR_{i2}及びニューロンNR_{i4}にそれぞれ接続されて入力データI₂及び入力データI₄のそれぞれに対応した負電圧が印加される負電圧線Li2-及び負電圧線Li4-と、出力側のニューロンNR_{o1}乃至ニューロンNR_{o3}にそれぞれ接続された電圧線Lo1乃至電圧線Lo3と、を備えている。このとき、正電圧線Li1+及び正電圧線Li3+と、負電圧線Li2-及び負電圧線Li4-と、電圧線Lo1乃至電圧線Lo3と、は、例えば上記フォトリソグラフィ技術により各々別個の層内に形成される。

【0040】

そして、ニューロンNR_{i1}とニューロンNR_{o1}とを接続する接続部CN11が正電圧線Li1+と電圧線Lo1とにより形成され、ニューロンNR_{i1}とニューロンNR_{o2}とを接続する接続部CN12が正電圧線Li1+と電圧線Lo2とにより形成され、ニューロンNR_{i1}とニューロンNR_{o3}とを接続する接続部CN13が正電圧線Li1+と電圧線Lo3とにより形

10

20

30

40

50

成される。また、ニューロン NR_{i2} とニューロン NR_{o1} とを接続する接続部 $CN21$ が負電圧線 $Li2-$ と電圧線 $Lo1$ により形成され、ニューロン NR_{i2} とニューロン NR_{o2} とを接続する接続部 $CN22$ が負電圧線 $Li2-$ と電圧線 $Lo2$ により形成され、ニューロン NR_{i2} とニューロン NR_{o3} とを接続する接続部 $CN23$ が負電圧線 $Li2-$ と電圧線 $Lo3$ により形成される。また、ニューロン NR_{i3} とニューロン NR_{o1} とを接続する接続部 $CN31$ が正電圧線 $Li3+$ と電圧線 $Lo1$ により形成され、ニューロン NR_{i3} とニューロン NR_{o2} とを接続する接続部 $CN32$ が正電圧線 $Li3+$ と電圧線 $Lo2$ により形成され、ニューロン NR_{i3} とニューロン NR_{o3} とを接続する接続部 $CN33$ が正電圧線 $Li3+$ と電圧線 $Lo3$ により形成される。更に、ニューロン NR_{i4} とニューロン NR_{o1} とを接続する接続部 $CN41$ が負電圧線 $Li4-$ と電圧線 $Lo1$ により形成され、ニューロン NR_{i4} とニューロン NR_{o2} とを接続する接続部 $CN42$ が負電圧線 $Li4-$ と電圧線 $Lo2$ により形成され、ニューロン NR_{i4} とニューロン NR_{o3} とを接続する接続部 $CN43$ が負電圧線 $Li4-$ と電圧線 $Lo3$ により形成される。そして、各接続部 CN のそれぞれにおいては、それぞれを構成する電圧線同士が、各接続部 CN としての上記重み付け係数 W にそれぞれ対応した抵抗値の抵抗素子により接続される。

10

20

30

40

50

【0041】

そして図4に示す第2実施形態に係るニューラルネットワーク回路 $SS1$ では、正電圧線 $Li1+$ 及び正電圧線 $Li3+$ と電圧線 $Lo1$ 乃至電圧線 $Lo3$ とが接続されている接続部 CN の数と、負電圧線 $Li2-$ 及び負電圧線 $Li4-$ と電圧線 $Lo1$ 乃至電圧線 $Lo3$ とが接続されている接続部 CN の数と、が当該ニューラルネットワーク回路 $SS1$ 全体について同数となり、更に、正電圧線 $Li1+$ 及び正電圧線 $Li3+$ と電圧線 $Lo1$ 乃至電圧線 $Lo3$ とが接続されている接続部 CN と、負電圧線 $Li2-$ 及び負電圧線 $Li4-$ と電圧線 $Lo1$ 乃至電圧線 $Lo3$ とが接続されている接続部 CN と、が、当該ニューラルネットワーク回路 $SS1$ 全体について規則的に分布するように、予め決定される。これは、本願の発明者らの研究により、各接続部 CN において正電圧線と電圧線 $Lo1$ 等同士、又は負電圧線と電圧線 $Lo1$ 等同士のいずれか一方を抵抗素子により接続する場合であっても、正電圧線等と電圧線 $Lo1$ 等同士が接続されている接続部 $CN11$ 等の数と、負電圧線と電圧線 $Lo1$ 等同士が接続されている接続部 $CN21$ 等の数とがニューラルネットワーク回路 $SS1$ 全体について同数となり、更に、それらがニューラルネットワーク回路 $SS1$ 全体について規則的に分布していれば、ニューラルネットワーク回路 $SS1$ 全体の学習機能においては従来と同様の性能が担保されることが発見されたことによる。

【0042】

ここで、図4に例示する第2実施形態に係るニューラルネットワーク回路 $SS1$ では、接続部 $CN11$ においては正電圧線 $Li1+$ と電圧線 $Lo1$ が抵抗素子 $R20$ により接続されており、当該抵抗素子 $R20$ の抵抗値がニューロン NR_{i1} とニューロン NR_{o1} とを接続する際の上記正の重み付け係数 W に対応している。また接続部 $CN12$ においては正電圧線 $Li1+$ と電圧線 $Lo2$ が抵抗素子 $R24$ により接続されており、当該抵抗素子 $R24$ の抵抗値がニューロン NR_{i1} とニューロン NR_{o2} とを接続する際の上記正の重み付け係数 W に対応している。また接続部 $CN13$ においては正電圧線 $Li1+$ と電圧線 $Lo3$ が抵抗素子 $R28$ により接続されており、当該抵抗素子 $R28$ の抵抗値がニューロン NR_{i1} とニューロン NR_{o3} とを接続する際の上記正の重み付け係数 W に対応している。更に、接続部 $CN21$ においては負電圧線 $Li2-$ と電圧線 $Lo1$ が抵抗素子 $R21$ により接続されており、当該抵抗素子 $R21$ の抵抗値がニューロン NR_{i2} とニューロン NR_{o1} とを接続する際の上記負の重み付け係数 W に対応している。また接続部 $CN22$ においては負電圧線 $Li2-$ と電圧線 $Lo2$ が抵抗素子 $R25$ により接続されており、当該抵抗素子 $R25$ の抵抗値がニューロン NR_{i2} とニューロン NR_{o2} とを接続する際の上記負の重み付け係数 W に対応している。また接続部 $CN23$ においては負電圧線 $Li2-$ と電圧線 $Lo3$ が抵抗素子 $R29$ により接続されており、当該抵抗素子 $R29$ の抵抗値がニューロン NR_{i2} とニューロン NR_{o3} とを接続する際の上記負の重み付け係数 W に対応している。

【0043】

更にまた、接続部CN31においては正電圧線Li3+と電圧線Lo1が抵抗素子R22により接続されており、当該抵抗素子R22の抵抗値がニューロンNR_{i3}とニューロンNR_{o1}とを接続する際の上記正の重み付け係数Wに対応している。また接続部CN32においては正電圧線Li3+と電圧線Lo2が抵抗素子R26により接続されており、当該抵抗素子R26の抵抗値がニューロンNR_{i3}とニューロンNR_{o2}とを接続する際の上記正の重み付け係数Wに対応している。また接続部CN33においては正電圧線Li3+と電圧線Lo3が抵抗素子R30により接続されており、当該抵抗素子R30の抵抗値がニューロンNR_{i3}とニューロンNR_{o3}とを接続する際の上記正の重み付け係数Wに対応している。更に接続部CN41においては負電圧線Li4-と電圧線Lo1が抵抗素子R23により接続されており、当該抵抗素子R23の抵抗値がニューロンNR_{i4}とニューロンNR_{o1}とを接続する際の上記負の重み付け係数Wに対応している。また接続部CN42においては負電圧線Li4-と電圧線Lo2が抵抗素子R27により接続されており、当該抵抗素子R27の抵抗値がニューロンNR_{i4}とニューロンNR_{o2}とを接続する際の上記負の重み付け係数Wに対応している。最後に接続部CN43においては負電圧線Li4-と電圧線Lo3が抵抗素子R31により接続されており、当該抵抗素子R31の抵抗値がニューロンNR_{i4}とニューロンNR_{o3}とを接続する際の上記負の重み付け係数Wに対応している。

10

20

30

40

50

【0044】

以上説明したように、第2実施形態に係るニューラルネットワーク回路SS1の構成によれば、入力側のニューロンNR_{i1}乃至ニューロンNR_{i4}と、出力側のニューロンNR_{o1}乃至ニューロンNR_{o3}と、接続部CNと、自己学習制御部Cと、を備え、各制御部CNが、正電圧線が接続されている接続部CN11等と負電圧線が接続されている接続部CN21等により構成されている。よって、ニューラルネットワーク回路SS1における接続部CNの占有面積を大幅に低減することができる。

【0045】

また、正電圧線が接続されている接続部CN11等の数と負電圧線が接続されている接続部CN21等の数とが同数であるので、ニューラルネットワーク回路SS1としての学習能力を向上させつつ、接続部CNの占有面積を大幅に低減することができる。

【0046】

更に、正電圧線が接続されている接続部CN11等及び負電圧線が接続されている接続部CN21等が規則的に分布しているので、従来と同様の学習能力を維持しつつ、接続部CNの占有面積を大幅に低減することができる。

【産業上の利用可能性】

【0047】

以上それぞれ説明したように、本発明はニューラルネットワーク回路の分野に利用することが可能であり、特に当該ニューラルネットワーク回路を含む学習装置の分野に適用すれば特に顕著な効果が得られる。

【符号の説明】

【0048】

C 自己学習制御部

SS、SS1 ニューラルネットワーク回路

I₁、I₂、I_n 入力データ

NR、NR_{i1}、NR_{i2}、NR_{i3}、NR_{i4}、NR_{o1}、NR_{o2}、NR_{o3} ニューロン

W₁、W₂、W_n 重み付け係数

O、O₁、O₂、O₃ 出力データ

NW ニューラルネットワーク

Li1+、Li2+、Li3+、Li4+、Lo1+、Lo2+、Lo3+ 正電圧線

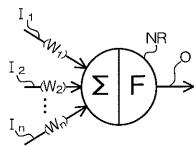
Li1-、Li2-、Li3-、Li4-、Lo1-、Lo2-、Lo3- 負電圧線

Lo1、Lo2、Lo3 電圧線

CN11、CN12、CN13、CN21、CN22、CN23、CN31、CN32、CN33、CN41、CN42、CN43 接続部

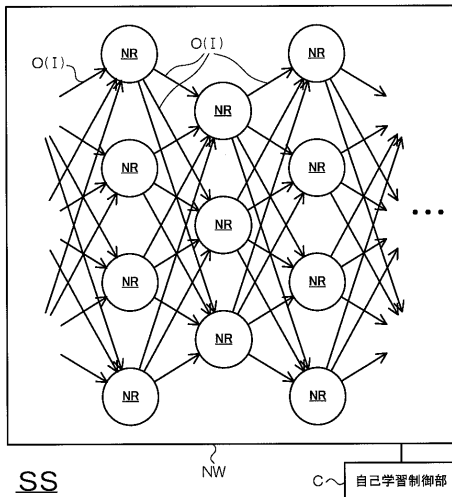
R 1、R 2、R 3、R 4、R 5、R 6、R 7、R 8、R 9、R 10、R 11、R 12、
R 20、R 21、R 22、R 23、R 24、R 25、R 26、R 27、R 28、R 29、
R 30、R 31 抵抗素子

【 図 1 】

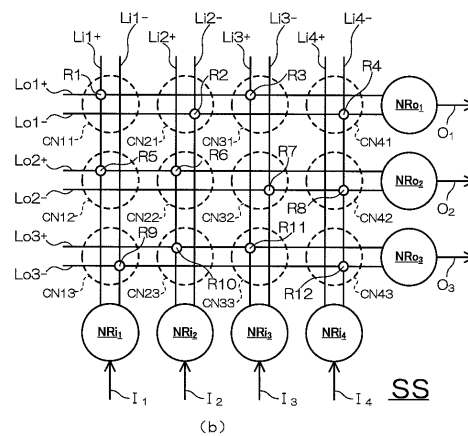
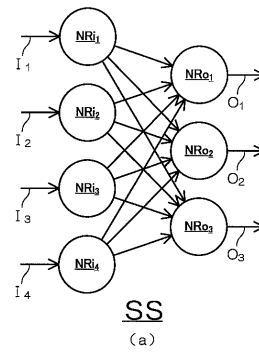


$$O = F(W_1 \times I_1 + W_2 \times I_2 + \dots + W_n \times I_n) \dots (1)$$

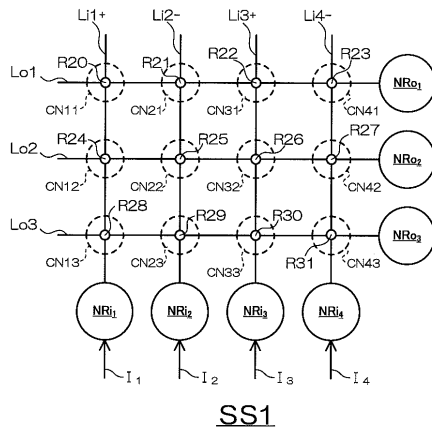
【 図 2 】



【 図 3 】



【 図 4 】



【 手続補正書 】

【 提出日 】平成30年10月12日(2018.10.12)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

脳機能に対応したアナログ型のニューラルネットワーク回路を備えた自己学習型の重み符号固定学習装置において、

前記ニューラルネットワーク回路は、

入力データに相当する入力信号がそれぞれ入力される複数（ n 個）の入力部と、

出力データに相当する出力信号がそれぞれ入力される複数（ m 個且つ $n = m$ の場合を含む）の出力部と、

一の前記入力部と一の前記出力部とをそれぞれ接続する（ $n \times m$ ）個の接続部と、
により構成されており、

前記出力データを前記出力部から前記重み符号固定学習装置に再入力した結果として前記入力部から出力されるデータが元の前記入力データと一致するように当該重み符号固定学習装置を制御して、前記自己学習機能を実行させる制御手段を備え、

（ $n \times m$ ）個の前記接続部は、前記脳機能としての正の重み付け係数に対応した抵抗値の抵抗素子である正重み付け抵抗素子により一の前記入力部と一の前記出力部が接続され且つ当該脳機能としての負の重み付け係数に対応した抵抗値の抵抗素子である負重み付け抵抗素子を含まない前記接続部である正専用接続部と、前記負重み付け抵抗素子により一の前記入力部と一の前記出力部が接続され且つ前記正重み付け抵抗素子を含まない前記接

続部である負専用接続部と、により構成されていることを特徴とする重み符号固定学習装置。

【請求項 2】

請求項 1 に記載の重み符号固定学習装置において、
前記正専用接続部と前記負専用接続部とが同数であることを特徴とする重み符号固定学習装置。

【請求項 3】

請求項 1 又は請求項 2 に記載の重み符号固定学習装置において、
前記正専用接続部及び前記負専用接続部が、 $(n \times m)$ 個の前記接続部において一様乱数的に分布していることを特徴とする重み符号固定学習装置。

【請求項 4】

請求項 1 又は請求項 2 に記載の重み符号固定学習装置において、
前記正専用接続部及び前記負専用接続部が、 $(n \times m)$ 個の前記接続部において規則的に分布していることを特徴とする重み符号固定学習装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

る。そしてこの場合には、当該二つの抵抗により一つの接続部が構成されることから、接続部としての回路規模（占有面積）が結果として二倍となってしまう、当該専有面積の最小化が図れないという問題点があった。

[0006]

そしてこの問題点は、入力側のニューロンの数と出力側のニューロンの数とを乗じた数だけ接続部が必要となる FC 型ニューラルネットワーク回路では、接続部の多数化に伴い、専有面積の増大がより深刻化するという問題点に繋がる。

[0007]

そこで本発明は、上記の各問題点に鑑みて為されたもので、その課第の一例は、FC 型ニューラルネットワーク回路における接続部の専有面積を大幅に低減することが可能な自己学習型の重み符号固定学習装置を提供することにある。

課題を解決するための手段

[0008]

上記の課題を解決するために、請求項 1 に記載の発明は、脳機能に対応したアナログ型のニューラルネットワーク回路を備えた自己学習型の重み符号固定学習装置において、前記ニューラルネットワーク回路は、入力データに相当する入力信号がそれぞれ入力される複数（ n 個）の入力部と、出力データに相当する出力信号がそれぞれ入力される複数（ m 個且つ $n = m$ の場合を含む）の出力部と、一の前記入力部と一の前記出力部とをそれぞれ接続する $(n \times m)$ 個の接続部と、により構成されており、前記出力データを前記出力部から前記重み符号固定学習装置に再入力した結果として前記入力部から出力されるデータが元の前記入力データと一致するように当該重み符号固定学習装置を制御して、前記自己学習機能を実行させる自己学習制御部等の制御手段を備え、 $(n \times m)$ 個の前記接続部は、前記脳機能としての正の重み付け係数に対応した抵抗値の抵抗素子である正重み付け抵抗素子により一の前記入力部と一の前記出力部が接続され且つ当該脳機能としての負の重み付け係数に対応した抵抗値の抵抗素子である負重み付け抵抗素子を含まない前記接続部である正専用接続部と、前記負重み付け抵抗素子により一の前記入力部と一の前記出力部が接続され且つ前記正重み付け抵抗素子を含まない前記接続部である負専用接続部と、により構成されている。

[0009]

請求項 1 に記載の発明によれば、 n 個の入力部と、 m 個の出力部と、 $(n \times m)$ 個の接続

部と、自己学習の機能を実行させる制御手段と、を備え、($n \times m$

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

個の接続部が、正重み付け抵抗素子により一の入力部と一の出力部が接続されており且つ負重み付け抵抗素子を含まない正専用接続部と、負重み付け抵抗素子により一の入力部と一の出力部が接続され且つ正重み付け抵抗素子を含まない負専用接続部と、により構成されている。よって、正専用接続部及び負専用接続部から各接続部が構成されているので、ニューラルネットワーク回路における接続部の専有面積を大幅に低減することができる。

[0010]

上記の課題を解決するために、請求項 2 に記載の発明は、請求項 1 に記載の重み符号固定学習装置において、前記正専用接続部と前記負専用接続部とが同数であるように構成される。

[0011]

請求項 2 に記載の発明によれば、請求項 1 に記載の発明の作用に加えて、正専用接続部と負専用接続部とが同数であるので、重み符号固定学習装置としての学習能力を向上させつつ、接続部の専有面積を大幅に低減することができる。

[0012]

上記の課題を解決するために、請求項 3 に記載の発明は、請求項 1 又は請求項 2 に記載の重み符号固定学習装置において、前記正専用接続部及び前記負専用接続部が、($n \times m$) 個の前記接続部において一様乱数的に分布しているように構成される。

[0013]

請求項 3 に記載の発明によれば、請求項 1 又は請求項 2 に記載の発明の作用に加えて、正専用接続部及び負専用接続部が、($n \times m$) 個の接続部において一様乱数的に分布しているので、従来と同様の学習能力及び汎化能力を共に維持しつつ、接続部の専有面積を大幅に低減することができる。

[0014]

上記の課題を解決するために、請求項 4 に記載の発明は、請求項 1 又は請求項 2 に記載の重み符号固定学習装置において、前記正専用接続部及び前記負専用接続部が、($n \times m$) 個の前記接続部において規則的に分布しているように構成される。

[0015]

請求項 4 に記載の発明によれば、請求項 1 又は請求項 2 に記載の発明の作用に加えて、正専用接続部及び負専用接続部が、($n \times m$) 個の接続部において規則的に分布しているので、従来と同様の学習能力を維持しつつ、接続部の専有面積を大幅に低減することができる。

発明の効果

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

[0016]

本発明によれば、 n 個の入力部と、 m 個の出力部と、($n \times m$) 個の接続部と、自己学習の機能を実行させる制御手段と、を備え、($n \times m$) 個の接続部が、正重み付け抵抗素子により一の入力部と一の出力部が接続されており且つ負重み付け抵抗素子を含まない正

専用接続部と、負重み付け抵抗素子により一の入力部と一の出力部が接続され且つ正重み付け抵抗素子を含まない負専用接続部と、により構成されている。

[0 0 1 7]

従って、正専用接続部及び負専用接続部から各接続部が構成されているので、アナログ型のニューラルネットワーク回路を備えた自己学習型の重み符号固定学習装置における接続部の専有面積を大幅に低減することができる。

図面の簡単な説明

[0 0 1 8]

[図 1] 一つのニューロンをモデル化したユニットを示す図である。

[図 2] 第 1 実施形態に係るニューラルネットワーク回路を示す図である。

[図 3] 第 1 実施形態に係るニューラルネットワーク回路の一部等を示す図であり、(a) は当該一部を示す図であり、(b) は当該一部をアナログ回路により構成した場合のニューラルネットワーク回路を示す図である。

[図 4] 第 2 実施形態に係るニューラルネットワーク回路を示す図である。

発明を実施するための形態

[0 0 1 9]

次に、本発明に係る実施形態について、図面に基づいてそれぞれ説明する。なお以下に説明する各実施形態は、人の脳機能をアナログ型のニューラルネットワーク回路によりモデル化する場合について本発明を適用した場合の実施形態等である。

[0 0 2 0]

(I) 第 1 実施形態

初めに、本発明に係る第 1 実施形態について、図 1 乃至図 3 を用いて説明する。なお、図 1 は一つのニューロンをモデル化したユニットを示す図であり、図 2 は第 1 実施形態に係るニューラルネットワーク回路を示す図であり、図 3 は当該ニューラルネットワーク回路の一部等を示す図である。

[0 0 2 1]

(A) ニューラルネットワークについて

先ず、上記脳機能をモデル化したニューラルネットワークについて、図 1 を用いて一般的に説明する。

[0 0 2 2]

一般に人の脳の中には、多数のニューロン（神経細胞）が存在しているとされている。脳の中で各ニューロンは、多数の他のニューロンからの電気信

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【 0 0 1 3 】

次に、本願の発明者らの研究による、第 1 実施形態に係るニューラルネットワーク回路 S S の構成による学習効果等について、以下に (a) 乃至 (c) として説明する。

(a) 本願の発明者らは、第 1 実施形態に係るニューラルネットワーク回路 S S の構成を用いて、入力側のニューロン N R を 7 8 4 個とし、出力側のニューロン N R を 2 9 3 個としたニューラルネットワーク回路 S S を含む一層のオードエンコーダを製作し、手書き数字の認識に関する実験を行った。この結果、パターンオーバーラップ（即ち、上記オードエンコーダに学習させた数字パターンの復元率）が約 9 1 %（より具体的には 9 1 . 4 %（入力側のニューロン N R を 7 8 4 個とし、出力側のニューロン N R を 2 9 3 個とし、更に 3 0 パーセントの重み付け係数をパーセプトロン学習則でランダムに更新した場合の値））となり、例えば上記特許文献 1 に記載されている技術を用いた従来法（ 9 1 . 1 % ）と変わらない復元率が得られた。

(b) また本願の発明者らは、第 1 実施形態に係るニューラルネットワーク回路 S S の構

成を用いて二次元畳み込みオードエンコーダを製作し、同様の実験を行った。この結果、パターンオーバーラップが約97%（より具体的には97.0%（入力側のニューロンNR及び出力側のニューロンNRを共に784個とし、畳み込みストライドを1とし、更に30パーセントの重み付け係数をパーセプトロン学習則でランダムに更新した場合の値））となり、従来法（91.4%）を上回る復元率が得られた。

（c）本願の発明者らは更なる多層化の実験を行い、最終的に三層のバックプロパゲーションアルゴリズムを付加して同様の実験を行ったところ、いずれの総数でもパターンオーバーラップが約91%以上となり、十分な時間をかけて学習を行えば高機能化が期待できることを確認した。

[0 0 3 8]

（II）第2実施形態

次に、本発明に係る他の実施形態である第2実施形態について、図4を用いて説明する。なお、図4は第2実施形態に係るニューラルネットワーク回路を示す図である。また図4において、第1実施形態に係るニューラルネッ

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2018/004786
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. G06N3/063(2006.01)i, G06G7/60(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G06N3/063, G06G7/60 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2018 Registered utility model specifications of Japan 1996-2018 Published registered utility model applications of Japan 1994-2018 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	YAKOPCIC, C. et al., Memristor crossbar deep network implementation based on a convolutional neural network, 2016 International Joint Conference on Neural Networks, IEEE [online], 03 November 2016, [retrieved on 27 April 2018], pp. 963-970, Internet: <URL:https://ieeexplore.ieee.org/document/7727302/> <DOI:10.1109/IJCNN.2016.7727302>, particularly, abstract, III. Memristor convolution in a CNN, V. CNN recognition system, E. Classification layer, VI. Simulation results, fig. 9	1-4
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27.04.2018		Date of mailing of the international search report 15.05.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/004786

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	HASAN, R. et al., Enabling back propagation training of memristor crossbar neuromorphic processors, 2014 International Joint Conference on Neural Networks, IEEE [online], 04 September 2014, [retrieved on 27 April 2018], pp. 21-28, Internet: <URL:https://ieeexplore.ieee.org/document/6889893/> <DOI:10.1109/IJCNN.2014.6889893>, particularly, III. Memristor crossbar based neural network implementation, C. The back-propagation algorithm and D. Circuit implementation of back-propagation training	1-4

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 0 4 7 8 6													
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06N3/063(2006,01)i, G06G7/60(2006,01)i															
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06N3/063, G06G7/60															
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr><td>日本国実用新案公報</td><td>1922-1996年</td></tr> <tr><td>日本国公開実用新案公報</td><td>1971-2018年</td></tr> <tr><td>日本国実用新案登録公報</td><td>1996-2018年</td></tr> <tr><td>日本国登録実用新案公報</td><td>1994-2018年</td></tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2018年	日本国実用新案登録公報	1996-2018年	日本国登録実用新案公報	1994-2018年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2018年														
日本国実用新案登録公報	1996-2018年														
日本国登録実用新案公報	1994-2018年														
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)															
C. 関連すると認められる文献															
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号													
Y	YAKOPCIC, Chris et al., Memristor Crossbar Deep Network Implementation Based on a Convolutional Neural Network, 2016 International Joint Conference on Neural Networks, IEEE [online], 2016. 11. 03, [検索日 2018. 4. 27], pp. 963-970, Internet: <URL: https://ieeexplore.ieee.org/document/7727302/> <DOI: 10.1109/IJCNN.2016.7727302>, 特に「Abstract」, 「III. MEMRISTOR CONVOLUTION IN A CNN」の項, 「V. CNN RECOGNITION SYSTEM」の「E. Classification Layer」の部分, 「VI. SIMULATION RESULTS」の項, Fig. 9	1-4													
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。															
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				* 引用文献のカテゴリー	の日の後に公表された文献	「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献														
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの														
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの														
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの														
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献														
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願															
国際調査を完了した日 27. 04. 2018		国際調査報告の発送日 15. 05. 2018													
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 木村 貴俊 電話番号 03-3581-1101 内線 3545	5B 7888												

国際調査報告		国際出願番号 PCT/JP2018/004786
C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	<p>HASAN, Raqibul et al., Enabling Back Propagation Training of Memristor Crossbar Neuromorphic Processors, 2014 International Joint Conference on Neural Networks, IEEE [online], 2014.09.04, [検索日 2018.4.27], pp.21-28, Internet: <URL:https://ieeexplore.ieee.org/document/6889893/> <DOI: 10.1109/IJCNN.2014.6889893>, 特に「III. MEMRISTOR CROSSBAR BASED NEURAL NETWORK IMPLEMENTATION」の項の「C. The Back-propagation Algorithm」及び「D. Circuit implementation of back-propagation training」の部分</p>	1-4

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(出願人による申告)平成28年度 国立研究開発法人新エネルギー・産業技術総合開発機構 エネルギー・環境新技術先導プログラム委託研究、産業技術力強化法第19条の適用を受ける特許出願

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。