

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02018/207883

発行日 令和2年3月12日 (2020.3.12)

(43) 国際公開日 平成30年11月15日 (2018.11.15)

(51) Int.Cl.			F I	テーマコード (参考)		
<b>G06F</b>	<b>9/34</b>	<b>(2006.01)</b>	G06F	9/34	330	5B033
<b>G06F</b>	<b>15/80</b>	<b>(2006.01)</b>	G06F	15/80		5B045
<b>G06F</b>	<b>15/173</b>	<b>(2006.01)</b>	G06F	15/173	683B	

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

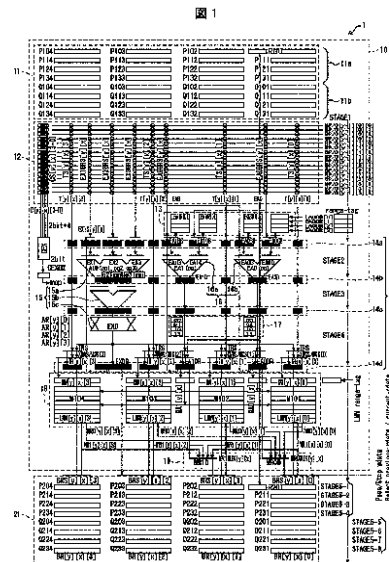
出願番号	特願2019-517698 (P2019-517698)	(71) 出願人	504143441 国立大学法人 奈良先端科学技術大学院大学
(21) 国際出願番号	PCT/JP2018/018169		
(22) 国際出願日	平成30年5月10日 (2018.5.10)		
(31) 優先権主張番号	特願2017-96061 (P2017-96061)	(74) 代理人	110000338 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
(32) 優先日	平成29年5月12日 (2017.5.12)		
(33) 優先権主張国・地域又は機関	日本国 (JP)	(72) 発明者	中島 康彦 奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内
		Fターム(参考)	5B033 DD01 5B045 BB15 BB34

最終頁に続く

(54) 【発明の名称】 データ処理装置

(57) 【要約】

複数の基本ユニット(10)が相互接続されるデータ処理装置(1)である。各基本ユニット(10)はユニット間レジスタ部(11)を含み、各基本ユニット(10)は、ユニット間レジスタ部(11)からデータを読み出し、当該データを用いた演算後、各実行サイクルにおいて後段のユニットに含まれるユニット間レジスタ部(21)のうちの各実行サイクルに対応するレジスタ群を更新する演算をパイプライン実行する。



## 【特許請求の範囲】

## 【請求項 1】

複数の演算器及び複数のレジスタを備え、アキュムレート演算可能な自己ループ構造を持つ、複数のユニットが相互接続されるデータ処理装置であって、

各ユニットは、各ユニットの前段のユニット側に配置されたユニット間レジスタ部を含み、

前記各ユニットは、前記ユニット間レジスタ部からデータを読み出し、当該データを用いて演算を行った後、各実行サイクルにおいて後段のユニットに含まれるユニット間レジスタ部のうちの各実行サイクルに対応するレジスタを更新する演算をパイプライン実行することにより、自己ループ命令を含む命令から構成される命令列を実行することを特徴とするデータ処理装置。

10

## 【請求項 2】

前記各ユニットは、前記ユニット間レジスタ部からアドレス情報を読み出し、当該アドレス情報を用いてアドレスを生成した後、各実行サイクルにおいて後段のユニットに含まれるユニット間レジスタ部を更新するメモリ読み出しをパイプライン実行することにより、自己ループアドレス生成を含むメモリ参照命令から構成される命令列を実行することを特徴とする請求項 1 に記載のデータ処理装置。

## 【請求項 3】

前記各ユニットは、メモリブロック、及び前記生成されたアドレスを書き換えるアドレス書き換え部を含み、

20

前記各ユニットは、

前記メモリブロックを分割する場合には、前記アドレス書き換え部によって書き換えられたアドレスを用いて前記メモリブロックへの書き込みを行い、

前記メモリブロックを分割しない場合には、前記生成されたアドレスを用いて前記メモリブロックへの書き込みを行うことを特徴とする請求項 2 に記載のデータ処理装置。

## 【請求項 4】

前記ユニット間レジスタ部は、第 1 レジスタ群及び第 2 レジスタ群を含み、

前記各ユニットは、前記第 1 レジスタ群及び第 2 レジスタ群を、それぞれ、書き込みレジスタ群又は読み出しレジスタ群として、排他的に使用することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のデータ処理装置。

30

## 【請求項 5】

前記各ユニットは、前記ユニット間レジスタ部から読み出されたアドレス情報を用いてアドレスを生成するアドレス生成器を含み、

各実行サイクルに対応する演算及びアドレス生成の組に関連付けられるメモリ空間であって、実行サイクル間で互いに独立したメモリ空間又は実行サイクル間で共有されるメモリ空間を対象として、前記メモリブロックを参照することを特徴とする請求項 3 に記載のデータ処理装置。

## 【請求項 6】

前記各ユニットは、1つの前記演算器と、1組の前記アドレス生成器及び前記アドレス書き換え部と、1つの前記メモリブロックとを用いて、各実行サイクルに対応する、実行サイクル数分の前記演算器と、実行サイクル数組の前記アドレス生成器及び前記アドレス書き換え部と、実行サイクル数分のメモリブロックとを有するハードウェア構成の機能と等価な機能を提供することを特徴とする請求項 5 に記載のデータ処理装置。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、コンピュータシステムに用いられるデータ処理装置に関する。

## 【背景技術】

## 【0002】

複数の演算器を二次元ネットワークにより相互接続した構成を備えたシストリックアレ

50

イ型アクセラレータが従来技術として知られている（特許文献1）。

【0003】

特許文献1に開示された従来のアクセラレータでは、その配線量の多さがFPGA（Field Programmable Gate Array）やLSI（Large Scale Integrated Circuit）に実装する際の問題となりやすい。FPGAやLSIの回路規模が大きくなればなるほど、配線の信号遅延が増大することになるからである。

【0004】

また、特許文献1のアクセラレータでは、各演算器には自演算器の結果を自身の入力にバイパスさせる自己ループが備えられている。各演算器が自演算器の結果を自演算器で使用するためである。

【0005】

演算器の自己ループ構造が必要となるアキュムレート演算に対応するためには、演算器をパイプライン化して演算器の性能を向上させる手法を適用することはできない。非パイプライン処理は演算器の使用効率を低下させる要因となる。

【0006】

例えば、特許文献1のアクセラレータでは、演算器は複数のブロックから構成されており、その回路構成からすればパイプライン処理は可能であるといえる。しかし、演算結果を次の実行サイクルの入力とする演算を実行する場合、各ブロック間でデータの受け渡しが必要となるので、パイプライン処理を行うことはできない。それゆえ、演算回路の使用率は数分の1程度になり、その使用効率は低下することになる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】国際公開第2016/163421号（2016年10月13日公開）

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、シストリックアレイ型アクセラレータにおいて、配線量の削減及び演算器の使用効率の向上を同時に達成可能なデータ処理装置を実現することを目的とする。

【課題を解決するための手段】

【0009】

上記の課題を解決するために、本発明の一態様に係るデータ処理装置は、複数の演算器及び複数のレジスタを備え、アキュムレート演算可能な自己ループ構造を持つ、複数のユニットが相互接続されるデータ処理装置であって、各ユニットは、各ユニットの前段のユニット側に配置されたユニット間レジスタ部を含み、前記各ユニットは、前記ユニット間レジスタ部からデータを読み出し、当該データを用いて演算を行った後、各実行サイクルにおいて後段のユニットに含まれるユニット間レジスタ部のうちの各実行サイクルに対応するレジスタを更新する演算をパイプライン実行することにより、自己ループ命令を含む命令から構成される命令列を実行する。

【0010】

上記構成によれば、配線量の削減及び演算器の使用効率の向上が図られる。

【0011】

前記各ユニットは、前記ユニット間レジスタ部からアドレス情報を読み出し、当該アドレス情報を用いてアドレスを生成した後、各実行サイクルにおいて後段のユニットに含まれるユニット間レジスタ部を更新するメモリ読み出しをパイプライン実行することにより、自己ループアドレス生成を含むメモリ参照命令から構成される命令列を実行することが好ましい。

【0012】

前記各ユニットは、メモリブロック、及び前記生成されたアドレスを書き換えるアドレ

10

20

30

40

50

ス書き換え部を含み、前記各ユニットは、前記メモリブロックを分割する場合には、前記アドレス書き換え部によって書き換えられたアドレスを用いて前記メモリブロックへの書き込みを行い、前記メモリブロックを分割しない場合には、前記生成されたアドレスを用いて前記メモリブロックへの書き込みを行うことが好ましい。

【0013】

前記ユニット間レジスタ部は、第1レジスタ群及び第2レジスタ群を含み、前記各ユニットは、前記第1レジスタ群及び第2レジスタ群を、それぞれ、書き込みレジスタ群又は読み出しレジスタ群として、排他的に使用することが好ましい。

【0014】

前記各ユニットは、前記ユニット間レジスタ部から読み出されたアドレス情報を用いてアドレスを生成するアドレス生成器を含み、各実行サイクルに対応する演算及びアドレス生成の組に関連付けられるメモリ空間であって、実行サイクル間で互いに独立したメモリ空間又は実行サイクル間で共有されるメモリ空間を対象として、前記メモリブロックを参照することが好ましい。

10

【0015】

前記各ユニットは、1つの前記演算器と、1組の前記アドレス生成器及び前記アドレス書き換え部と、1つの前記メモリブロックとを用いて、各実行サイクルに対応する、実行サイクル数分の前記演算器と、実行サイクル数組の前記アドレス生成器及び前記アドレス書き換え部と、実行サイクル数分のメモリブロックとを有するハードウェア構成の機能と等価な機能を提供することが好ましい。

20

【発明の効果】

【0016】

本発明の一態様によれば、シストリックアレイ型アクセラレータにおいて、配線量の削減及び演算器の使用効率の向上を同時に達成することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の実施形態に係るデータ処理装置のハードウェア構成を示す模式図である。

【図2】上記データ処理装置が実行するデータ処理（レジスタ更新）の処理手順を示すタイミングチャートである。

30

【図3】上記データ処理装置に含まれるユニット間レジスタ部の配置構成を説明するための説明図である。（a）は、上記ユニット間レジスタ部を示し、（b）は、（a）のユニット間レジスタ部に含まれる第1ユニット間レジスタ要素P101～P134及び第2ユニット間レジスタ要素Q101～Q134のそれぞれに対応する識別符号を示す。

【図4】上記データ処理装置に含まれるアドレス書き換え部の動作を説明するための説明図である。（a）は、アドレス書き換え部が実行する第1モード処理を説明するための説明図、（b）は、アドレス書き換え部が実行する第2モード処理を説明するための説明図である。

【図5】上記データ処理装置が実行するデータ処理（メモリ参照）の処理手順を示すタイミングチャートである。

40

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について、詳細に説明する。

【0019】

（データ処理装置1の構成）

図1は、本発明の実施形態に係るデータ処理装置1のハードウェア構成を示す模式図である。データ処理装置1は、複数の演算器を二次元ネットワークにより相互接続した構成を備えたシストリックアレイ型アクセラレータを構成する。

【0020】

図1に示すように、データ処理装置1は、ユニット間レジスタ部11と、演算バス及び

50

スイッチ群 1 2 と、アドレス設定部 1 3 と、データ保持部 1 4 と、演算器 1 5 と、アドレス生成器 1 6 と、アドレス書き換え部 1 7 と、メモリブロック 1 8 と、マルチプレクサ 1 9 と、を含む、複数の基本ユニット 1 0 (ユニット) が相互に接続された構成を備える。

【 0 0 2 1 】

複数の基本ユニット 1 0 は 1 列に並べられる。また、複数の基本ユニット 1 0 の列には折り返しがあっても構わない。さらに、複数の基本ユニット 1 0 はリング状に並べられても良い。互いに隣接する各基本ユニット 1 0 間においては、前段の基本ユニット 1 0 から後段の基本ユニット 1 0 へデータが転送される。

【 0 0 2 2 】

ユニット間レジスタ部 1 1 は、前段の基本ユニットから転送されるデータを格納する。ユニット間レジスタ部 1 1 は、所謂ダブルバッファリングを用いる。ユニット間レジスタ部 1 1 は、第 1 ユニット間レジスタ要素 P 1 0 1 ~ P 1 3 4 から構成された第 1 レジスタ群 1 1 a 及び第 2 ユニット間レジスタ要素 Q 1 0 1 ~ Q 1 3 4 から構成された第 2 レジスタ群 1 1 b を含む。なお、ユニット間レジスタ部 2 1 は、基本ユニット 1 0 に隣接する後段の基本ユニット (図示省略) に含まれるものである。ユニット間レジスタ部 2 1 の機能はユニット間レジスタ部 1 1 の機能と同一である。

10

【 0 0 2 3 】

演算バス及びスイッチ群 1 2 は、ユニット間レジスタ部 1 1 から読み出されるデータを演算器 1 5 に供給する。演算器 1 5 は、演算バス及びスイッチ群 1 2 から供給されるデータを用いて演算する。

20

【 0 0 2 4 】

また、演算バス及びスイッチ群 1 2 は、ユニット間レジスタ部 1 1 から読み出されるデータをアドレス生成器 1 6 に供給する。アドレス生成器 1 6 は、アドレス設定部 1 3 から読み出されるアドレス情報及び演算バス及びスイッチ群 1 2 から供給されるデータを用いてアドレス生成する。アドレス生成器 1 6 は、自己ループアドレス生成を含むメモリ参照命令を生成可能である。

【 0 0 2 5 】

アドレス設定部 1 3 には、命令バッファ (図示省略) から読み出されるプログラムに予め記載されたアドレス情報が設定される。アドレス設定部 1 3 は、アドレス生成器 1 6 の入力数に合わせて、4 つのアドレス設定要素を含む。なお、命令バッファは、例えば、コンフィギュレーションメモリであり、公知の C G R A (Coarse-Grained Reconfigurable Architecture) を構成し、コンフィギュレーションデータを格納する。

30

【 0 0 2 6 】

データ保持部 1 4 は、演算器 1 5 及びアドレス生成器 1 6 の各々に入力されるデータ及び各々から出力されるデータ、並びに、各々の内部のデータを一時的に保持するバッファである。データ保持部 1 4 は、第 1 保持部 1 4 a、第 2 保持部 1 4 b、第 3 保持部 1 4 c 及び第 4 保持部 1 4 d を含む。第 1 保持部 1 4 a は、演算器 1 5 及びアドレス生成器 1 6 の各々に入力されるデータを保持し、第 4 保持部 1 4 d は、演算器 1 5 及びアドレス生成器 1 6 の各々から出力されるデータを保持する。また、第 2 保持部 1 4 b 及び第 3 保持部 1 4 c は、演算器 1 5 及びアドレス生成器 1 6 の各々の内部のデータを保持する。

40

【 0 0 2 7 】

演算器 1 5 は、第 1 演算ブロック 1 5 a、第 2 演算ブロック 1 5 b 及び第 3 演算ブロック 1 5 c を含む。演算器 1 5 は、自己ループ構造を備えており、第 3 演算ブロック 1 5 c の出力を第 1 演算ブロック 1 5 a の入力とする。演算器 1 5 は、自己ループ命令を含む命令から構成される命令列を実行可能である。

【 0 0 2 8 】

アドレス生成器 1 6 は、W r i t e 専用のストアユニット 1 6 a 及び R e a d 専用のロードユニット 1 6 b を含む。アドレス生成器 1 6 は、R e a d 及び W r i t e を同時に行う。アドレス生成器 1 6 は、メモリブロック 1 8 からの読み出し及びメモリブロック 1 8 への書き込みを行うためのアドレス情報を生成する。

50

## 【0029】

アドレス書き換え部17は、アドレス生成器16が生成するアドレスを書き換える。

## 【0030】

メモリーブロック18には、アドレス書き換え部17によって書き換えられたアドレスに基づき、演算器15の演算結果が書き込まれる。

## 【0031】

マルチプレクサ19は、メモリーブロック18から読み出されたデータを集約する。マルチプレクサ19は、集約したデータをユニット間レジスタ部21に供給する。

## 【0032】

ここで、データ処理装置1において注目すべきことは、複数の基本ユニット10が1列に並べられた、一本の基本ユニットの列(以下、「基本ユニット列」と称する。)を用いて、あたかも、複数の基本ユニット列(ここでは4列)があるかのごとく、複数の演算を行うことが可能となる回路構成を実現した点にある。すなわち、データ処理装置1は、論理的には4列、物理的には1列である回路構成を実現する。このような回路構成を実現することによって、配線量の削減及び演算器の使用効率の向上が図られる。

10

## 【0033】

従来のシストリックアレイ型アクセラレータでは、上述の基本ユニット列に相当する基本ユニット列を4列配置しており、物理的に4列である回路構成を備えていた。そのため、配線量が多く、また、演算器の使用効率が高いという課題があった。

## 【0034】

これに対し、データ処理装置1では、図1に示した基本ユニット10は1列のみであり、それにより、従来と比較して、配線量を削減し、且つ、演算器の使用効率を高くする。

20

## 【0035】

以下、上述の注目すべき点について、さらに説明を続ける。

## 【0036】

上述のとおり、データ処理装置1では、基本ユニット列を用いて、4列分の機能をパイプライン処理することによって、論理的には4列、物理的には1列である回路構成を実現する。このため、データ処理装置1は、以下の特徴的な回路構成を備える。

## 【0037】

図1に示したように、まず、ユニット間レジスタ部11に含まれる第1レジスタ群11a及び第2レジスタ群11bは、それぞれ、4組のレジスタ要素群から構成される。すなわち、第1レジスタ群11aは、第1ユニット間レジスタ要素P101~P104からなる組、第1ユニット間レジスタ要素P111~P114からなる組、第1ユニット間レジスタ要素P121~P124からなる組、及び、第1ユニット間レジスタ要素P131~P134からなる組から構成される。各組は、それぞれ、パイプライン処理される4列の各列に対応するものである。

30

## 【0038】

第2レジスタ群11bは、第2ユニット間レジスタ要素Q101~Q104からなる組、第2ユニット間レジスタ要素Q111~Q114からなる組、第2ユニット間レジスタ要素Q121~Q124からなる組、及び、第2ユニット間レジスタ要素Q131~Q134からなる組から構成される。各組は、それぞれ、パイプライン処理される4列の各列に対応するものである。

40

## 【0039】

次に、アドレス設定部13に含まれる4個のアドレス設定要素EA1BR、EA1OR、EA0BR及びEA0ORは、それぞれ、4個の領域から構成される。すなわち、EA1BRは、EA1BR[0]、EA1BR[1]、EA1BR[2]及びEA1BR[3]から構成される。各領域は、それぞれ、パイプライン処理される4列の各列に対応するものである。

## 【0040】

EA1ORは、EA1OR[0]、EA1OR[1]、EA1OR[2]及びEA1O

50

R [ 3 ] から構成される。各領域は、それぞれ、パイプライン処理される 4 列の各列に対応するものである。

【 0 0 4 1 】

E A 0 B R は、E A 0 B R [ 0 ]、E A 0 B R [ 1 ]、E A 0 B R [ 2 ] 及び E A 0 B R [ 3 ] から構成される。各領域は、それぞれ、パイプライン処理される 4 列の各列に対応するものである。

【 0 0 4 2 】

E A 0 O R は、E A 0 O R [ 0 ]、E A 0 O R [ 1 ]、E A 0 O R [ 2 ] 及び E A 0 O R [ 3 ] から構成される。各領域は、それぞれ、パイプライン処理される 4 列の各列に対応するものである。

10

【 0 0 4 3 】

上述のとおり、( 1 ) 第 1 レジスタ群 1 1 a 及び第 2 レジスタ群 1 1 b が、それぞれ、4 組のレジスタ要素群から構成される点、並びに、( 2 ) アドレス設定要素 E A 1 B R、E A 1 O R、E A 0 B R 及び E A 0 O R が、それぞれ、4 個の領域から構成される点は、いずれも、4 列の機能をパイプライン処理するためのものである。

【 0 0 4 4 】

次に、データ保持部 1 4 は、後述のとおり、S T A G E 1 ~ 4 の各処理後におけるデータが保持されるように、上述の第 1 保持部 1 4 a、第 2 保持部 1 4 b、第 3 保持部 1 4 c 及び第 4 保持部 1 4 d を含む。

【 0 0 4 5 】

最後に、データ処理装置 1 では、4 列の機能をパイプライン処理するために、アドレス書き換え部 1 7 を備える。アドレス書き換え部 1 7 の動作については後述する。

20

【 0 0 4 6 】

( データ処理装置 1 の動作 )

図 1 を参照しながら、図 2 を用いて、データ処理装置 1 の動作を説明する。図 2 は、データ処理装置 1 が実行するデータ処理 ( レジスタ更新 ) の処理手順を示すタイミングチャートである。図 2 は、主として、演算器 1 5 の演算の処理手順を示すものである。

【 0 0 4 7 】

ここで、データ処理装置 1 の動作の説明に入る前に、図 3 を用いて、図 1 に用いられた各種符号等について説明しておく。図 3 は、ユニット間レジスタ部 1 1 の配置構成を説明するための説明図である。図 3 の ( a ) は、ユニット間レジスタ部 1 1 を示し、( b ) は、( a ) のユニット間レジスタ部 1 1 に含まれる第 1 ユニット間レジスタ要素 P 1 0 1 ~ P 1 3 4 及び第 2 ユニット間レジスタ要素 Q 1 0 1 ~ Q 1 3 4 のそれぞれに対応する識別符号を示す。

30

【 0 0 4 8 】

図 3 の ( a ) において、第 1 ユニット間レジスタ要素 P 1 0 1 ~ P 1 3 4 から構成された第 1 レジスタ群 1 1 a に着目する。例えば、第 1 ユニット間レジスタ要素 P 1 0 1 には、図 3 の ( b ) の B R [ y - 1 ] [ 0 ] [ 0 ] が対応する。左から順に説明すると、左の [ y - 1 ] は基本ユニット 1 0 の段数を示し、中央の [ 0 ] はパイプライン処理される 4 列のいずれに対応するかを示し、右の [ 0 ] は各列における第 1 ユニット間レジスタ要素の位置を示す。

40

【 0 0 4 9 】

ここで注目すべきは、特に、上記の中央の符号がパイプライン処理される 4 列のいずれに対応するかを示している点である。データ処理装置 1 では、1 実行サイクル毎に 1 列分の演算を行うが、各列と、各列の演算結果を格納するレジスタ群とは、上記の中央の符号を用いて、対応付けられている。つまり、データ処理装置 1 では、第 1 ユニット間レジスタ要素 P 1 0 1 ~ P 1 0 4 第 1 ユニット間レジスタ要素 P 1 1 1 ~ P 1 1 4 第 1 ユニット間レジスタ要素 P 1 2 1 ~ P 1 2 4 第 1 ユニット間レジスタ要素 P 1 3 1 ~ P 1 3 4 第 1 ユニット間レジスタ要素 P 1 0 1 ~ P 1 0 4 … の順番で、ユニット間レジスタ部 1 1 にデータがシーケンシャルに格納される。

50

## 【 0 0 5 0 】

なお、ユニット間レジスタ部 1 1 がダブルバッファリングを用いる理由は、ユニット間レジスタ部 1 1 に格納された 4 列分の演算結果をランダムに読み出す必要があるからである。このため、ユニット間レジスタ部 1 1 では、第 1 レジスタ群 1 1 a 及び第 2 レジスタ群 1 1 b が、交互に 4 実行サイクル毎で、一方が上述の書き込み（格納）に用いられ、他方が後述の読み出しに用いられる。

## 【 0 0 5 1 】

他の第 1 ユニット間レジスタ要素、及び第 2 ユニット間レジスタ要素 Q 1 0 1 ~ Q 1 3 4 から構成された第 2 レジスタ群 1 1 b においても、上記と同様である。

## 【 0 0 5 2 】

また、データ処理装置 1 を構成する他の構成に付された識別符号についても同様の考え方に従うものである。

## 【 0 0 5 3 】

図 2 に示すように、データ処理装置 1 では、S T A G E 1 ~ S T A G E 4 からなるパイプライン処理が行われる。S T A G E 5 - 1 ~ S T A G E 5 - 8 の各処理は、S T A G E 1 ~ S T A G E 4 からなるパイプライン処理が行われる間に行われる。

## 【 0 0 5 4 】

具体的には、S T A G E 1 が終了する時刻  $t_1$  において、第 1 演算ブロック 1 5 a の入力数と等しい 3 個分のデータ（ここでは、R 1 3 3、R 1 0 3 及び R 1 1 2）が読み出され、第 1 保持部 1 4 a に保持される。

## 【 0 0 5 5 】

S T A G E 2 が終了する時刻  $t_2$  において、第 1 演算ブロック 1 5 a の演算が終了し、その演算結果（ここでは、E X 0）が、第 2 保持部 1 4 b に保持される。

## 【 0 0 5 6 】

S T A G E 3 が終了する時刻  $t_3$  において、第 2 演算ブロック 1 5 b の演算が終了し、その演算結果（ここでは、E X 0）が、第 3 保持部 1 4 c に保持される。

## 【 0 0 5 7 】

S T A G E 4 が終了する時刻  $t_4$  において、第 3 演算ブロック 1 5 c の演算が終了し、その演算結果（ここでは、E X 0）が、第 4 保持部 1 4 d に保持される。

## 【 0 0 5 8 】

ここで、時刻  $t_2$  においては次の S T A G E 1 が終了し、ユニット間レジスタ部 1 1 の第 1 レジスタ群 1 1 a のうちの 3 個の第 1 ユニット間レジスタ要素から 3 個分のデータ（ここでは、R 1 0 4、R 1 3 3 及び R 1 1 1）が読み出され、第 1 保持部 1 4 a に保持される。

## 【 0 0 5 9 】

また、時刻  $t_3$  においては次の S T A G E 1 が終了し、ユニット間レジスタ部 1 1 の第 1 レジスタ群 1 1 a のうちの 3 個の第 1 ユニット間レジスタ要素から 3 個分のデータ（ここでは、R 1 2 2、R 1 2 1 及び R 1 0 2）が読み出され、第 1 保持部 1 4 a に保持される。

## 【 0 0 6 0 】

さらに、時刻  $t_4$  においては次の S T A G E 1 が終了し、ユニット間レジスタ部 1 1 の第 1 レジスタ群 1 1 a のうちの 3 個の第 1 ユニット間レジスタ要素から 3 個分のデータ（ここでは、R 1 0 3、R 1 1 3 及び R 1 3 3）が読み出され、第 1 保持部 1 4 a に保持される。

## 【 0 0 6 1 】

このようにして、演算器 1 5 の演算がパイプライン処理される。

## 【 0 0 6 2 】

なお、S T G A E 2 ~ S T G A E 4 についても、図 2 に示すとおり、上述の S T A G E 1 を同様、順次、処理される。

## 【 0 0 6 3 】

10

20

30

40

50



また、図2の例では、時刻t4において、第1レジスタ群11aからの、パイプライン処理される4列分の読み出しが終了する。そして、今度は、第2レジスタ群11bからの読み出しが始まり、時刻t5において、第2レジスタ群11bからの、パイプライン処理される4列分の最初の1列分の読み出しが終了する。

【0064】

ここで、STAGE5-1~STAGE5-8は、上述のSTAGE1~STAGE4のパイプライン処理が行われている間に処理される。

【0065】

具体的には、STAGE5-1~STAGE5-4において、ユニット間レジスタ部11の第1レジスタ群11aから読み出されたデータに基づく演算器15の演算結果が、ユニット間レジスタ部21の第1ユニット間レジスタ要素に格納される。続いて、STAGE5-5~STAGE5-8において、ユニット間レジスタ部11の第2レジスタ群11bから読み出されたデータに基づく演算器15の演算結果が、ユニット間レジスタ部21の第2ユニット間レジスタ要素に格納される。

10

【0066】

次に、図1を参照しながら、図4及び図5を用いて、データ処理装置1の他の動作を説明する。図4は、アドレス書き換え部17の動作を説明するための説明図である。図4の(a)は、アドレス書き換え部17が実行する第1モード処理を説明するための説明図、図4の(b)は、アドレス書き換え部17が実行する第2モード処理を説明するための説明図である。図5は、データ処理装置1が実行するデータ処理(メモリ参照)の処理手順を示すタイミングチャートである。図5は、主として、アドレス生成器16のアドレス生成の処理手順を示すものである。

20

【0067】

まず、図4を用いて、アドレス書き換え部17の動作について説明しておく。データ処理装置1は、1列分のメモリブロック(図1に示したメモリブロック18)を4列分のメモリブロックとして用いる。

【0068】

ここで、メモリブロック18が4分割される場合、図4の(a)に示すように、ストアユニット16a及びロードユニット16bの出力20bitの上位2bitが列番号に応じて0/01/10/11のいずれかに上書きされ、アドレス書き換えが実行される(第1モード処理)。メモリブロック18の分割された各メモリ空間は、それぞれが、各列番号に対応し、互いに独立したメモリ空間である。各メモリ空間は、それぞれが対応する列番号に基づき参照される。

30

【0069】

一方、メモリブロック18が分割されない場合、ストアユニット16a及びロードユニット16bの出力20bitはそのままであり、アドレス書き換えは実行されない(第2モード処理)。メモリブロック18の全メモリ空間は、すべての列番号に対応し、すべての列番号に基づき参照される。

【0070】

このようにして、メモリブロック18は、各実行サイクルに対応する演算及びアドレス生成の組に関連付けられるメモリ空間であって、実行サイクル間で互いに独立したメモリ空間又は実行サイクル間で共有されるメモリ空間を対象として、参照されることになる。

40

【0071】

図5に戻り、データ処理装置1の他の動作を説明する。

【0072】

図5に示すように、STAGE1が終了する時刻t1において、アドレス設定部13の4個のアドレス設定要素EA1BR、EA1OR、EA0BR及びEA0ORから、それぞれが対応する、ストアユニット16aの各入力(ここでは、EA1Bのみ)及びロードユニット16bの各入力(EA0B及びEA0O)に供給されるアドレス情報が読み出され、第1保持部14aに保持される。なお、ストアユニット16aの入力EA1Oには、

50

アドレス設定部 13 のアドレス設定要素 E A 1 O R に代えて、ユニット間レジスタ部 11 から読み出されたデータが供給される。もちろん、ストアユニット 16 a の入力 E A 1 O にも、アドレス設定要素 E A 1 O R から読み出されたアドレス情報が入力されても良い。

【0073】

S T A G E 2 が終了する時刻  $t_2$  において、第 1 保持部 14 a に保持されたアドレスが、第 2 保持部 14 b に保持される。

【0074】

S T A G E 3 が終了する時刻  $t_3$  において、第 2 保持部 14 b に保持されたアドレスが、第 3 保持部 14 c に保持される。

【0075】

S T A G E 4 が終了する時刻  $t_4$  において、第 3 保持部 14 c に保持されたアドレスが、第 4 保持部 14 d に保持される。

【0076】

ここで、時刻  $t_2$  においては次の S T A G E 1 が終了し、アドレス設定要素 E A 1 B R、E A 1 O R、E A 0 B R 及び E A 0 O R から、それぞれが対応する、ストアユニット 16 a の各入力及びロードユニット 16 b の各入力に供給されるアドレス情報が読み出され、第 1 保持部 14 a に保持される。

【0077】

また、時刻  $t_3$  においては次の S T A G E 1 が終了し、アドレス設定要素 E A 1 B R、E A 1 O R、E A 0 B R 及び E A 0 O R から、それぞれが対応する、ストアユニット 16 a の各入力及びロードユニット 16 b の各入力に供給されるアドレス情報が読み出され、第 1 保持部 14 a に保持される。

【0078】

さらに、時刻  $t_4$  においては次の S T A G E 1 が終了し、アドレス設定要素 E A 1 B R、E A 1 O R、E A 0 B R 及び E A 0 O R から、それぞれが対応する、ストアユニット 16 a の各入力及びロードユニット 16 b の各入力に供給されるアドレス情報が読み出され、第 1 保持部 14 a に保持される。

【0079】

このようにして、アドレス生成器 16 のアドレス生成がパイプライン処理される。

【0080】

なお、S T G A E 2 ~ S T G A E 4 についても、図 5 に示すとおり、上述の S T A G E 1 を同様、順次、処理される。

【0081】

また、図 5 の例では、時刻  $t_4$  において、第 1 レジスタ群 11 a からの、パイプライン処理される 4 列分の読み出しに用いるアドレス情報の読み出しが終了する。そして、今度は、時刻  $t_5$  において、第 2 レジスタ群 11 b からの、パイプライン処理される 4 列分の最初の 1 列分の読み出しに用いるアドレス情報の読み出しが終了する。

【0082】

以上説明したように、従来のシストリックアレイ型アクセラレータでは 4 個の基本ユニットの各々に属する 4 個の演算器に対して 4 組の入力値を同時に供給するのに対して、データ処理装置 1 では 4 組の入力を、時間をずらして、パイプライン的に 1 つの演算器に供給する。

【0083】

このため、データ処理装置 1 では、4 組の入力データに対する演算結果がパイプライン的に出力されることに対応し、ユニット間レジスタ部 11 の第 1 レジスタ群 11 a 又は第 2 レジスタ群 11 b の各 4 組のレジスタ要素群に順に格納される。

【0084】

また、次行の演算に必要なデータは、第 1 レジスタ群 11 a 又は第 2 レジスタ群 11 b の一方の全てから 4 実行サイクルを使用して読み出されるため、この読出しと上述の格納とが互いに干渉しないよう、4 実行サイクル毎に、第 1 レジスタ群 11 a 及び第 2 レジスタ

10

20

30

40

50

タ群 1 1 b を交互に切替えて使用する。これは、データ処理装置 1 では、1 実行サイクル毎に 1 列分の演算を行うので、その結果、4 実行サイクル毎に 4 列分の演算が終了することになるからである。なお、上述のとおり、交互に第 1 レジスタ群 1 1 a 及び第 2 レジスタ群 1 1 b に格納される 4 列分の演算結果は、ランダムに読み出されることになる。

【 0 0 8 5 】

本実施形態によれば、基本ユニット 1 0 は、各実行サイクルに対応する演算及びアドレス生成の組に関連付けられるメモリ空間であって、実行サイクル間で互いに独立したメモリ空間又は実行サイクル間で共有されるメモリ空間を対象として、メモリブロックを参照することができる。

【 0 0 8 6 】

このため、基本ユニット 1 0 は、1 つの演算器 1 5 と、1 組のアドレス生成器 1 6 及びアドレス書き換え部 1 7 と、1 つのメモリブロック 1 8 とを用いて、各実行サイクルに対応する、実行サイクル数分の演算器と、実行サイクル数組のアドレス生成器及びアドレス書き換え部と、実行サイクル数分のメモリブロックとを有するハードウェア構成の機能と等価な機能を提供することが可能となる。

【 0 0 8 7 】

以上のように、本発明の好ましい実施形態を用いて本発明を例示してきたが、本発明は、この実施形態に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

【 符号の説明 】

【 0 0 8 8 】

- 1 データ処理装置
- 1 0 基本ユニット (ユニット)
- 1 1、2 1 ユニット間レジスタ部
- 1 1 a 第 1 レジスタ群
- 1 1 b 第 2 レジスタ群
- 1 2 演算バス及びスイッチ群
- 1 3 アドレス設定部
- 1 4 データ保持部
- 1 4 a 第 1 保持部
- 1 4 b 第 2 保持部
- 1 4 c 第 3 保持部
- 1 4 d 第 4 保持部
- 1 5 演算器
- 1 5 a 第 1 演算ブロック
- 1 5 b 第 2 演算ブロック
- 1 5 c 第 3 演算ブロック
- 1 6 アドレス生成器
- 1 6 a ストアユニット
- 1 6 b ロードユニット
- 1 7 アドレス書き換え部
- 1 8 メモリブロック
- 1 9 マルチプレクサ

10

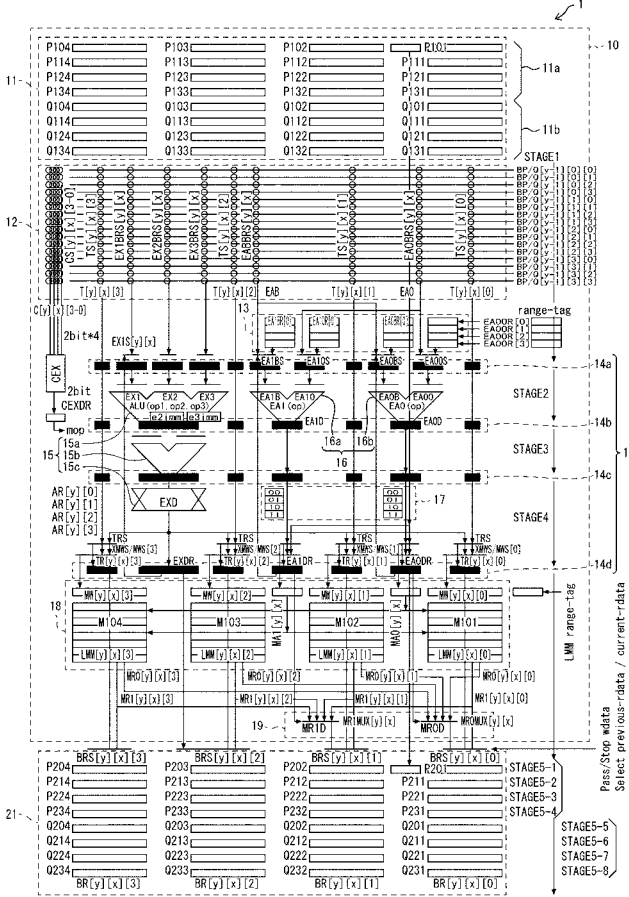
20

30

40

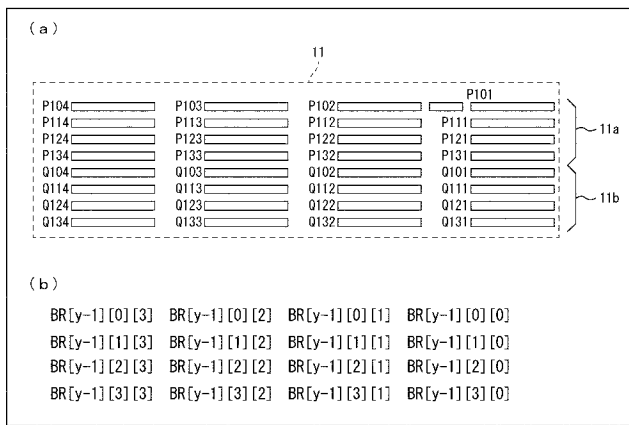
【 図 1 】

図 1



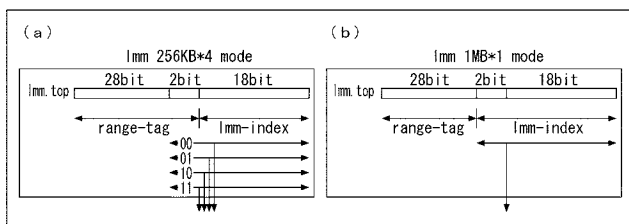
【 図 3 】

図 3



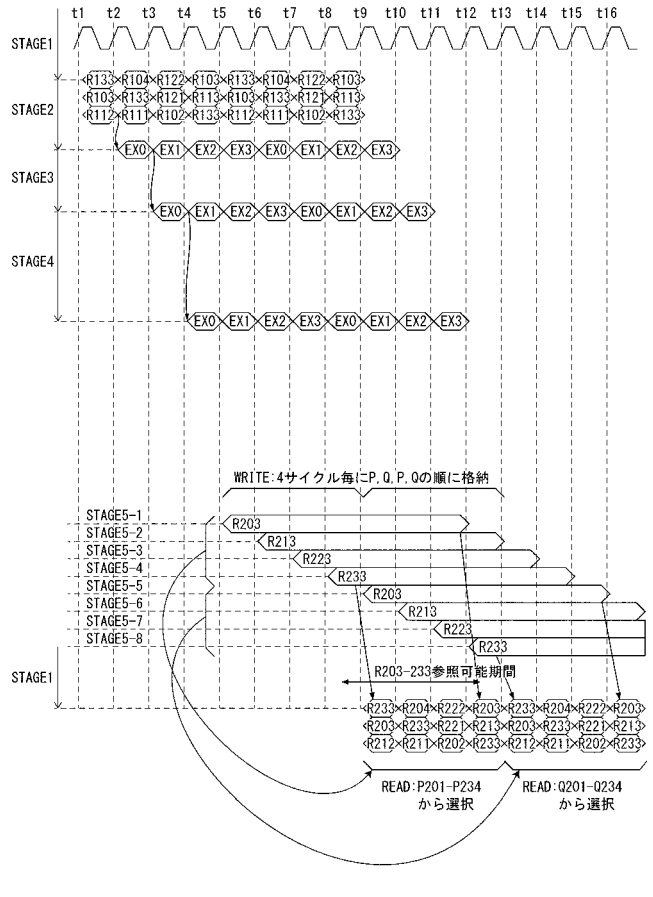
【 図 4 】

図 4



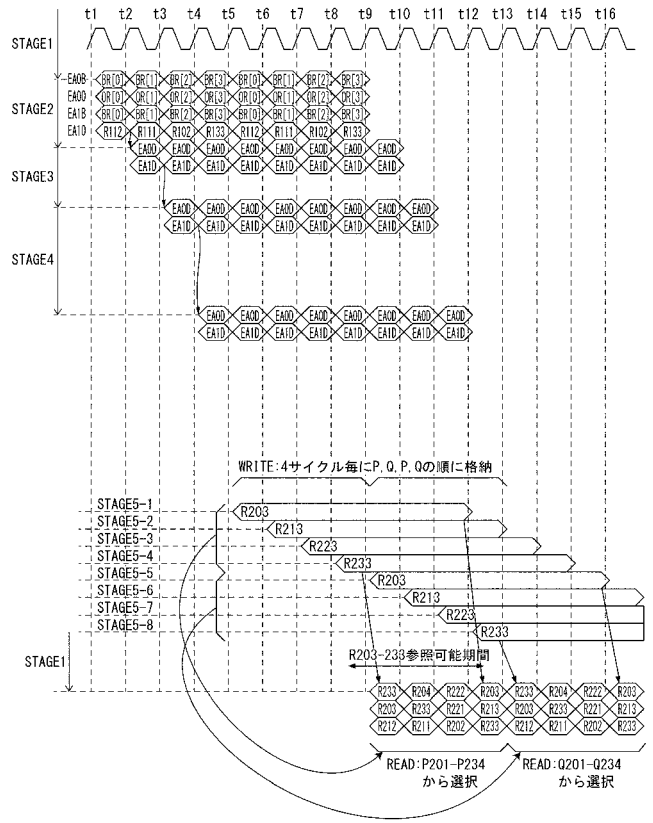
【 図 2 】

図 2



【 図 5 】

図 5



## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2018/018169
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl. G06F9/34 (2006.01) i, G06F15/173 (2006.01) i, G06F15/80 (2006.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl. G06F9/34, G06F15/173, G06F15/80  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2018 Registered utility model specifications of Japan 1996-2018 Published registered utility model applications of Japan 1994-2018  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-164659 A (RENESAS ELECTRONICS CORP.) 08 September 2014 (Family: none)	1-6
A	WO 2016/163421 A1 (NARA INSTITUTE OF SCIENCE AND TECHNOLOGY) 13 October 2016 & US 2018/0089141 A1 & CN 107408076 A	1-6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 13 July 2018 (13.07.2018)		Date of mailing of the international search report 24 July 2018 (24.07.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer  Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 1 8 1 6 9													
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06F9/34(2006.01)i, G06F15/173(2006.01)i, G06F15/80(2006.01)i															
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06F9/34, G06F15/173, G06F15/80															
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2018年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2018年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2018年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2018年	日本国実用新案登録公報	1996-2018年	日本国登録実用新案公報	1994-2018年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2018年														
日本国実用新案登録公報	1996-2018年														
日本国登録実用新案公報	1994-2018年														
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)															
C. 関連すると認められる文献															
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号													
A	JP 2014-164659 A (ルネサスエレクトロニクス株式会社) 2014.09.08, (ファミリーなし)	1-6													
A	WO 2016/163421 A1 (国立大学法人奈良先端科学技術大学院大学) 2016.10.13, & US 2018/0089141 A1 & CN 107408076 A	1-6													
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。															
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」口頭による開示、使用、展示等に言及する文献</td> <td>「&amp;」同一パテントファミリー文献</td> </tr> <tr> <td>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				* 引用文献のカテゴリー	の日の後に公表された文献	「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献	「P」国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献														
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの														
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの														
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの														
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献														
「P」国際出願日前で、かつ優先権の主張の基礎となる出願															
国際調査を完了した日 13.07.2018		国際調査報告の発送日 24.07.2018													
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 漆原 孝治	5B 9366												
		電話番号 03-3581-1101 内線 3545													

---

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。