

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-22706
(P2021-22706A)

(43) 公開日 令和3年2月18日(2021.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 B	4 G O 7 7
HO 1 L 29/78 (2006.01)	C 3 O B 29/36 A	5 F O 5 8
C 3 O B 29/36 (2006.01)	HO 1 L 21/316 X	5 F 1 4 0
HO 1 L 21/316 (2006.01)	HO 1 L 21/318 B	
HO 1 L 21/318 (2006.01)	HO 1 L 29/78 3 O 1 G	

審査請求 未請求 請求項の数 15 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2019-140141 (P2019-140141)
(22) 出願日 令和1年7月30日 (2019.7.30)

(71) 出願人 304021417
国立大学法人東京工業大学
東京都目黒区大岡山2丁目12番1号

(74) 代理人 100099759
弁理士 青木 篤

(74) 代理人 100123582
弁理士 三橋 真二

(74) 代理人 100173107
弁理士 胡田 尚則

(74) 代理人 100128495
弁理士 出野 知

(74) 代理人 100146466
弁理士 高橋 正俊

(74) 代理人 100087413
弁理士 古賀 哲次

最終頁に続く

(54) 【発明の名称】 炭化ケイ素半導体装置及びその製造方法

(57) 【要約】

【課題】 移動度を向上させた炭化ケイ素半導体装置を提供すること。

【解決手段】 本発明の炭化ケイ素半導体装置は、炭化ケイ素結晶領域と、炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含み、ゲート絶縁膜の少なくとも炭化ケイ素結晶領域と接触する面が結晶絶縁体で構成され、結晶絶縁体と接触する炭化ケイ素結晶の界面の原子レベルでフラットなテラス幅が3.5 nm以上である。

【選択図】 図8

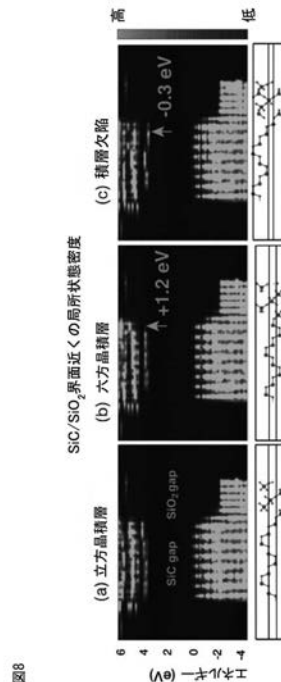


図8

【特許請求の範囲】

【請求項 1】

炭化ケイ素結晶領域と、前記炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含む炭化ケイ素半導体装置であって、前記ゲート絶縁膜の少なくとも前記炭化ケイ素結晶領域と接触する面が結晶絶縁体で構成されており、前記結晶絶縁体と接触する前記炭化ケイ素結晶の界面の原子レベルでフラットなテラス幅が 3.5 nm 以上であることを特徴とする炭化ケイ素半導体装置。

【請求項 2】

前記炭化ケイ素結晶領域が 0 ~ 4 度の範囲内のオフ角を有する炭化ケイ素結晶である、請求項 1 に記載の炭化ケイ素半導体装置。

10

【請求項 3】

前記オフ角が 0 ~ 1 度である、請求項 1 又は 2 に記載の炭化ケイ素半導体装置。

【請求項 4】

前記原子レベルのフラット性が 40 nm 以上である、請求項 2 又は 3 に記載の炭化ケイ素半導体装置。

【請求項 5】

前記結晶絶縁体と前記炭化ケイ素結晶との格子定数の差が 2 % 以下である、請求項 1 ~ 4 のいずれか一項に記載の炭化ケイ素半導体装置。

【請求項 6】

前記結晶絶縁体が、窒化アルミニウム (AlN)、窒化ガリウム (GaN)、リン酸アルミニウム (AlPO₄)、アルミナ、Be₃Al₂(SiO₃)₆、酸化ベリウム (BeO)、RbAl₁₁O₁₇、Ba₇Al₆₄O₁₀₃、Al₆B₅(O₅F)₃及びこれらを水素終端した物質から選ばれる、請求項 1 ~ 5 のいずれか一項に記載の炭化ケイ素半導体装置。

20

【請求項 7】

前記炭化ケイ素結晶が 4H-SiC であり、前記結晶絶縁体と接触する面が (000-1) 面、(0001) 面、(1-100) 面又は (11-20) 面である、請求項 1 ~ 6 のいずれか一項に記載の炭化ケイ素半導体装置。

【請求項 8】

前記ゲート絶縁膜が、前記結晶絶縁体の前記炭化ケイ素結晶領域と反対側に、前記結晶絶縁体と異なる第二の絶縁体を含む、請求項 1 ~ 7 のいずれか一項に記載の炭化ケイ素半導体装置。

30

【請求項 9】

炭化ケイ素結晶領域と、前記炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含む炭化ケイ素半導体装置の製造方法であって、原子レベルでフラットなテラス幅が 3.5 nm 以上である表面を有する炭化ケイ素結晶領域を提供し、前記炭化ケイ素結晶領域上に、結晶絶縁膜を製膜することを含むことを特徴とする炭化ケイ素半導体装置の製造方法。

【請求項 10】

前記炭化ケイ素結晶領域が 0 ~ 4 度の範囲内のオフ角を有する炭化ケイ素結晶で構成されている、請求項 9 に記載の製造方法。

40

【請求項 11】

前記結晶絶縁膜が、窒化アルミニウム (AlN)、窒化ガリウム (GaN)、リン酸アルミニウム (AlPO₄)、アルミナ、Be₃Al₂(SiO₃)₆、酸化ベリウム (BeO)、RbAl₁₁O₁₇、Ba₇Al₆₄O₁₀₃、Al₆B₅(O₅F)₃及びこれらを水素終端した物質から選ばれる材料である、請求項 9 又は 10 に記載の製造方法。

【請求項 12】

前記オフ角が 0 ~ 1 度である、請求項 9 ~ 11 のいずれか一項に記載の製造方法。

【請求項 13】

前記炭化ケイ素結晶領域が 4H-SiC であり、前記 4H-SiC 結晶の前記結晶絶縁膜と接触する表面が (000-1) 面、(0001) 面、(0-110) 面又は (11-

50

20)面であり、前記結晶絶縁膜を製膜する前に、前記炭化ケイ素結晶領域の(000-1)面、(0001)面、(0-110)面又は(11-20)面を原子レベルでフラット化する処理を含む、請求項9~12のいずれか一項に記載の製造方法。

【請求項14】

前記結晶絶縁膜の前記製膜前に、前記炭化ケイ素結晶領域の表面を原子レベルでフラット化する処理を行って、前記炭化ケイ素結晶領域の前記テラス幅を3.5nm以上にする、請求項9~13のいずれか一項に記載の製造方法。

【請求項15】

前記結晶絶縁膜が、化学的気相堆積法又は物理的堆積法で製膜される、請求項9~14のいずれか一項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は炭化ケイ素半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来、半導体としてはシリコン(Si)半導体が主流であるが、バンドギャップが小さい欠点がある。炭化ケイ素(SiC)は、Si半導体に比べて、バンドギャップが3.25eVと3倍と広く、絶縁破壊電界強度が3MV/cmと10倍程度大きい(理論的な電力損失はSiの300分の1)。また、熱伝導性、耐熱性、耐薬品性に優れ、放射線に対する耐性もSi半導体より高い。そのため、Si半導体より小型、低消費電力、高効率のパワー素子、高周波素子、耐放射線性に優れた半導体素子として期待されている。そのため、炭化ケイ素半導体は、電力、輸送、家電に加え、宇宙・原子力分野で需要が高く、最近では、ハイブリッドや電気自動車用の半導体として、消費電力が小さく、耐熱温度が400とSi半導体より高く、冷却するためのファンなどの放熱装置が必要ないという利点が注目されており、活発に研究開発が進められ、一部は既に実用化されている。

【0003】

しかし、炭化ケイ素半導体装置では、酸化ケイ素(SiO₂)を絶縁膜とするMOS型半導体装置として用いられているが、シリコン半導体装置では、移動度が理論値の50%程度まで実現されているのに対して、酸化ケイ素(SiO₂)/炭化ケイ素(SiC)のMOS界面に界面欠陥準位が存在していて、実用されている製品の移動度は20~30cm²/Vs程度であり、理論値1000cm²/Vsの2~3%にすぎないのが現状である。このMOS界面に存在する界面欠陥準位の原因として残留炭素などの異物が提案され、検討されているが、未だに確かな原因は判明しておらず、炭化ケイ素半導体装置における移動度の改良は、炭化ケイ素半導体装置の実用化のために非常に重要な課題になっている。

【0004】

非特許文献1は、炭化ケイ素基板として4H-SiCの(0-33-8)面を用いて、MOSFETの移動度を120cm²/Vsに増加することを報告している。しかし、この半導体装置はMOSFETであり、絶縁膜はSiO₂であり、本発明と異なる。

【0005】

非特許文献2は、4H-SiCのマクロステップ表面をSi融液中でアニールして原子レベルでフラットなテラスを作製して、4H-SiC MOSFETの移動度が102cm²/Vsに増加したと報告している。しかし、この半導体装置はMOSFETであり、絶縁膜はSiO₂であり、本発明と異なる。

【0006】

非特許文献3は、低オフ角の炭化ケイ素結晶の成長について開示する。しかし、非特許文献3は、結晶表面の原子レベルのフラット性とその上に製膜される絶縁膜との関係について教示がない。

【0007】

10

20

30

40

50

非特許文献4は、炭化ケイ素結晶の表面をエッチングして原子レベルでフラットにする方法を開示する。しかし、非特許文献4は、結晶表面の原子レベルのフラット性とその上に製膜される絶縁膜との関係について教示がない。

【0008】

非特許文献5は、AlN/4H-SiC界面をもつキャパシタを作製し、その電気特性を評価して、約 $150\text{ cm}^2/\text{Vs}$ の移動度を報告している。しかし、非特許文献5は、AlNを堆積する前に炭化ケイ素基板(4H-SiC)の結晶表面を原子レベルでフラットにする処理を行っていないし、その必要性及び意義について教示がない。

【先行技術文献】

【非特許文献】

10

【0009】

【非特許文献1】Materials Science Forum 740, 506 (2013).

【非特許文献2】T. Masuda et al. "High Channel Mobility of 4H-SiC MOSFET Fabricated on Macro-Stepped Surface", Materials Science Forum Vols. 600-603, Silicon Carbide and Related Materials 2007, pp695-698

【非特許文献3】Chem. Vap. Deposition 2006, 12, 489-494

【非特許文献4】Applied Physics Letters 110,201601(2017)

【非特許文献5】R.Y.Khosa et al., "Electrical properties of 4H-SiC MIS capacitors with AlN gate dielectric grown by MOCVS", Solid State Electronics 153 (2019) 52-58

20

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の課題は、SiC MOSFETにおける SiO_2/SiC 構造の界面欠陥準位の原因を解明し、その界面欠陥準位を減少させて、従来のSiC MOSFETと比べて移動度を向上させた炭化ケイ素半導体装置を提供することである。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明は少なくとも下記態様を提供する。

(態様1)

30

炭化ケイ素結晶領域と、前記炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含む炭化ケイ素半導体装置であって、前記ゲート絶縁膜の少なくとも前記炭化ケイ素結晶領域と接触する面が結晶絶縁体で構成されており、前記結晶絶縁体と接触する前記炭化ケイ素結晶の界面の原子レベルでフラットなテラス幅が 3.5 nm 以上であることを特徴とする炭化ケイ素半導体装置。

【0012】

(態様2)

前記炭化ケイ素結晶領域が $0\sim 4$ 度の範囲内のオフ角を有する炭化ケイ素結晶である、態様1に記載の炭化ケイ素半導体装置。

【0013】

40

(態様3)

前記オフ角が $0\sim 1$ 度である、態様1又は2に記載の炭化ケイ素半導体装置。

【0014】

(態様4)

前記原子レベルでフラットなテラス長が 40 nm 以上である、態様2又は3に記載の炭化ケイ素半導体装置。

【0015】

(態様5)

前記結晶絶縁体と前記炭化ケイ素結晶との格子定数の差が 2% 以下である、態様1～4のいずれか一項に記載の炭化ケイ素半導体装置。

50

【 0 0 1 6 】

(態 様 6)

前記結晶絶縁体が窒化アルミニウム (AlN)、窒化ガリウム (GaN)、リン酸アルミニウム ($AlPO_4$)、アルミナ、 $Be_3Al_2(SiO_3)_6$ 、酸化ベリウム (BeO)、 $RbAl_{11}O_{17}$ 、 $Ba_7Al_{64}O_{103}$ 、 $Al_6B_5(O_5F)_3$ 及びこれらを水素終端した物質から選ばれる、態様 1 ~ 5 のいずれか一項に記載の炭化ケイ素半導体装置。

【 0 0 1 7 】

(態 様 7)

前記炭化ケイ素結晶が $4H-SiC$ であり、前記結晶絶縁体と接触する面が (0 0 0 - 1) 面、(0 0 0 1) 面、(1 - 1 0 0) 面又は (1 1 - 2 0) 面である、態様 1 ~ 6 のいずれか一項に記載の炭化ケイ素半導体装置。

10

【 0 0 1 8 】

(態 様 8)

前記ゲート絶縁膜が、前記結晶絶縁体の前記炭化ケイ素結晶領域と反対側に、前記結晶絶縁体と異なる第二の絶縁体を含む、態様 1 ~ 7 のいずれか一項に記載の炭化ケイ素半導体装置。

【 0 0 1 9 】

(態 様 9)

炭化ケイ素結晶領域と、前記炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含む炭化ケイ素半導体装置の製造方法であって、原子レベルでフラットなテラス幅が 3 . 5 nm 以上である表面を有する炭化ケイ素結晶領域を提供し、前記炭化ケイ素結晶領域上に、結晶絶縁膜を製膜することを含むことを特徴とする炭化ケイ素半導体装置の製造方法。

20

【 0 0 2 0 】

(態 様 1 0)

前記炭化ケイ素結晶領域が 0 ~ 4 度の範囲内のオフ角を有する炭化ケイ素結晶で構成されている、態様 9 に記載の製造方法。

【 0 0 2 1 】

(態 様 1 1)

前記結晶絶縁膜が、窒化アルミニウム (AlN)、窒化ガリウム (GaN)、リン酸アルミニウム ($AlPO_4$)、アルミナ、 $Be_3Al_2(SiO_3)_6$ 、酸化ベリウム (BeO)、 $RbAl_{11}O_{17}$ 、 $Ba_7Al_{64}O_{103}$ 、 $Al_6B_5(O_5F)_3$ 及びこれらを水素終端した物質から選ばれる材料である、態様 9 又は 1 0 に記載の製造方法。

30

【 0 0 2 2 】

(態 様 1 2)

前記オフ角が 0 ~ 1 度である、態様 9 ~ 1 1 のいずれか一項に記載の製造方法。

【 0 0 2 3 】

(態 様 1 3)

前記炭化ケイ素結晶領域が $4H-SiC$ であり、前記 $4H-SiC$ 結晶の前記結晶絶縁膜と接触する表面が (0 0 0 - 1) 面、(0 0 0 1) 面、(1 - 1 0 0) 面又は (1 1 - 2 0) 面であり、前記結晶絶縁膜を製膜する前に、前記炭化ケイ素結晶領域の (0 0 0 - 1) 面、(0 0 0 1) 面、(1 - 1 0 0) 面又は (1 1 - 2 0) 面を原子レベルでフラット化する処理を含む、態様 9 ~ 1 2 のいずれか一項に記載の製造方法。

40

【 0 0 2 4 】

(態 様 1 4)

前記結晶絶縁膜の前記製膜前に、前記炭化ケイ素結晶領域の表面を原子レベルでフラット化する処理を行って、前記炭化ケイ素結晶領域の前記テラス幅を 3 . 5 nm 以上にする、態様 9 ~ 1 3 のいずれか一項に記載の製造方法。

【 0 0 2 5 】

(態 様 1 5)

50

前記結晶絶縁膜が、化学的気相堆積法又は物理的堆積法で製膜される、態様 9 ~ 14 のいずれか一項に記載の製造方法。

【発明の効果】

【0026】

本発明によれば、従来の SiCMOSFET と比べて、移動度を向上させた炭化ケイ素半導体装置を提供することが可能にされる。

【図面の簡単な説明】

【0027】

【図1】図1は、炭化ケイ素半導体装置の例を模式的に示す断面図である。

【図2】図2は、炭化ケイ素結晶の積層を構成する層の模式的な平面図である。

10

【図3】図3は、炭化ケイ素結晶の多型の結晶構造を示す模式斜視図である。

【図4】図4は、炭化ケイ素結晶の多型の結晶構造を横から見た模式図である。

【図5】図5は、炭化ケイ素結晶の結晶面を示す模式斜視図である。

【図6】図6は、二酸化ケイ素 / 炭化ケイ素結晶の界面における積層構造の揺らぎとエネルギー準位との関係の例を示す。

【図7】図7は、二酸化ケイ素 / 炭化ケイ素界面の界面における積層構造の揺らぎとエネルギー準位との関係の別の例を示す。

【図8】図8は、図6及び図7の酸化ケイ素 / 炭化ケイ素界面の積層構造における界面準位の計算結果を示すチャートである。

【図9】図9は、オフ角を有する炭化ケイ素結晶の理想的な表面を模式的に示す断面図である。

20

【図10】図10は、炭化ケイ素結晶の理想的ではない（表面積層構造ゆらぎのある）表面を模式的に示す断面図である。

【発明を実施するための形態】

【0028】

本発明の炭化ケイ素半導体装置は、炭化ケイ素結晶領域と、前記炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含む炭化ケイ素半導体装置であって、前記ゲート絶縁膜の少なくとも前記炭化ケイ素結晶領域と接触する面が結晶絶縁体で構成されており、前記結晶絶縁体と接触する前記炭化ケイ素結晶の界面の原子レベルでフラットなテラス幅が 3.5 nm 以上であることを特徴とする。

30

【0029】

本開示において、結晶方向〔例えば、 $\langle 11-20 \rangle$ 〕や結晶面〔例えば、 (0001) 〕を表す 4 桁の数字における「-」は、その次の数字の上にあるべき「バー」を表し、マイナスの意味である。

【0030】

（炭化ケイ素半導体装置）

図1に炭化ケイ素半導体装置の典型的な例を模式的に示す。図1の例では、炭化ケイ素半導体基板1の上にエピタキシャル成長した炭化ケイ素半導体層2があり、炭化ケイ素半導体層2は、通常、n型又はp型の不純物がドーブされてn型又はp型の半導体領域にされている。炭化ケイ素半導体層2の特定の領域のみに不純物をドーブしてn型又はp型の半導体領域としてもよい。図1では例えばn型の炭化ケイ素半導体層2とする。n型の不純物としては例えば窒素がある。このn型の炭化ケイ素半導体層2にその表面からp型の不純物をドーブしてソース領域3及びドレイン領域4が形成されている。p型の不純物としては例えばアルミニウムがある。ソース領域3及びドレイン領域4の間の領域のn型炭化ケイ素半導体層2の表面にゲート絶縁膜5、その上にゲート電極6が形成されている。ソース領域3及びドレイン領域4にはソース電極及びドレイン電極を形成してよい（図示せず）。ゲート絶縁膜5は従来殆ど二酸化ケイ素膜であったが、本発明では少なくともn型の炭化ケイ素半導体層2と接触する面は結晶絶縁体で構成される。p型のソース領域3及びドレイン領域4の間は、n型の炭化ケイ素半導体層2があるので、通常、ソース領域3及びドレイン領域4の間では電流が流れない。しかし、例えば、ゲート電極6に電圧を

40

50

印加すると、ゲート絶縁膜 5 の下部の n 型の炭化ケイ素半導体層 2 に反転層、p 型の導電領域が形成されることで、ソース領域 3 及びドレイン領域 4 の間に電流が流れる。このようにゲート電極 6 への電圧印加をオン・オフすることで、M I S 電界効果トランジスタ (M I S F E T) のスイッチングを行うことができる。ゲート絶縁膜が酸化物であれば、M O S F E T と呼ばれる。

【 0 0 3 1 】

図 1 に示した M I S F E T はあくまでも 1 例であり、M I S F E T には他に様々な構造がある。例えば、p 型、n 型、縦型、横型、複合型など。また、ゲート絶縁膜を有する半導体装置にはトンネル接合型など他のタイプの半導体装置もある。また、不純物ドーパ活性領域は、半導体基板に不純物をイオン打ち込みなどで後から導入するほか、半導体基板の凹部に不純物を含む炭化ケイ素半導体を充填して形成することもできる。本発明の炭化ケイ素半導体装置は、図 1 の例に限らず、ゲート絶縁膜を有する炭化ケイ素半導体装置のいずれにも適用できる。さらに、半導体装置には、トランジスタのみならずキャパシタなどと複合したメモリ装置なども含まれる。炭化ケイ素半導体は、通常、n 型又は p 型の不純物がドーパされているが、n 型又は p 型の不純物がドーパされていない真正領域が含まれていてもよい。

10

【 0 0 3 2 】

(炭化ケイ素結晶)

炭化ケイ素は、炭素とケイ素との共有結合性の (イオン性も有する) 化合物であるが、炭化ケイ素結晶は、炭素又はケイ素を中心とし四頂点にケイ素又は炭素 (他方の原子) を配した正四面体が、三次元的に結合した構造を有する結晶である。炭化ケイ素結晶は、正四面体の頂点を介してお互いに結合して形成される平面構造が積層されて三次元構造を形成している。図 2 に、積層体の層に垂直な方向からみた S i C の結晶層を示し、黒丸が原子であり、正三角形の中央の原子が正四面体の頂点、それ以外の原子が正四面体の底面の原子である。これで正四面体を詰め込んだ一層が形成されている。この第一層の上に第二層を乗せるとき、第二層の正四面体は、第一層の近くの三つの正四面体の頂点を足場とするが、そのとき図の右端に斜線で示した上下 2 つの並べ方がある。第一層は上の並べ方である。第三層は第二層の三つの正四面体の頂点を足場として、2 つの並べ方がある。このように積層が繰り返されるが、その積層される各層の順序 (繰り返しの順序) によって、結晶多型を作る。

20

30

【 0 0 3 3 】

図 3 に、代表的な 2 H - S i C (ウルツ型、A B 積層)、3 C - S i C (閃亜鉛鉱型、A B C 積層)、4 H - S i C (A B C B 積層)、6 H - S i C (A B C A C B 積層) の結晶構造を示す。図 3 において、積層方向は横である。A, B, C は、積層構造における正四面体の中心原子の配置に基づく層の積み方を表す。

【 0 0 3 4 】

図 4 に、積層構造を横から見た、すなわち、S i C 結晶の $\langle 11 - 20 \rangle$ 方向から見た結晶構造を示す。図 4 において、大きい白丸 はケイ素原子、小さい黒丸 は炭素原子を表し、k はcubicサイト (k サイト)、h はhexagonalサイト (h サイト) を表す。図 4 において、ケイ素原子が水平方向に一列に並んで A, B, C の各層を形成しており、積層における水平方向の面内のケイ素原子の配置に応じて、A, B, C の各層が区別されている。図 4 を参照すると、2 H - S i C (A B 積層)、3 C - S i C (A B C 積層)、4 H - S i C (A B C B 積層)、6 H - S i C (A B C A C B 積層) の積層構造が示されている。図 4 におけるケイ素原子に示される k、h は、その層が立方晶系の積層構造 (k サイト又は k 面)、六方晶系の積層構造 (h サイト又は h 面) であることを表す。2 H 構造では全て h サイト、3 C 構造では全て k サイト、4 H 構造では h サイトと k サイトが交互に積層した構造になっている。

40

【 0 0 3 5 】

炭化ケイ素半導体である 2 H - S i C、3 C - S i C、4 H - S i C、6 H - S i C のバンドギャップは、それぞれ、3 . 3 3 e V、2 . 4 0 e V、3 . 2 5 e V、3 , 1 0 e

50

Vであるが、バンドギャップの大きさと、バルクの移動度の異方性の小ささと選択的結晶成長が可能であるという理由から、4H-SiCが最も期待される炭化ケイ素半導体であり、実際に4H-SiCが実用化されている。本発明は、理論的には必ずしも4H-SiCに限定されず、他の結晶構造にも適用できるが、現実的な理由から以下では4H-SiCに基づいて、本発明を説明する。

【0036】

図5を用いて炭化ケイ素、特に4H-SiCの結晶構造と結晶面を説明する。図5は、六方晶系の格子モデルを模式的に示す斜視図である。図5において、大きい白丸はケイ素原子、小さい黒丸は炭素原子を表し、横軸 a_1 、 a_2 、 a_3 は同一水平面内における120度間隔の3方向を表し、縦軸 c は a_1 、 a_2 、 a_3 の軸に垂直な軸である。図5(a)と図5(b)におけるケイ素原子及び炭素原子の位置は同じであり、図5(b)では図5(a)に示したケイ素原子及び炭素原子の一部の表示を省略している。図において一部の結晶面をハッチングしている。最表面にケイ素原子が露出する面は(0001)面又はSi面であり、炭素原子が露出する面は(000-1)面又はC面である。Si面及びC面に垂直で六方晶の側面に相当する(1-100)面及び(11-20)面をそれぞれm面及びa面と呼ぶ。そのほか、Si面及びC面に斜め方向のs面、r面などがある。

10

【0037】

(炭化ケイ素結晶の界面の原子レベルの揺らぎ)

炭化ケイ素半導体は、結晶多型、すなわち、積層構造によって、バンドギャップが40%も異なる。2H-SiC(AB積層)、3C-SiC(ABC積層)、4H-SiC(ABCBA積層)、6H-SiC(ABCACB積層)のバンドギャップは、それぞれ、3.33eV、2.40eV、3.2eV、3.10eVである。

20

【0038】

ゲート絶縁膜としてSiO₂を用いると、アモルファス構造であるために界面構造の中長距離相関がなくなるために、例えば、4H-SiCにおいて、何種類かの界面積層構造が界面において混在すると考えることができる。例えば、図6は、絶縁膜と炭化ケイ素結晶の界面付近におけるエネルギー準位の例を示し、図6(a)は界面がA層(kサイト)の場合のエネルギー準位、図6(b)は界面がB層(hサイト)の場合のエネルギー準位を、それぞれ模式的に示す。図6(a)(b)において、横軸は界面に垂直な方向の位置であり、図の左側が4H-SiC層、右側がSiO₂層である。縦軸はエネルギー準位を表し、図の下側の線が価電子帯下端、上側の線が伝導帯のエネルギー準位を示す。図6に示すような、BCBAABCBA(右端のAが界面)の積層構造を有する立方晶系積層構造の結晶界面において(図6(a))、局所的に界面のA層が欠落すると、BCBAABCBA(右端のBが界面)の積層構造となり、界面に2H構造の積層構造(CB)が現れる。2H構造の積層構造(CB)はhサイト(六方晶系の積層構造)であるので(図6(b))、この4H-SiC結晶では、界面に不純物や欠陥構造がなかったとしても、立方晶サイトと比べて六方晶サイトにおいて界面準位が上にシフトする。このように、界面の原子レベルの積層構造の違いによって、立方晶サイトと六方晶サイトが混在する部位が生じて、電子にとって有効界面ポテンシャルに揺らぎが生じる。

30

【0039】

また、図7に示すように、界面のA層が欠落したBCBAABCBA(右端のBが界面)の積層構造の結晶界面において(図7(b))、さらに界面のB層がA層になる積層欠陥が生じると、BCBAABCBA(右端のAが界面)の積層構造となり(図7(c))、界面のABCBA積層構造の界面準位が立方晶サイト(図7(a))と比べて下にシフトして、ここでは立方晶サイトに対して界面準位に揺らぎが生じる。

40

【0040】

上記のような結晶界面の積層構造の違いが生み出す有効ポテンシャル揺らぎは、これまで注目されておらず、またゲート絶縁膜としてSiO₂が用いられている。研究目的の特別な場合を除けば、半導体装置において、界面の原子レベルの積層の揺らぎは十分に考慮されていなかった。本発明者は、上記のような結晶界面の原子レベルの欠陥、積層欠陥が

50

、半導体装置のゲートチャンネルにおける移動度に対してどの程度の影響があるかを第一原理計算により調べた。その結果、界面の原子レベルの積層の揺らぎに基づく移動度への影響は、予想外に大きく、顕著であることが明らかにされた。

【0041】

上記の3種類(a)(b)(c)の界面の積層構造を有する場合について、界面付近での準位エネルギーを実際に第一原理計算でシミュレーション計算を行った。その計算の詳細は実施例に記載したとおりであるが、密度汎関数理論に立脚した第一原理計算を行い、交換相関エネルギー汎関数としては、HSE06汎関数を用いた。その結果、3種類の界面積層構造いずれもエネルギー的にほとんどかわりなく、最も安定な界面積層構造(a)と最も不安定であった界面積層構造(c)とのエネルギー差でさえ $5.79 \text{ meV}/^2$ と小さなものであった。従って、理論の観点からも現実の界面には界面積層構造(a)(b)(c)が共存することが示された。また、界面におけるバンドアライメントを評価するために、局所状態密度(LDOS)を計算した。図8参照。

10

【0042】

上記計算の結果、図8に示すように、(a)の立方晶積層界面の場合と比べて、六方晶積層界面の場合には界面準位エネルギーが $+1.2 \text{ eV}$ と大きくなり、(c)の積層欠陥界面の場合には界面準位エネルギーが -0.3 eV と小さくなった。なお、二酸化ケイ素(SiO_2)のバンドギャップは 8.95 eV であり、いずれの界面でも、 4H-SiC 層に対して十分な絶縁体として機能する。このようにして、界面に欠陥や不純物がなくても、界面準位は炭化ケイ素の界面積層構造の揺らぎによって、伝導帯下端(CBM)の電子準位が $\text{CBM} - 0.3 \text{ eV}$ から $\text{CBM} + 1.2 \text{ eV}$ までの範囲で変わり得、キャリアの散乱源として振舞うことがわかる。

20

【0043】

したがって、界面において一原子レベルで積層構造が揺らぐと、伝導帯下端(CBM)の電子状態にポテンシャル揺らぎが発生し、半導体装置(デバイス)特性に影響を及ぼす可能性があると考えられる。すなわち、このような界面では、界面のSiCの積層構造の揺らぎ(A層とB層が両方でてくる)構造を反映して、CBMの波動関数が局在化してしまい、電子(ホール)の有効質量に影響がでると考えられる。

【0044】

本発明者は、この結果に基づき、さらに、 $\text{SiO}_2/4\text{H-SiC}$ の界面における一原子層レベルの積層構造の欠陥(A層とB層が両方でてくる構造)が 4H-SiC 層の移動度に及ぼす影響について、第一原理計算により得られた電子バンド構造の曲率から、電子(ホール)の有効質量を計算した。移動度は有効質量に反比例することが知られている。この有効質量の計算の詳細は実施例に記載のとおりである。まず、様々な界面積層構造が共存する $\text{SiO}_2/4\text{H-SiC}$ 界面構造モデルを作成した。ここでは1つの簡略化として、 4H-SiC の厚さ 10 のスラブを用意し、 SiO_2 との接触面を模倣した水素終端させたモデルを作成した。また、界面構造において様々な界面積層構造が共存するようにモデルを準備し、構造最適化を行なった。その後、面内方向の電子バンド構造を計算し、その曲率から電子(ホール)有効質量を算出した。

30

【0045】

その結果、SiCのバルクの有効質量は $0.3 m_0$ (m_0 は電子の質量である。)であったが、(0001)面、(000-1)面、(1-100)面又は(11-20)面の理想的な界面における有効質量も $0.3 m_0$ であり、界面を原子レベルで制御すれば、これらの面でもバルクの有効質量と同程度であることが判明した。すなわち、これらの結晶面では界面を原子レベルで制御できれば、バルクと同等の有効質量及び移動度を實現できる可能性がある。

40

【0046】

一方、(000-1)面の理想的な界面において、原子レベルの欠陥、すなわち、積層構造の揺らぎ(界面にkサイトとhサイトの両方がある)があると仮定したとき、電子の有効質量は $1.8 m_0$ になった。(0001)面、(1-100)面又は(11-20)

50

面でも同様である。SiCの界面が原子レベルで制御されていないと、すなわち、界面において積層構造の揺らぎがあるだけで、界面での電子の有効質量がバルクの6倍になった。すなわち、界面を原子レベルで制御すれば、電子の有効質量及び移動度が顕著に改良できることが確認された。

【0047】

本発明は、ゲート絶縁膜を堆積する前のSiC結晶の表面を原子レベルで制御するとともに、ゲート絶縁膜として従来のSiO₂に代えて結晶絶縁膜を用いることで、アモルファスSiO₂に起因する有効ポテンシャル揺らぎの発生を防止する。結晶絶縁膜については後でより詳細に述べるが、結晶絶縁膜を用いれば、アモルファスSiO₂と違いダングリングボンドなどの影響がなく、かつゲート絶縁膜の製膜時に原子レベルで平坦な積層構造制御が可能である。結晶絶縁膜の製膜前のSiC表面が理想的なフラットな表面であれば、結晶絶縁膜の製膜後も、SiC界面は理想的なフラットな界面であることが可能である。その結果、上記の計算で得られた電子の有効質量及び移動度の改良が可能となる。従来の炭化ケイ素半導体装置においては結晶絶縁膜の製膜前から存在する炭化ケイ素の表面積層構造の揺らぎにより界面欠陥が多く存在する。炭化ケイ素の界面の多くの界面欠陥を低減すれば、本発明による電子の有効質量及び移動度の改良の値はさらに大きくできる。そして、この炭化ケイ素の界面の大きな界面欠陥の改良においても、SiO₂に代えて結晶絶縁膜を用いることは有効である。

10

【0048】

上記の計算結果から推測される移動度の改良は、絶縁体/SiC界面に発生し得る原子レベルの揺らぎの防止に関するだけで6倍であり、従来の一般的なSiO₂/SiC界面の移動度20~30cm²/Vsに基づいて、単純比較しても、120~180cm²/Vsが得られる。また、SiO₂/SiC界面の移動度が30~50cm²/Vsあるいはそれ以上のものも知られているので、それに本発明を適用すれば、移動度は180~300cm²/Vsに向上できると期待される。また、本発明によれば、SiO₂に代えて結晶絶縁膜を用いることで、上記計算で仮定した原子レベルの界面揺らぎによる欠陥以外のSiO₂の製膜に起因する界面欠陥、例えば、多型結晶領域の出現、炭化ケイ素結晶の非フラット性、炭素などの異物の存在などによる界面欠陥を減少することが可能であるので、結果として、本発明による移動度の改良はさらに大きくすることが可能であり、それらの界面欠陥の改良は、上記計算で仮定した原子レベルの積層の揺らぎに基づく移動度への影響に勝るとも劣らないと考えられる。

20

30

【0049】

(ゲート絶縁膜)

上記のように第一原理計算によればSiC結晶の界面における積層構造を原子レベルで制御することが移動度の改良には極めて重要であるが、SiC基材上に製膜するゲート絶縁膜が従来のSiO₂であると、原子レベルの積層構造がたとえ製膜前に原子レベルで制御されていたとしても、成膜後には必然的にその積層構造に揺らぎが発生する。本発明では、半導体装置のゲート絶縁膜/SiC界面の積層構造を原子レベルで制御するために、ゲート絶縁膜としてアモルファスのSiO₂に代えて、結晶絶縁体を用いる。

【0050】

SiO₂はアモルファスであり、界面構造に中長距離相関がないため、SiC結晶の表面にSiO₂膜を製膜するとき、SiO₂とSiCでは格子定数が異なることもあり、たとえ製膜前にSiC結晶の表面が原子レベルで制御されていても、SiO₂膜を製膜後は、必然的に、SiO₂/SiC界面は積層構造が原子レベルで揺らいでしまう。この界面の積層構造の原子レベルの揺らぎは、SiO₂の製膜が熱酸化で製膜されるか、気相堆積法で製膜されるかに関わりなく、生じる。しかし、ゲート絶縁膜としてアモルファスのSiO₂に代えて結晶絶縁体を用いることにより、ゲート絶縁膜/SiC界面の積層構造を原子レベルで維持すること、SiC界面を原子レベルで制御することが可能にされる。SiC界面の積層構造を原子レベルで制御することにより、上記の計算で示すように、有効質量を顕著に小さくし、移動度を顕著に大きくすることができる。上記の計算によれば、

40

50

S i C界面の積層構造の制御が理想的であれば、それだけで有効質量を約6分の1に小さくし、移動度を約6倍に大きくすることができる。

【0051】

ゲート絶縁膜に用いる結晶絶縁体は、S i Cに対して絶縁体として機能する結晶であればよい。S i Cに対して絶縁体として機能するとは、その物質の価電子帯と伝導帯のエネルギー準位が、S i Cの価電子帯と伝導帯のエネルギー準位に対してオフセットがあること、即ち、絶縁体の価電子帯のエネルギー準位がS i Cの価電子帯のエネルギー準位より低く、かつ絶縁体の伝導帯のエネルギー準位がS i Cの伝導帯のエネルギー準位より高いことをいう。オフセットされるエネルギーギャップの大きさは、S i C内の移動度にあまり影響がなく、本発明では上記オフセットがあればよいが、エネルギーギャップが大きいことは好ましい。特定の物質がS i Cに対して絶縁体であるか否かは知られており、測定することも容易である。

10

【0052】

ゲート絶縁体は、中長距離相関がある結晶絶縁体であればよい。ゲート絶縁膜が結晶絶縁体から構成されていれば、S i C結晶面上に結晶絶縁体を製膜するときに、S i C結晶面の原子レベルの積層構造を乱すことなく、製膜することが可能にされる。絶縁体が結晶であることは、X線解析によって、結晶に特有のピークが存在すればよい。多結晶でも単結晶でもよいが、単結晶であることが好ましい。

【0053】

結晶絶縁体の例としては、窒化アルミニウム(A l N)、窒化ガリウム(G a N)、リン酸アルミニウム(A l P O₄)、アルミナ、B e₃A l₂(S i O₃)₆、酸化ベリウム(B e O)、R b A l₁₁O₁₇、B a₇A l₆₄O₁₀₃、A l₆B₅(O₅F)₃、などを挙げることができる。また界面ダングリングボンドの除去のためにこれらに水素終端を組み合わせてもよい。水素終端の方法及び例は知られている。結晶絶縁体はK、N aを含まないものが、スレシヨルド電圧のバラツキが小さいので、好ましい。

20

【0054】

S i Cと結晶絶縁体との格子定数の不整合は2%以下であることが好ましく、1%以下がより好ましい。炭化ケイ素の格子定数は、 $a = 3.1$ 、 $c = 10.12$ である。格子定数の不整合が小さいほど、結晶絶縁体がS i C界面の原子レベルの制御に及ぼす影響がより小さいと考えられる。結晶系が同じあるいは類似することは好ましいが、格子定数の不整合が小さければ、結晶系は同じでなくてもよい。格子定数の不整合が小さい窒化アルミニウム(A l N)、窒化ガリウム(G a N)、リン酸アルミニウム(A l P O₄)、アルミナ、B e₃A l₂(S i O₃)₆、酸化ベリウム(B e O)、R b A l₁₁O₁₇、B a₇A l₆₄O₁₀₃、A l₆B₅(O₅F)₃などが好ましく、特に窒化アルミニウムが好ましい。

30

【0055】

本発明において、ゲート絶縁膜に用いる結晶絶縁体は、S i C基材あるいはS i C結晶領域と接触している。S i C結晶表面の原子レベルを制御することが目的であるから、結晶絶縁膜はS i C結晶と界面を形成していなければならない。

【0056】

結晶絶縁膜の膜厚は、2分子層の厚さ以上であればよいが、好ましくは5nm以上、より好ましくは10nm以上であってよい。膜厚の上限は、半導体装置に求める特性によって決まるので、特に限定されないが、例えば、40nmあるいは50nmであってよい。結晶絶縁膜は、単層又は多層の結晶絶縁膜から構成されてよい。

40

【0057】

本発明のゲート絶縁膜は、S i C界面と接触する面が結晶絶縁膜で構成されていればよく、結晶絶縁膜のS i C界面と反対側には、アモルファスの絶縁体、特にS i O₂の膜が積層されていてもよい。S i O₂膜を積層すると、絶縁膜としての特性を向上し、また膜厚の調整ができるので、好ましい。

【0058】

結晶絶縁膜の製膜法は、限定されない。有機金属化学的気相堆積法、プラズマアシスト

50

化学的気相堆積法などの化学的気相堆積法、あるいは、スパッタ法、蒸着法、レーザービームスパッタ法などの物理的気相堆積法のいずれでもよい。製膜の際にSiC基材表面に堆積する原子又は分子のエネルギーが小さい製膜法、例えば、化学的気相堆積法、有機金属化学的気相堆積法、原子層化学的気相堆積法が好ましい。

【0059】

窒化アルミニウムは、例えば、アンモニアなどの窒素源と、アルキルアルミニウムなどのアルミニウム源を原料として、不活性雰囲気中又は窒素雰囲気中など、例えば1000~1200で、SiC基材上に、化学的気相堆積してよい。あるいは、スパッタ法で窒化アルミニウムを直接SiC基材上に堆積してもよい。

【0060】

(SiC基材表面の原子レベルのフラット性)

本発明によれば、原子レベルでフラットなSiC結晶表面に結晶絶縁膜を製膜することで、原子レベルでフラットな結晶絶縁膜/SiC結晶界面を有する半導体装置が提供される。本発明において結晶絶縁膜/SiC結晶界面(あるいはSiC結晶表面)の原子レベルのフラット性は、界面(あるいは表面)におけるSiC結晶に原子レベルの積層構造の揺らぎや欠陥がない寸法であり、本発明では、界面(あるいは表面)のSiC結晶のオフ角に平行な断面における原子レベルの欠陥がないSiC結晶の寸法、すなわち、テラス幅として定義することができる。界面(表面)の原子レベルのフラット性は、界面(表面)のSiC結晶のオフ角に平行な断面を走査電子顕微鏡(SEM)、原子間力顕微鏡(AFM)などで観察し、原子レベルの欠陥がないSiC結晶の寸法(テラス幅)を測定することで、求めることができる。界面(表面)の原子レベルのフラット性(テラス幅)は、任意の2箇所以上、好ましくは3箇所以上で測定し、その平均値を採用する。各測定における観察視野のテラス幅方向の測定寸法は、一般的には例えば40nm以上でよいが、テラス幅が大きいときは、測定寸法もそれに応じて大きくする。

【0061】

本発明における結晶絶縁膜/SiC結晶界面の原子レベルのフラット性は、原子レベルの欠陥がないテラス幅である。テラス間の段差は、一般的に、積層1層分であるか、せいぜい数層程度の最小限であることができるが、本発明における結晶絶縁膜/SiC結晶界面に存在するテラス間の段差は4段以下である(5段以上の段差を含まない)。テラス間の段差は3段以下、2段以下、1段以下であることが好ましく、段差がないことが最も好ましい。また、テラス間の段差の平均値が3.5以下、3以下、2以下、1以下であることが好ましい。

【0062】

本発明における結晶絶縁膜/SiC結晶界面の原子レベルでフラットなテラス幅は、3.5nm以上である。4度オフのSiC結晶の理論的な表面のテラス幅は37(3.7nm)ある。本発明における結晶絶縁膜/SiC結晶界面の原子レベルのフラット性は、3.7nm以上(又は3.7nm超)、4nm以上であることが好ましい。SiC結晶界面の原子レベルのフラット性は、フラット性が高いほど好ましいが、10nm以上、40nm以上、50nm以上、100nm以上、200nm以上、300nm以上、さらに500nm以上であることがより好ましい。フラット性の上限はないが、半導体装置の製造性の観点から、例えば、2000nm以下、1000nm以下、500nm以下などであってもよい。

【0063】

また、結晶絶縁膜/SiC結晶界面の原子レベルフラットなテラス幅は、ゲートチャンネル長の20分の1以上であることが好ましく、10分の1以上、5分の1以上、3分の1以上、2分の1以上であることがより好ましい。ゲートチャンネル長は、限定されないが、例えば、10nm~10μmであってよく、10nm~1μm、さらに40nm~1000nmであってよい。例えば、ゲートチャンネル長が1μmであれば、原子レベルのフラット性が50nm以上、さらには100nm以上であることが好ましく、原子レベルの欠陥のないオフ角約0.15度において実現可能である。また、ゲートチャンネル長が1

10

20

30

40

50

00 nmであれば、原子レベルの欠陥がないオフ角約0.15度のSiCにおいて、原子レベルのフラット性が100 nmであること、すなわち、ゲートチャンネルの全長において原子レベルの欠陥がない界面を実現することが可能である。例えば、ゲートチャンネル長が40 nm~100 nmのとき、原子レベルフラットなテラス幅がゲートチャンネル長の全長と同じ40 nm~100 nmであることが特に好ましい。

【0064】

本発明により、結晶絶縁膜/SiC結晶界面における原子レベルのフラット性を高め、原子レベルのフラットなテラス幅を3.5 nm以上とすることにより、従来の半導体装置と比べて、界面準位を低下させ、移動度を大きくすることが可能である。

【0065】

結晶絶縁膜/SiC結晶界面における原子レベルのフラットなテラス幅を3.5 nm以上とすることは、SiC基材として表面の原子レベルでフラットなテラス幅が3.5 nm以上であるSiC基材を用い、SiC基材上に製膜するゲート絶縁膜として結晶絶縁膜を製膜することにより可能である。結晶絶縁膜を製膜することで、SiC基材表面の原子レベルでフラット性を維持すること、少なくともSiO₂を製膜する場合と比べて、原子レベルでフラット性の低下を顕著に減少させることが可能である。

【0066】

表面の原子レベルでフラットなテラス幅が3.5 nm以上であるSiC基材は、オフ角の小さいSiC基材を用いることによるほか、SiC基材表面を原子レベルでフラット化する処理を行って作成することができる。

【0067】

オフ角の小さいSiC基材は、低オフ角のSiCを成長する方法（例えば、Chem. Vap. Deposition 2006, 12, 489-494）によって、またはSiC基材表面を研磨又はエッチングなどの処理をしてオフ角を小さくする方法によって、あるいはそれらの組合せによって作成してもよい。

【0068】

原子レベルでフラット化する処理は、同じオフ角のSiC基材では、テラス幅を長くし、段差を狭くし、テラス表面の原子レベルの欠陥をなくし、フラット性を向上させることを目的とする。原子レベルでフラット化する処理は、SiC基材を同じオフ角で行うほか、同時にオフ角を低減する処理であってもよい。特にオフ角が0度あるいはそれに近いときは、原子レベルでフラット化する処理は、表面の原子レベルの欠陥をなくし、フラット性を向上させることを目的とする。SiC結晶表面を原子レベルでフラット化する方法は、限定されないが、例えば、SiC結晶表面をアルゴンなどの不活性ガス雰囲気中でアニールする方法、SiC結晶表面にSiを堆積してからSiの融点以上の温度でアニールした後、Siを酸でエッチング除去する方法（非特許文献2参照）、白金触媒アシスト下のフッ酸又は純水による化学エッチングである触媒エッチング法（Catalyst-Referred Etching (CARE法)；APL 110,201601(2017)参照）などがある。これらの方法を繰り返し、あるいは組み合わせてもよい。

【0069】

低オフ角の炭化ケイ素結晶の製造及び炭化ケイ素結晶表面の原子レベルでフラット化方法について上記のほか多くの提案があるが、従来、本発明の原子レベルの厳密なフラット性（欠陥のないテラス幅）について報告されていない場合も多い。本発明では、結晶絶縁膜を製膜する前に、炭化ケイ素結晶表面の原子レベルのフラット性、即ち、原子レベルでフラットなテラス幅を所定の大きさ、3.5 nm以上、好ましくはそれ以上とすることが必要である。したがって、具体的にフラット化処理を行った後で、炭化ケイ素結晶表面の原子レベルでフラットなテラス幅を測定して、テラス幅が所定の大きさであることを確認すること、フラット化処理法が所定の大きさのテラス幅を提供することを確認することが望ましい。

【0070】

従来、低オフ角のSiCを成長する方法、SiC結晶の表面をフラット化する方法は、

10

20

30

40

50

それぞれ独立して、様々に検討されているが、SiC結晶表面にその後製膜されるSiO₂膜と結び付けてその意義が検討された例はない。また、SiC結晶表面上にAlN膜を製膜することを検討した例はあるが、SiC結晶表面における原子レベルのフラット性（積層の揺らぎ）と関連付けて検討されていないので、AlN膜を製膜する前のSiC結晶表面のフラット化の重要性が認識されていない。本発明では、SiC結晶表面における原子レベルの積層の揺らぎが移動度に及ぼす影響を第一原理計算で実際に評価した結果、SiC結晶表面における原子レベルの積層の揺らぎをなくしあるいは低減し（表面を原子レベルでフラットにした上で）、その上に結晶絶縁膜を製膜することで、MIS半導体デバイスの移動度を従来予想されていなかったレベルで顕著に向上させることができることを見出した。

10

【0071】

（SiC基材のオフ角）

本発明によれば、ゲート絶縁膜として結晶絶縁体を用いるとともに、SiC基材自体の表面の積層構造を原子レベルで制御することによって、移動度が向上される。従来、SiC結晶基材としてオフ角が0～8度又はそれ以上のSiCを製造可能であるが、最近では多くの場合オフ角4度のSiCが用いられている。これは、SiC界面のオフ角に基づく積層構造の原子レベル積層の揺らぎが、移動度との関係で大きな問題ではないと考えられていることを意味する。SiO₂/SiC界面ではSiO₂の影響が大きく、オフ角の影響が消えるためであろう。非特許文献5でも、4度オフ角のSiCが用いられており、AlN製膜前のSiC基材表面の原子レベルの欠陥については考慮されていないので、期待されるほどの移動度の向上が実現されていない。

20

【0072】

本発明の好ましい態様によれば、SiC表面の原子レベルのフラット性を制御するために、SiC基材のオフ角を小さくすることが有効である。SiC基材のオフ角は4度以下であることが好ましい。SiC基材のオフ角が小さいほど、SiC界面における積層構造の原子レベルの揺れを小さくして、移動度を大きくすることが可能である。ここで、SiC基材のオフ角は、結晶絶縁体/SiC界面におけるSiC結晶のオフ角であり、SiC基材がSiC基板上にエピタキシャル成長された結晶層又は結晶領域であれば、そのエピタキシャル結晶層又は結晶領域のオフ角であり、エピタキシャル結晶層又は結晶領域を成長させる基板であるSiC基板のオフ角ではない。例えば、SiC基板が4度を越えるオフであっても、エピタキシャル結晶層又は結晶領域のオフ角を好ましく0～4度にすることができる。

30

【0073】

SiC基材のオフ角を調整することは、SiC基板自体のオフ角を調整するほか、所定のオフ角を有するSiC基板上にエピタキシャル結晶層を成長させる、あるいはSiC基板又はSiC基板上に成長したエピタキシャル結晶層のオフ角を事後的に調整する、さらにこれらの組合せが可能である。特定のオフ角を有するSiC基板及びエピタキシャル結晶層の製造方法は知られている。SiC基板又はエピタキシャル結晶層の表面のオフ角を事後的に調整する方法としては、基材を所定の角度に傾斜して固定して、表面をエッチングして所定のオフ角を形成する方法が知られている。

40

【0074】

本発明におけるSiC基材のオフ角は0～4度の範囲内であることが好ましく、0～3.5度の範囲内であってよい。一般的にオフ角が小さいことは好ましい。例えば、0～1度が好ましく、0～0.1度がより好ましく、0～0.05度、0～0.015度であることが特に好ましい。SiC基材のオフ角は、結晶絶縁体/SiC界面におけるSiC結晶の積層と界面とのなす角度である。SiC基材のオフ角は、結晶絶縁体/SiC界面の断面をTEM、AFMなどで観察して、界面に対するSiC結晶の積層の角度を測定することで測定することができる。界面は、界面の断面における凹凸、本発明では原子レベルの凹凸の平均値が最小になる線としてよい。平面の平均表面粗さを測定する際の測定（計算）方法を参考にしてもよい。SiC結晶の積層と界面とのなす角度はSiC基材の断面方

50

向によって異なるが、その最大の角度がオフ角である。

【0075】

図9に、オフ角のSiCの理想界面の模式的断面を示す。この図は、オフ角のSiC結晶21の表面（例えば、(0001)面）22が理想的に平坦面（仮想線22で示す）であり、段差は最低限（積層1層分のみ）とした場合を描いている。SiC結晶21の内部の平行線は積層の各層を表し、結晶の表面（仮想線）22と積層の各層との角度がオフ角を表す。しかし、図9は説明のための模式図であり、オフ角及び各層の間隔などは誇張されている。オフ角のSiC結晶21はテラス23と段差24を有し、この図では、テラスは理想的な面、即ち、原子レベルでフラットであり、段差24はテラス23に対して垂直に描かれている。このようなオフ方向の断面における原子レベルで欠陥のないテラス23の寸法を「テラス幅」という。図9にテラス幅 W_t を示す。

10

【0076】

図10にSiC結晶の理想的でない（表面積層揺らぎのある）表面の例を模式的に示す。図10において、25-1、25-2、・・・25-7、25-8はフラットなテラスであり、例えば、テラス25-1、25-3はテラス25-2より一層高い段違いのテラス、テラス25-6はテラス25-5より二層高く、テラス25-7より一層高い段違いのテラスである。 W_1, W_2, \dots, W_7 はテラス幅を表す。これら、25-1、25-2、・・・25-7のそれぞれのテラスは図8の(a)(b)(c)のいずれかの構造をとっている。

20

【0077】

（半導体装置の製造方法）

本発明の半導体装置の製造方法は、炭化ケイ素結晶領域と、炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含む炭化ケイ素半導体装置の製造方法であって、原子レベルでフラットなテラス幅が3.5nm以上である表面を有する炭化ケイ素結晶領域を提供し、前記炭化ケイ素結晶領域上に、結晶絶縁膜を製膜することを含むことを特徴とする。

【0078】

SiC基材として表面の原子レベルでフラットなテラス幅が3.5nm以上であるSiC基材を用い、SiC基材上に製膜するゲート絶縁膜として結晶絶縁膜を用いることにより、結晶絶縁膜/SiC結晶界面における原子レベルのフラットなテラス幅を3.5nm以上とすることが可能である。従来のアモルファスSiO₂膜に代えて、結晶絶縁膜を製膜することにより、製膜後に原子レベルでフラットなSiC基材の表面に欠陥が誘発されることを防止することができ、少なくとも原子レベルの欠陥をSiO₂膜を用いる場合よりも実質的に減らすことができる。

30

【0079】

表面の原子レベルでフラットなテラス幅が3.5nm以上であるSiC基材は、オフ角の小さいSiC基材を用いることによるほか、SiC基材表面を原子レベルでフラット化する処理を行って作成することができる。

【0080】

オフ角の小さいSiC基材は、低オフ角でSiCの成長を実施することによって、あるいはSiC基材表面を研磨又はエッチングなどの処理をしてオフ角を小さくすることによって、あるいはこれらの方法を組合せて作成できる。低オフ角でSiCの成長を実施する方法としては、例えば、Chem. Vap. Deposition 2006, 12, 489-494に知られているが、この方法で得られる低オフ角のSiC基材は、低オフ角であると同時に表面の原子レベルのフラット性にも優れている。

40

【0081】

原子レベルでフラット化する処理は、同じオフ角のSiC基材では、テラス幅を長くし、段差を狭くし、テラス表面の原子レベルの欠陥をなくし、フラット性を向上させることを目的とする。原子レベルでフラット化する処理は、SiC基材を同じオフ角で行うほか、同時にオフ角を低減する処理であってもよい。SiC結晶表面を原子レベルでフラット

50

化する方法は、上記した方法 (Catalyst-Referred Etching (CARE法) ; APL 110, 201601(2017)) などがある。これらの方法を繰り返し、あるいは組み合わせてもよい。フラット化処理方法で得られる SiC 基材は、低オフ角であると同時に表面の原子レベルのフラット性にも優れることが可能である。

【0082】

1つの好ましい態様において、炭化ケイ素結晶領域が 4H-SiC であり、4H-SiC 結晶の結晶絶縁膜と接触する表面が (000-1) 面、(0001) 面、(1-100) 面又は (11-20) 面であり、結晶絶縁膜を製膜する前に、炭化ケイ素結晶領域の (000-1) 面、(0001) 面、(0-110) 面又は (11-20) 面を原子レベルでフラット化する処理を含む。

10

【0083】

また、1つの好ましい態様において、結晶絶縁膜が、化学的気相堆積法又は物理的堆積法で製膜される。結晶絶縁膜の製膜方法は知られている方法であってよいが、堆積エネルギーが小さい方法である化学的気相堆積法、有機化学的気相堆積法、原子層化学的気相堆積法が好ましい。

【0084】

なお、半導体装置、炭化ケイ素結晶領域、原子レベルのフラット性、ゲート絶縁膜、結晶絶縁膜、オフ角などについては、半導体装置と関連して、すでに説明したことが参照される。

【0085】

本発明の半導体装置は、炭化ケイ素結晶領域と、炭化ケイ素結晶領域の表面に形成されたゲート絶縁膜とを含む炭化ケイ素半導体装置であり、炭化ケイ素結晶領域とその表面に形成されたゲート絶縁膜と以外については、既に述べたように、従来の如何なる炭化ケイ素半導体装置であってもよい。図1の例で述べると、炭化ケイ素結晶領域の表面に結晶絶縁膜を堆積した後、結晶絶縁膜をパターンニングしてゲート絶縁膜を形成してから、ゲート絶縁膜上にゲート電極を形成 (堆積及びパターンニング) する。それから、全体に層間絶縁膜を堆積し、層間絶縁膜をパターンニングして、層間絶縁膜にソース領域及びドレイン領域形成用の窓を開口し、その窓を介してソース領域及びドレイン領域に選択的に不純物を拡散又はドーピングしてソース領域及びドレイン領域を形成する。それから、ソース領域及びドレイン領域に接触するソース電極及びドレイン電極を形成する。

20

30

【実施例】

【0086】

絶縁体 / 炭化ケイ素結晶界面の原子レベルの平坦性が界面準位に及ぼす影響について第一原理計算を行った。

【0087】

炭化ケイ素半導体は、結晶多型、すなわち、積層構造によって、バンドギャップが異なる。例えば、4H-SiC 結晶では、k サイト (立方晶系積層構造) と h サイト (六方晶系の積層構造) を含んでおり、k サイトと h サイトが交互に並んでいる。

【0088】

図6に、絶縁膜と炭化ケイ素結晶の界面付近におけるエネルギー準位を示す。図6(a)は界面がA層(kサイト)の場合のエネルギー準位、図6(b)は界面がB層(hサイト)の場合のエネルギー準位を、それぞれ模式的に示す。図6(a)(b)において、横軸は界面に垂直な方向の位置であり、図の左側が4H-SiC層、右側がSiO₂層である。縦軸はエネルギー準位を表し、図の下側の線が価電子帯下端、上側の線が伝導帯のエネルギー準位を示す。

40

【0089】

図6の(a)に示す界面の積層構造はBCBABCBA(右端が界面)であり、界面A層(kサイト)であり、図6の(b)は(a)に示す積層構造の界面のA層からもう一層酸化が進んだB層(hサイト)が界面に出ている積層構造BCBABCBA(右端が界面)であり、界面B層(hサイト)である。積層構造BCBABCBA(右端が界面)では、界

50

面に局所的に 2 H 構造の積層が現れる。界面 A 層 (k サイト) の場合の界面準位 (バンドギャップ) と比べて、界面 B 層 (h サイト) の場合の 2 H 構造の積層における界面準位 (バンドギャップ) は上になる。このように図 7 の (a) と (b) があると、界面が A 層であるときと、界面が B 層であるときで、エネルギー準位が異なっている。

【 0 0 9 0 】

図 7 の (a) (b) は図 6 の (a) (b) に対応し、図 7 の (c) は、図 6 (b) 及び図 7 (b) の界面 B 層 (h サイト) の場合の積層構造 B C B A B C B (右端が界面) に対して、界面の B 層に積層欠陥が生じて A 層になった積層欠陥界面の積層構造 B C B A B C A (右端が界面) を示す。図 7 の (c) の積層欠陥界面の場合には、積層構造 A B C A (右端が界面) の界面準位が立方晶 (k サイト) の界面準位より下になっており、このように界面積層構造が変わるだけで界面準位が異なり、揺らぐことがわかる。

10

【 0 0 9 1 】

図 6 及び図 7 に示した 3 種類の界面の積層構造 (a) ~ (c) を有する場合について、界面付近での準位エネルギーを実際に第一原理計算によってシミュレーション計算した結果を、図 8 (a) ~ (c) に示す。図 6 (a) の立方晶界面 A 層の場合と比べて、図 6 (b) の六方晶界面 B 層の場合には界面準位エネルギーが + 1 . 2 e V と大きくなり、図 7 (c) の六方晶積層欠陥 A 層の場合には界面準位エネルギーが - 0 . 3 e V と小さくなっている。なお、二酸化ケイ素 (S i O₂) のバンドギャップは 8 . 9 5 e V であり、いずれの界面でも、4 H - S i C 層に対して十分な絶縁体として機能している。

20

【 0 0 9 2 】

この第一原理計算は下記のとおりである。上記の 3 種類 (a) (b) (c) の界面の積層構造を有する場合について、界面付近での準位エネルギーを実際に第一原理計算でシミュレーション計算を行った。その計算の概要は以下の通りである。

【 0 0 9 3 】

密度汎関数理論に立脚した第一原理計算を行った。計算コードとしては、Vienna Ab initio simulation package (VASP) を用いた。実際に計算コード中では、以下の Kohn-Sham 方程式と呼ばれる固有値問題を共役勾配法を用いて解いた。

【 数 1 】

30

$$\left[-\frac{1}{2}\nabla^2 + v_{\text{ext}}(\vec{r}) + v_{\text{H}}(\vec{r}) + \hat{v}_{\text{XC}} \right] \varphi_i(\vec{r}) = \varepsilon_i \varphi_i(\vec{r})$$

ここで、原子単位系を用いた。また、 $v_{\text{ext}}(\vec{r})$ は原子核からのポテンシャルを表し、 $v_{\text{H}}(\vec{r})$ は古典的な電子間相互作用を表すハートリポテンシャルを表し、 \hat{v}_{XC} は量子力学的な残り全ての電子間相互作用を表す交換相関ポテンシャルを表す。今回の計算では、 $v_{\text{ext}}(\vec{r})$ として、Projector augmented wave (PAW) 法を用い、 \hat{v}_{XC} としては HSE06 汎関数を用いた。

【 数 2 】

40

具体的に交換相関ポテンシャル (\hat{v}_{XC}) は、

$$\hat{v}_{\text{XC}} = \frac{\delta E_{\text{XC}}}{\delta n(\vec{r})}$$

のように、交換相関エネルギー E_{XC} を電子密度 $n(\vec{r})$ で汎関数微分したものとして定義されるが、HSE06 汎関数では交換相関エネルギー E_{XC} の表式は以下の通りである。

【数 3】

$$E_{XC} = \frac{1}{4}E_X^{SR}(\mu) + \frac{3}{4}E_X^{PBE,SR}(\mu) + E_X^{PBE,LR}(\mu) + E_C^{PBE}$$

ここで、 $E_X^{SR}(\mu)$ は厳密な交換エネルギーの短距離成分、 $E_X^{PBE,SR}(\mu)$ はPBE汎関数[1]で取り込まれる交換エネルギーの短距離成分[2]、 $E_X^{PBE,LR}(\mu)$ はPBE汎関数で取り込まれる交換エネルギーの長距離成分[2]、 E_C^{PBE} はPBE汎関数で取り込まれる相関エネルギーを表す。また、 μ は交換エネルギーの長距離成分と短距離成分を分ける外部パラメータであり、クーロン相互作用 $\frac{1}{r}$ を誤差関数 erf、補誤差関数 erfc を用いて

$$\frac{1}{r} = \frac{\text{erfc}(\mu r)}{r} + \frac{\text{erf}(\mu r)}{r}$$

10

と分けるものである。本計算では、 μ として $0.2 \text{ [Å}^{-1}\text{]}$ を用いることにより、4H-SiCのバンドギャップ3.2 eVを定量的に再現するようにとった。

論文[1] J. Perdew, K. Burke, and M. Ernzerhof, Physical Review Letters 77, 3865 (1996).

論文[2] J. Heyd, G.E. Scuseria, and M. Ernzerhof, Journal of Chemical Physics 118, 8207 (2003).

【0094】

20

用いた計算機は、東京大学物性研究所スーパーコンピュータシステムCを用いた。計算機の詳細は、HPE SGI 8600であり、Intel Xeon 6148 20 core 2.4 GHz x2 CPUを用い、Networkとしては4X EDR InfiniBand x1である。ジョブクラスとしては、F4cpuキューを用いた。

【0095】

以下の手順でSiO₂/4H-SiC(0001)界面構造モデルを用意した。

スラブモデルの厚みに対しては、c軸垂直面内(図5(a))のSiC原子層を単位として(1パイレイヤーと呼ぶ)、8パイレイヤー積層させたものを用いた。面内方向に関しては3x3の周期性を仮定した。スラブ厚みとしては、2.1 nmに相当する。また、計算セルに対して周期境界条件を課した。c軸方向のスラブと隣接スラブとの人為的な相互作用を小さくするためにc軸方向スラブ間の間隔を2.0 nmにとり、十分なスラブ間距離を確保した。こうして用意された4H-SiCスラブモデルにおいて、4H-SiC(000-1)面上のダングリングボンドは水素原子で終端した。一方、4H-SiC(0001)面上には1.0 nmの厚みのSiO₂を置き、構造最適化をかけSiO₂/4H-SiC(0001)界面構造を構築した。また、4H-SiC(0001)界面の積層構造が図7のようになるように3つの界面構造を用意した。計算に用いたパラメータは以下の通りである。カットオフエネルギーの値としては40.0 eV、サンプルk点数としては、5x5x1とした。また、構造最適化において力の収束が $1.0 \times 10^{-1} \text{ eV Å}^{-1}$ となるようにとった。

30

【0096】

その結果、3種類の界面積層構造いずれもエネルギー的にほとんど変わりなく、3つの中で最も安定な界面積層構造(a)と最も不安定であった界面積層構造(c)とのエネルギー差でさえ5.79 meV/Å²と小さなものであった。したがって、理論の観点からも現実の界面には界面積層構造(a)、(b)、(c)が共存することが示された。

40

【0097】

また、図7のようなバンドアライメントを計算するために、次で定義される局所状態密度(LDOS)を計算しplotし、図8の計算結果を得た。

【数 4】

$$\text{LDOS}(\varepsilon, z) = \int d\vec{r}_\perp \sum_{n\vec{k}} \delta(\varepsilon - \varepsilon_{n\vec{k}}) |\varphi_{n\vec{k}}(\vec{r})|^2$$

【0098】

以上のごとく密度汎関数理論に立脚した第一原理計算を行い、交換相関エネルギー汎関数としては、HSE06汎関数を用いた。その結果、3種類の界面積層構造いずれもエネルギー的にほとんどかわりなく、最も安定な界面積層構造(a)と最も不安定であった界面積層構造(c)とのエネルギー差でさえ5.79 meV/Å²と小さなものであった。従って、理論の観点からも現実の界面には界面積層構造(a)(b)(c)が共存することが示された。また、界面におけるバンドアライメントを評価するために、局所状態密度(LDOS)を計算した。図8参照。

10

【0099】

このように、界面に一般的な欠陥構造や不純物がなくても、界面準位は炭化ケイ素の界面における積層構造の揺らぎ(原子レベルの欠陥)に敏感であり、伝導帯下端(CBM)の電子準位がCBM - 0.3 eVからCBM + 1.2 eVまでの範囲で変わり得ることが明らかになった。したがって、界面での一原子レベルで積層構造がA層やB層で揺らぐと、伝導帯下端(CBM)の電子状態にポテンシャル揺らぎが発生し、半導体装置(デバイス)特性に重大な影響を及ぼすと考えられる。すなわち、このような界面では、界面のSiCの積層構造の揺らぎ(kサイトとhサイトの両方がある)構造を反映して、CBMの波動関数が局在化してしまい、電子(ホール)の有効質量に大きな影響がでてくると考えられる。

20

【0100】

ここで、図6~8は、界面の一原子層レベルにおける均一性に関する界面準位であり、従来の一一般的な知見における界面での一般的な欠陥構造(数十原子レベル以上)や不純物に基づく界面準位とは本質的に異なるレベルの話である。すなわち、図6及び図7は、仮に従来考えられている界面での一般的な欠陥構造や不純物がない場合においても、本来原子レベルでフラットであると考えられている界面の一原子層レベルにおける積層構造の違い(界面の積層構造の揺らぎ)が、界面準位に影響することを表している。

30

【0101】

上記の知見に基づき、SiO₂/4H-SiCの界面における一原子層レベルの積層構造の欠陥(A層とB層が両方でてくる構造)が4H-SiC層の移動度に及ぼす影響について、移動度は有効質量に反比例することが知られているので、波動関数に基づく第一原理計算により、電子(ホール)の有効質量を計算した。この有効質量の計算の概略は下記のとおりである。

【0102】

上記の知見に基づき、SiO₂/4H-SiCの界面における一原子層レベルの積層構造の欠陥(A層とB層が両方界面に出てくる構造)が4H-SiC層の移動度に及ぼす影響について、移動度は有効質量に半比例することが知られているので、波動関数に基づく第一原理計算により、電子(ホール)の有効質量を計算した。この有効質量の計算の概略は下記の通りである。

40

【0103】

密度汎関数理論に立脚した第一原理計算を行った。計算コードとしては、VASPを用いた。PAW法を用い、交換相関汎関数としてはHSE06汎関数を用いた。また、HSE06汎関数において電子間相互作用の短距離・長距離を分けるパラメータμとして本計算では、μとして0.2 [Å⁻¹]を用いた。クーロン相互作用1/rを誤差関数erf、補誤差関数erfcを用いて

50

【数5】

$$\frac{1}{r} = \frac{\operatorname{erfc}(\mu r)}{r} + \frac{\operatorname{erf}(\mu r)}{r}$$

と分けるものである。このHSE06を用いることにより、4H-SiCのバンドギャップ3.2 eVを定量的に再現することを確認した。

【0104】

用いた計算機は、東京大学物性研究所スーパーコンピュータシステムCを用いた。計算機の詳細は、HPE SGI 8600であり、Intel Xeon 6148 20 core 2.4 GHz x2 CPUを用い、Networkとしては4X EDR InfiniBand x1である。ジョブクラスとしては、F4cpuキューを用いた。 10

【0105】

以下の手順で界面構造揺らぎを有するSiO₂/4H-SiC(0001)界面構造モデルを作成した。スラブモデルの厚みに対しては、c軸方向に6バイレイヤー積層させたものを用いた。スラブ厚みとしては、16 Åに相当する。面内方向に関しては6×1の周期性を仮定し、1次元方向に界面揺らぎを持つ界面構造を考えた。また、計算セルに対して周期境界条件を課した。c軸方向のスラブと隣接スラブとの人為的な相互作用を小さくするためにc軸方向スラブ間の間隔を20 Åにとり、十分なスラブ間距離を確保した。こうして用意された4H-SiCスラブモデルにおいて、4H-SiC(0001)面上のダングリングボンドは水素原子で終端した。次に、4H-SiC(000-1)面に界面積層構造揺らぎを導入した。立方晶積層と六方晶積層が1:1で混じり合った界面構造と、立方晶積層と六方晶積層が7:3で混じり合った界面構造、(比較のために)立方晶積層が100%覆った界面構造の3種類を用意した。また、それら界面積層構造揺らぎを導入した後、SiC(000-1)界面のダングリングボンドは水素で終端し、構造最適化を行なった。計算に用いたパラメータは以下の通りである。カットオフエネルギーの値としては400 eV、サンプルk点数としては、1×6×1とした。また、構造最適化において力の収束が10⁻¹ eV⁻¹となるようにとった。 20

【0106】

電子バンドは極小点極近傍周りで次のように展開される。 30

【数6】

$$\varepsilon_{n\vec{k}} \approx \frac{1}{2m^*} k^2 + (\text{const.})$$

この表式では、原子単位系を用いた。ここで、m*は電子(またはホール)の有効質量と呼ばれるものである。得られたx軸に波数kを、y軸に電子バンドのエネルギー準位をplotし、その電子バンド構造から、電子正孔の極大・極小点周りのkの2次の係数をフィッティングによって求めることにより算出することができる。今回の計算では、上記スラブ計算で得られた面内方向電子バンド構造に対して6次関数でフィッティングをかけることにより2次の係数を抽出し、そこから電子・ホールの有効質量を算出した。 40

【0107】

上記では、様々な界面積層構造が共存するSiO₂/4H-SiC界面構造モデルを作成し、1つの簡略化として、4H-SiCの厚さ10 Åのスラブを用意し、SiO₂との接触面を模倣した水素終端させたモデルを作成した。また、界面構造において様々な界面積層構造が共存するようにモデルを準備し、構造最適化を行なった。その後、面内方向の電子バンド構造を計算し、その曲率から電子(ホール)有効質量を算出した。

【0108】

その結果、SiCのバルクの有効質量は0.3m₀(m₀は電子の質量である。)であ 50

ったが、理想的な(0001)面、(000-1)面又は(1-100)面の界面における有効質量も $0.3m_0$ であり、界面を原子レベルで制御すれば、これらの面でもバルクの有効質量と同程度であることが判明した。すなわち、これらの結晶面では界面を原子レベルで制御できれば、バルクと同等の有効質量及び移動度を実現できる可能性がある。

【0109】

一方、(000-1)面の理想表面において原子レベルの欠陥、すなわち、積層構造の揺らぎ(界面にkサイトとhサイトの両方)があると仮定すると、有効質量は $1.8m_0$ になった。(0001)面、又は(10-10)面でも同様である。SiCの界面が原子レベルで制御されていないと、界面での有効質量がバルクの6倍になった。すなわち、界面を原子レベルで制御すれば、有効質量及び移動度が顕著に改良できることを確認した。

10

【0110】

上記の計算結果から推測される移動度の改良は6倍であり、従来一般的なSiO₂/SiC界面の移動度 $20\sim30\text{cm}^2/\text{Vs}$ に基づいて、単純比較しても、 $120\sim180\text{cm}^2/\text{Vs}$ が得られる。また、SiO₂/SiC界面の移動度として $30\sim50\text{cm}^2/\text{Vs}$ あるいはそれ以上のもも知られているので、それに本発明を適用すれば、移動度はさらに向上できると期待される。

【0111】

さらに、従来一般的なSiO₂/SiC界面では、上記計算で仮定した界面欠陥(積層1層レベルの欠陥)の原子レベルのフラット性さえも実現されていないと考えられるので、本発明の開示に従い、従来一般的なSiO₂/SiC界面と上記計算で仮定した原子レベルのフラット性との差に対応する原子レベルのフラット性の改良がされることが容易に可能であるから、移動度の改良はさらに大きくできることが明らかである。

20

【0112】

さらに、従来一般的なSiO₂/SiC界面では、SiC界面の原子レベルの欠陥以外の一般的な界面欠陥(多型を含む)や炭素異物の存在などの従来界面準位を低下させる界面欠陥が存在することが知られている。その従来界面欠陥の多くはSiO₂の製膜に起因するものであり、結晶絶縁膜を用いることで、それら従来型の界面準位低下原因をなくすことが可能であるので、結果として、移動度の改良はさらに大きくできると考えられる。

【0113】

シリコン半導体の移動度が理論値の50%まで実現されているので、理論的には、本発明の開示により、それに近い移動度まで改良されることが期待される。

30

【0114】

比較のために、本発明の開示に従い、従来技術を翻って検討すると、非特許文献1に教示されている(0-33-8)面を界面とする4H-SiCについては、必ずテラス(積層構造の揺らぎ)が生じるので、たとえテラスが理想的な界面(フラット、原子レベルで無欠陥)であると仮定しても、有効質量を計算すると、 $1.7m_0$ である(移動度 $180\text{cm}^2/\text{Vs}$ に対応)。すなわち、(0-33-8)面は、SiC結晶を原子レベルで制御して理想的な界面を切り出したとしても、A層とB層が混在して現れる結晶面であり、界面での積層構造の揺らぎが必ずあるので、本発明の開示によれば、それが有効質量を大きくしてしまう。したがって、特許文献1が教示している(0-33-8)面のSiCでは、たとえ界面のフラット性を原子レベルで制御したとしても、有効質量は最大で $1.7m_0$ であり、バルクの有効質量と比べて約5.7倍もあるので、移動度の改良には限界があることが明らかである。また、非特許文献1には、絶縁膜の製膜前にSiC基材の表面を原子レベルでフラット化する処理について教示がない。非特許文献1が報告している移動度は $120\text{cm}^2/\text{Vs}$ である。

40

【0115】

また、非特許文献2では、4度オフ角の4H-SiC結晶のテラスをSi融液で処理することで、移動度が $102\text{cm}^2/\text{Vs}$ に向上したことを報告している。非特許文献2は、SiCのマクロなテラス(段差部の積層数が5以上、実際には 以上)をフラット化す

50

る処理を行うことで、移動度が改善されることを教示している。しかし、非特許文献2では、マクロなテラスであり、段差部の積層数が5以上と大きいので界面準位が大きいのみならず、オフ角が4度であり、なによりも、SiC基板上にSiO₂を堆積しているため、結果として、SiC基板には、マクロな段差があるとともに、SiC結晶表面にテラスを含めて界面の積層構造に揺らぎが導入されており、SiC/SiO₂界面における原子レベルの制御は十分ではない。非特許文献2では、実際に、MOSFETでは本発明の定義におけるテラス幅が理想的な幅よりも小さく、積層構造が原子レベルで揺らいでいると考えられる。

【0116】

非特許文献5では、絶縁膜としてAlNを用いているが、AlNを製膜する前のSiC基材の表面の原子レベルのフラット性について考慮されておらず、SiC基材のオフ角は4度であり、製膜前にSiC基材の表面を原子レベルでフラット化する処理がまったく行われていない。その結果、用いられたSiC結晶表面及び得られたAlN/SiC界面には原子レベルの積層の揺らぎがあり、テラス幅は3.5nmより小さく、電荷の有効質量の低減及び移動度の向上には限界があると考えられる。実際に、非特許文献5では、報告されている移動度は約150cm²/Vsである。

10

【0117】

以下に、炭化ケイ素半導体装置の製造例を記載する。

炭化ケイ素基板として、鏡面研磨された4H-SiC単結晶を用い、(0001)面から11-20方向に1度傾けて研磨した面を使用する。

20

【0118】

炭化ケイ素基板を有機溶剤と酸による洗浄で清浄にした後、薄膜をエピタキシャル成長するSi面を上にして、基板をサセプタにのせる。基板をのせたサセプタを石英反応管内に挿入し、1Pa以下の真空にひく。次に基板の気相エッチングを行うために、水素(H₂)と塩酸ガス(HCl)を混ぜた混合ガスを流しながら1400に加熱する。加熱はサセプタを高周波(200kHz)誘導加熱することによる。続いてH₂、モノシラン(SiH₄)、プロパン(C₃H₈)を所定の流量比率で混合したものを反応管内に導入しながら、1550で2時間加熱すると、基板上に4H型炭化ケイ素層がエピタキシャル成長する。炭化ケイ素エピタキシャル層はn型になっている。

【0119】

炭化ケイ素エピタキシャル層の表面を(0001)Si面から11-20方向に4度オフ及び1度オフの角度で研磨して、4度オフ面と1度オフ面の炭化ケイ素層を有するSiC基材を作成する。

30

【0120】

Catalyst-Referred Etching (CARE法); APL 110, 201601(2017)を参照して、フッ酸又は純水を含むエッチング槽で、基盤表面の白金電極層(作用電極)と、Ag/AgCl電極と、Pt板(対極)を用い、白金触媒アシスト下で、ホルダに保持した上記のSiC基材を自転させながら白金電極層(作用電極)に押し当てて化学エッチングすることにより、エピタキシャル層表面を原子レベルでフラット化する処理を行い、積層1層分の段差のみを有するテラス構造を有する原子レベルでフラットな結晶表面を得る。4度オフ面のテラス幅は3.5nm及び約3.7nmのもの、1度オフ面のテラス幅は14.8nm及び約15.2nmのものを得る。

40

【0121】

次いで、フラット化処理しテラス幅を確認した炭化ケイ素エピタキシャル層上に窒化アルミニウム膜を化学的気相堆積法で製膜する。窒化アルミニウム膜を製膜することにより、炭化ケイ素/窒化アルミニウム界面における炭化ケイ素のテラス幅として、4度オフ面では3.5nm以上、1度オフ面では14.8nm以上のものを得ることが可能にされる。

【0122】

市販されているオン角(オフ角0度)の炭化ケイ素基板を入手し、上記のごとく、その

50

オン角の表面をフラット化処理をして、原子レベルでフラットなオン角（テラス幅は無限又は基板寸法）の炭化ケイ素基板としてから、その表面に上記の如く窒化アルミニウムを製膜すれば、原子レベルでフラットな炭化ケイ素 / 窒化アルミニウム界面を得ることができる。

【 0 1 2 3 】

その後は、公知の方法で図 1 に示すような半導体装置を製作する。窒化アルミニウム膜上にチタン合金を堆積し、マスクを用いたパターンニングによりゲート電極を形成する。ゲート電極を含む基板全面に層間絶縁膜を堆積した後、層間絶縁膜をパターンニングしてソース及びドレイン領域を開口し、その開口された炭化ケイ素エピタキシャル領域に p 型不純物としてアルミニウムを選択的にドーピングしてソース及びドレイン領域を形成する。その後、ソース及びドレイン電極を形成する。

10

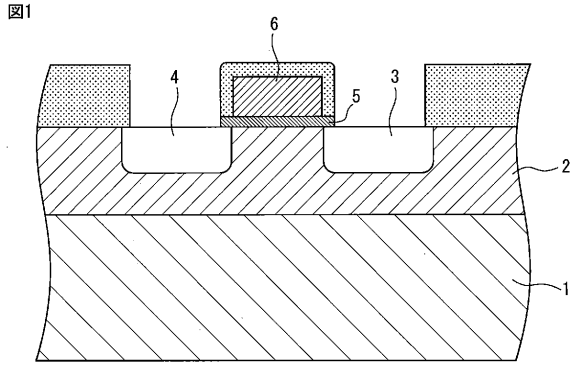
【符号の説明】

【 0 1 2 4 】

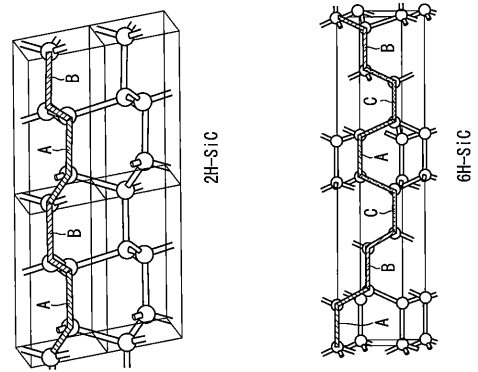
- 1 炭化ケイ素半導体基板
- 2 炭化ケイ素半導体層
- 3 ソース領域
- 4 ドレイン領域
- 5 ゲート絶縁膜
- 6 ゲート電極
- 2 1 SiC 結晶
- 2 2 SiC 結晶の表面
- 2 3 テラス
- 2 4 段差
- 2 5 - 1 ~ 2 5 - 7 テラス
- オフ角
- W t テラス幅

20

【 図 1 】



【 図 3 】



【 図 2 】

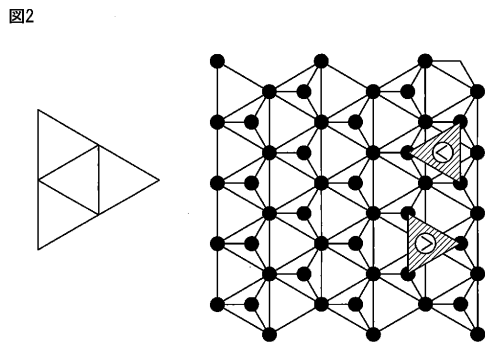
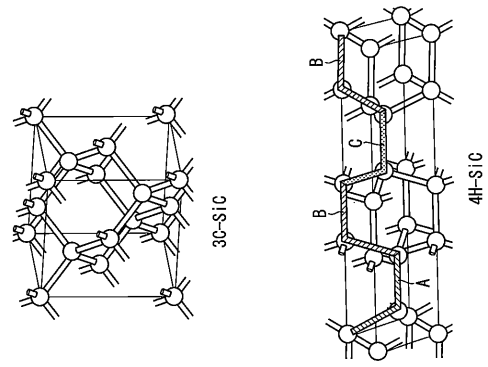
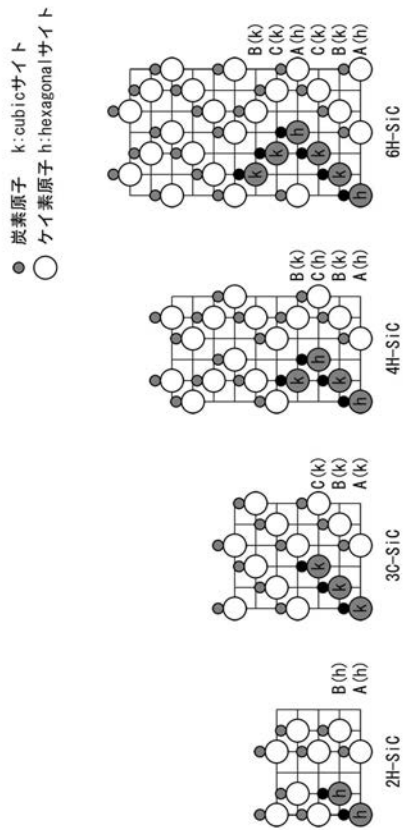


図3



【 図 4 】



<11-20>方向から見た結晶構造の図

【 図 5 】

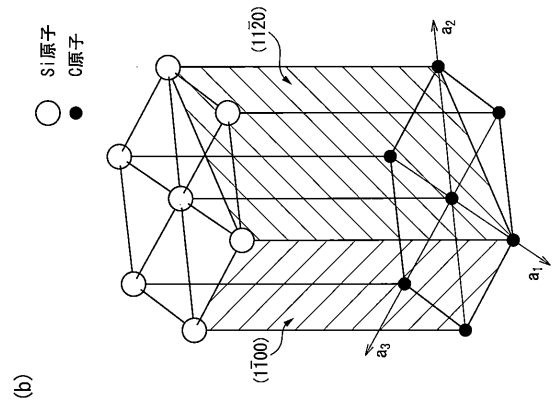


図5 (a)

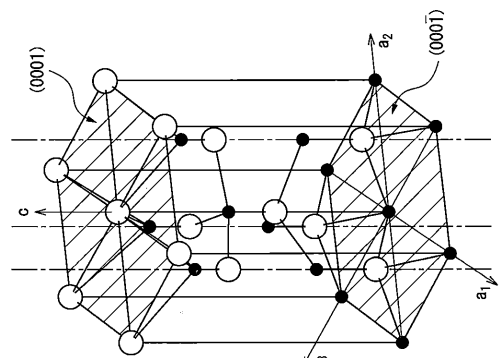


図4

【 図 6 】

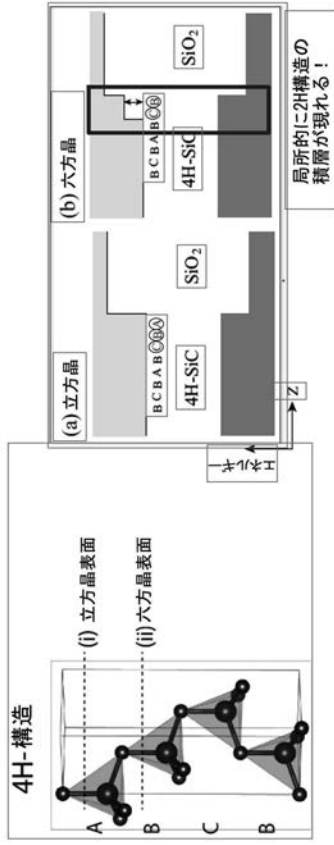


図6

【 図 7 】

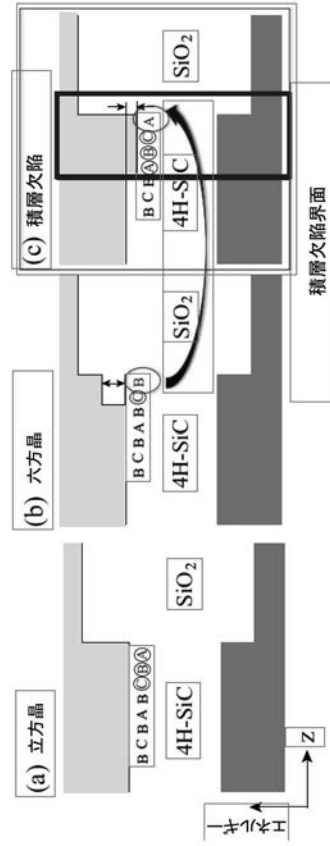


図7

【 図 8 】

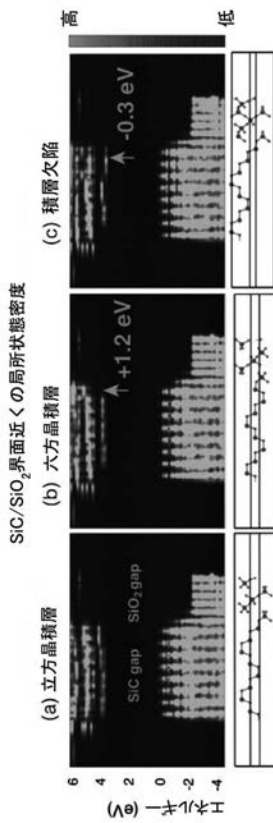
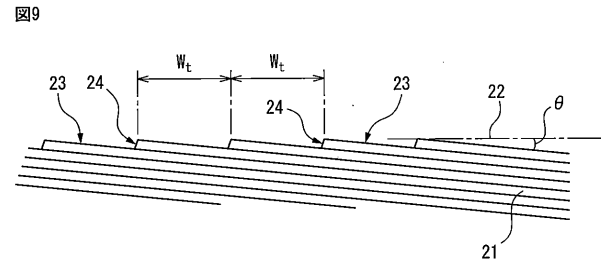


図8

【 図 9 】



【 図 10 】

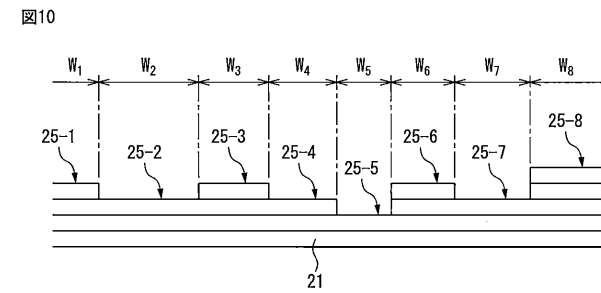


図10

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 29/12 (2006.01)	H 0 1 L 29/78	6 5 2 T
	H 0 1 L 29/78	6 5 2 K

(72)発明者 松下 雄一郎

東京都目黒区大岡山 2 丁目 1 2 番 1 号 国立大学法人東京工業大学内

Fターム(参考) 4G077 AA03 BB01 BE08 BE13 BE15 DA01 DA02 DA03 DA11 DB08
ED05 ED06 GA05 HA06 HA12
5F058 BA20 BB10 BC03 BC09 BD05 BD12 BE01 BF02 BF11 BJ01
5F140 AA01 BA02 BA16 BA20 BC12 BD06 BD11 BD13 BE09 BE10