

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-216423
(P2019-216423A)

(43) 公開日 令和1年12月19日(2019.12.19)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 3/356 (2006.01)	H03K 3/356 B	5B015
H03K 3/353 (2006.01)	H03K 3/353 A	5J034
G11C 11/412 (2006.01)	G11C 11/412	5J056
G11C 11/417 (2006.01)	G11C 11/417 100	
H03K 19/094 (2006.01)	H03K 3/356 D	

審査請求 有 請求項の数 2 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2019-124905 (P2019-124905)
 (22) 出願日 令和1年7月4日(2019.7.4)
 (62) 分割の表示 特願2017-509877 (P2017-509877) の分割
 原出願日 平成28年3月24日(2016.3.24)
 (31) 優先権主張番号 特願2015-75481 (P2015-75481)
 (32) 優先日 平成27年4月1日(2015.4.1)
 (33) 優先権主張国・地域又は機関 日本国(JP)

(出願人による申告)平成26年度、独立行政法人科学技術振興機構、スーパーハイウエイ、「擬似スピンMOSFETを用いた超低消費電力集積回路アーキテクチャ開発とその実用化」、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 503360115
 国立研究開発法人科学技術振興機構
 埼玉県川口市本町四丁目1番8号
 (74) 代理人 100087480
 弁理士 片山 修平
 (74) 代理人 100137615
 弁理士 横山 照夫
 (72) 発明者 菅原 聡
 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
 (72) 発明者 山本 修一郎
 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
 Fターム(参考) 5B015 HH04 JJ07 KA13 KB62
 5J034 AB06 CB01 DB08

最終頁に続く

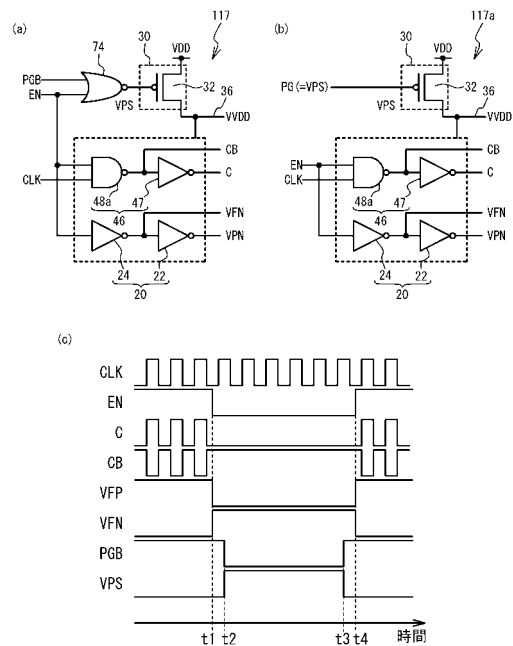
(54) 【発明の名称】 電子回路

(57) 【要約】

【課題】電子回路の消費電力を削減すること。

【解決手段】第1電源電圧が供給される第1電源と前記第1電源電圧より低い第2電源電圧が供給される第2電源との間に接続され、ループを形成する第1インバータおよび第2インバータと、前記ループ内にクロック信号に同期しオンおよびオフするスイッチと、を備える双安定回路と、前記スイッチに前記クロック信号を供給するクロック供給回路と、前記クロック供給回路が前記クロック信号を供給しないとき前記第1電源電圧と前記第2電源電圧との差である電源電圧として第1電圧を供給し、前記クロック供給回路が前記クロック信号を供給するとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、を具備することを特徴とする電子回路。

【選択図】図15



【特許請求の範囲】**【請求項 1】**

第 1 電源電圧が供給される第 1 電源と前記第 1 電源電圧より低い第 2 電源電圧が供給される第 2 電源との間に接続され、ループを形成する第 1 インバータおよび第 2 インバータと、前記ループ内にクロック信号に同期しオンおよびオフするスイッチと、を備える双安定回路と、

前記スイッチに前記クロック信号を供給するクロック供給回路と、

前記クロック供給回路が前記クロック信号を供給しないとき前記第 1 電源電圧と前記第 2 電源電圧との差である電源電圧として第 1 電圧を供給し、前記クロック供給回路が前記クロック信号を供給するとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路と、

を具備することを特徴とする電子回路。

10

【請求項 2】

第 1 電源電圧が供給される第 1 電源と前記第 1 電源電圧より低い第 2 電源電圧が供給される第 2 電源との間に接続され、ループを形成する第 1 インバータおよび第 2 インバータと、前記第 1 インバータおよび第 2 インバータのうち少なくとも 1 つ内にクロック信号に同期しオンおよびオフするスイッチと、を備える双安定回路と、

前記スイッチに前記クロック信号を供給するクロック供給回路と、

前記クロック供給回路が前記クロック信号を供給しないとき前記第 1 電源電圧と前記第 2 電源電圧との差である電源電圧として第 1 電圧を供給し、前記クロック供給回路が前記クロック信号を供給するとき前記電源電圧として前記第 1 電圧より高い第 2 電圧を供給する電源供給回路と、

を具備することを特徴とする電子回路。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電子回路に関し、例えばインバータ回路を有する電子回路に関する。

【背景技術】**【0002】**

CMOS (Complementary Metal Oxide Semiconductor) 集積回路等の集積回路の消費電力を削減する技術として、例えばパワーゲーティング (PG) 技術がある。パワーゲーティング技術においては、電源遮断時の情報の保持が課題となる。このような情報の保持のため、記憶回路に不揮発性メモリ等の不揮発性回路を用いることが検討されている (特許文献 1)。また、集積回路の消費電力を低減するため、低電圧駆動技術が検討されている。

30

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】国際公開 2013 / 172066 号

【発明の概要】

40

【発明が解決しようとする課題】**【0004】**

しかしながら、従来 CMOS で構成されていた記憶回路に不揮発性メモリを用いると、システムの動作速度などの性能が劣化する、さらに、製造工程が複雑になる。また、ロジック回路の電源電圧を低減すると、トランジスタのバラツキ耐性とノイズ耐性などの回路性能が劣化し安定動作が難しくなる。

【0005】

本発明は上記課題に鑑みなされたものであり、電子回路の消費電力を削減することを目的とする。

【課題を解決するための手段】

50

【0006】

本発明は、電源電圧が供給される正電源と負電源との間に接続され、第1モードと第2モードとが切り替わるインバータ回路である第1インバータおよび第2インバータがループ状に接続された双安定回路と、前記インバータ回路に、前記インバータ回路を前記第1モードとする第1信号と、前記インバータ回路を前記第2モードとする第2信号と、を出力する制御回路と、前記インバータ回路が前記第1モードのとき前記電源電圧として第1電圧を供給し、前記インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、を具備し、前記第1モードは伝達特性にヒステリシスを有するモードであり前記第2モードは伝達特性にヒステリシスがないモードである、および/または、前記第1モードは前記第2モードより伝達特性が急峻であるモードであることを特徴とする電子回路である。

10

【0007】

上記構成において、前記双安定回路は、前記第1モードにおいてデータを保持しデータの書き込みおよび読み出しが行なわれず、前記第2モードにおいてデータの書き込みおよび読み出しが行なわれる構成とすることができる。

【0008】

上記構成において、前記電源供給回路は、前記制御回路が前記第1信号を出力した後に、前記第2電圧を前記第1電圧に切り替え、前記制御回路が前記第2信号を出力する前に、前記第1電圧を前記第2電圧に切り替える構成とすることができる。

【0009】

上記構成において、前記インバータ回路は、前記第1モード、前記第2モード、および第3モードに切り替わり、前記第3モードは、前記第1モードより小さい前記ヒステリシスを有し、および/または、前記第2モードより伝達特性が急峻であり、前記制御回路は、前記インバータ回路に、前記インバータ回路を前記第3モードとする第3信号を出力し、前記電源供給回路は、前記インバータ回路が前記第3モードのとき前記電源電圧として前記第2電圧より低い第3電圧を供給する構成とすることができる。

20

【0010】

上記構成において、前記第1インバータおよび前記第2インバータにより形成されるループ内にクロック信号に同期しオンおよびオフするスイッチと、前記第1インバータおよび前記第2インバータが前記第1モードのとき前記スイッチに前記クロック信号を供給せず、前記第1インバータおよび前記第2インバータが前記第2モードのとき前記スイッチに前記クロック信号を供給するクロック供給回路と、を具備する構成とすることができる。

30

【0011】

上記構成において、前記インバータ回路は、前記正電源と前記負電源にそれぞれソースが接続され、少なくとも一方が複数直列に接続された第1PチャンネルFETおよび第1NチャンネルFETと、前記第1PチャンネルFETのゲートおよび前記第1NチャンネルFETのゲートが共通に接続された入力ノードと、前記第1PチャンネルFETの1つのドレインおよび前記第1NチャンネルFETの1つのドレインが共通に接続された出力ノードと、前記第1PチャンネルFETおよび前記第1NチャンネルFETのうち複数直列に接続された少なくとも一方の複数の第1FET間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が前記第1信号および前記第2信号が入力する制御ノードに接続され、前記第1PチャンネルFETおよび前記第1NチャンネルFETのうち複数直列に接続された少なくとも一方の導電型と同じ導電型の第2PチャンネルFETおよび第2NチャンネルFETの少なくとも一方の第2FETと、を備える構成とすることができる。

40

【0012】

上記構成において、前記制御回路は、前記第1信号として、前記第2PチャンネルFETの制御ノードにローレベルを出力し、および/または、前記第2NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2PチャンネルFETの制御ノ

50

ードにハイレベルを出力し、および/または、前記第2 NチャンネルFETの制御ノードにローレベルを出力する構成とすることができる。

【0013】

上記構成において、前記第1 PチャンネルFETおよび前記第1 NチャンネルFETは、いずれも直列に複数接続され、前記第2 FETは、前記第2 PチャンネルFETおよび前記第2 NチャンネルFETを含み、前記制御回路は、前記第1信号として、前記第2 PチャンネルFETの制御ノードにローレベルを出力し、かつ前記第2 NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2 PチャンネルFETの制御ノードにハイレベルを出力し、かつ前記第2 NチャンネルFETの制御ノードにローレベルを出力する構成とすることができる。

10

【0014】

上記構成において、前記電源供給回路は、前記正電源および前記負電源の少なくとも一方と前記インバータ回路との間に接続されたMOSFETを含む構成とすることができる。

【0015】

本発明は、電源電圧が供給される正電源と負電源にそれぞれソースが接続され、少なくとも一方が複数直列に接続された第1 PチャンネルFETおよび第1 NチャンネルFETと、前記第1 PチャンネルFETのゲートおよび前記第1 NチャンネルFETのゲートが共通に接続された入力ノードと、前記第1 PチャンネルFETの1つのドレインおよび前記第1 NチャンネルFETの1つのドレインが共通に接続された出力ノードと、前記第1 PチャンネルFETおよび前記第1 NチャンネルFETのうち複数直列に接続された少なくとも一方の複数の第1 FET間に設けられた中間ノードにソースおよびドレインの一方が接続され、ゲートが前記出力ノードに接続され、前記ソースおよび前記ドレインの他方が制御ノードに接続され、前記第1 PチャンネルFETおよび前記第1 NチャンネルFETのうち複数直列に接続された少なくとも一方の導電型と同じ導電型の第2 PチャンネルFETおよび第2 NチャンネルFETの少なくとも一方の第2 FETと、を備えるインバータ回路と、前記第2 FETの制御ノードに、前記インバータ回路を第1モードとする第1信号と、前記インバータ回路を第2モードとする第2信号と、を出力する制御回路と、を具備し、前記制御回路は、前記第1信号として、前記第2 PチャンネルFETの制御ノードにローレベルを出力し、および/または、前記第2 NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2 PチャンネルFETの制御ノードにハイレベルを出力し、および/または、前記第2 NチャンネルFETの制御ノードにローレベルを出力し、前記第1モードは伝達特性にヒステリシスを有するモードであり前記第2モードは伝達特性にヒステリシスがないモードである、および/または、前記第1モードは前記第2モードより伝達特性が急峻であるモードであることを特徴とする電子回路である。

20

30

【0016】

上記構成において前記第1 PチャンネルFETおよび前記第1 NチャンネルFETは、いずれも直列に複数接続され、前記第2 FETは、前記第2 PチャンネルFETおよび前記第2 NチャンネルFETを含み、前記制御回路は、前記第1信号として、前記第2 PチャンネルFETの制御ノードにローレベルを出力し、かつ前記第2 NチャンネルFETの制御ノードにハイレベルを出力し、前記第2信号として、前記第2 PチャンネルFETの制御ノードにハイレベルを出力し、かつ前記第2 NチャンネルFETの制御ノードにローレベルを出力する構成とすることができる。

40

【0017】

上記構成において、前記インバータ回路が前記第1モードのとき前記電源電圧として第1電圧を供給し、前記インバータ回路が前記第2モードのとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路を具備する構成とすることができる。

【0018】

上記構成において、前記インバータ回路を有する論理回路を具備する構成とすることができる。

50

【 0 0 1 9 】

本発明は、電源電圧が供給される正電源と負電源との間に接続され、ループを形成する第1インバータおよび第2インバータと、前記ループ内にクロック信号に同期しオンおよびオフするスイッチと、を備える双安定回路と、前記スイッチに前記クロック信号を供給するクロック供給回路と、前記クロック供給回路が前記クロック信号を供給しないとき前記電源電圧として第1電圧を供給し、前記クロック供給回路が前記クロック信号を供給するとき前記電源電圧として前記第1電圧より高い第2電圧を供給する電源供給回路と、を具備することを特徴とする電子回路である。

【 発明の効果 】

【 0 0 2 0 】

本発明によれば、電子回路の消費電力を削減することができる。

【 図面の簡単な説明 】

【 0 0 2 1 】

【 図 1 】 図 1 (a) および図 1 (b) は、実施例 1 に係る電子回路を示す回路図である。

【 図 2 】 図 2 (a) および図 2 (b) は、実施例 1 の変形例 1 に係る電子回路の回路図である。

【 図 3 】 図 3 は、実施例 1 の変形例 1 におけるインバータ回路の伝達特性を示す図である。

【 図 4 】 図 4 (a) および図 4 (b) は、実施例 1 の変形例 1 における時間に対する出力電圧を示した図である。

【 図 5 】 図 5 (a) から図 5 (e) は、実施例 1 の変形例 1 におけるタイミングチャートである。

【 図 6 】 図 6 (a) は、実施例 2 に係る電子回路の記憶セルを示す回路図、図 6 (b) は電子回路を示す回路図である。

【 図 7 】 図 7 (a) および図 7 (b) は、実施例 2 における記憶セルの特性を示す図である。

【 図 8 】 図 8 (a) および図 8 (b) は、実施例 2 におけるそれぞれインバータモードおよびシュミットリガモードにおける記憶セルの特性を示す図である。

【 図 9 】 図 9 (a) および図 9 (b) は、それぞれ実施例 2 の変形例 1 および 2 に係る電子回路を示す回路図である。

【 図 1 0 】 図 1 0 は、実施例 2 の変形例 3 に係る電子回路の回路図である。

【 図 1 1 】 図 1 1 は、実施例 2 の変形例 4 に係る電子回路の回路図である。

【 図 1 2 】 図 1 2 (a) から図 1 2 (e) は、実施例 2 の変形例 3 におけるタイミングチャートである。

【 図 1 3 】 図 1 3 は、実施例 2 の変形例 5 に係る電子回路の回路図である。

【 図 1 4 】 図 1 4 は、実施例 2 の変形例 6 に係る電子回路の回路図である。

【 図 1 5 】 図 1 5 (a) および図 1 5 (b) は、実施例 2 の変形例 5 の制御回路を示す回路図であり、図 1 5 (c) は、タイミングチャートである。

【 図 1 6 】 図 1 6 (a) および図 1 6 (b) は、実施例 2 の変形例 5 の制御回路を示す別の回路図であり、図 1 6 (c) は、タイミングチャートである。

【 図 1 7 】 図 1 7 (a) および図 1 7 (b) は、実施例 3 に係る電子回路の回路図である。

【 図 1 8 】 図 1 8 は、実施例 3 の変形例 1 に係る電子回路の回路図である。

【 図 1 9 】 図 1 9 (a) から図 1 9 (c) は、それぞれ実施例 4、実施例 4 の変形例 1 および実施例 4 の変形例 2 に係る電子回路の回路図である。

【 図 2 0 】 図 2 0 は、実施例 5 におけるインバータ回路の伝達特性を示す図である。

【 図 2 1 】 図 2 1 は、実施例 5 を用いた NAND 回路の回路図である。

【 図 2 2 】 図 2 2 (a) は、実施例 6 に係る電子回路のブロック図、図 2 2 (b) は、実施例 6 の各モードの動作を示す図である。

【 図 2 3 】 図 2 3 (a) および図 2 3 (b) は、実施例 7 に係る電子回路の回路図である

10

20

30

40

50

。

【発明を実施するための形態】

【0022】

CMOS集積回路における低電圧動作は、その低消費電力化に極めて有効である。記憶回路では、低電圧でデータを保持することで、記憶回路の重要な課題である待機時電力を削減することができる。ロジック回路では、低電圧動作を行うことで、動作速度は劣化するが、演算のエネルギー効率を高めることが可能となる。以下、記憶回路とロジック回路における低電圧動作の現状と課題について述べる。

【0023】

記憶回路では、データを保持し待機状態にあるときの電力（待機時電力）の削減が重要な課題の1つとなる。パワーゲーティング（PG）はCMOS集積回路における待機時電力削減技術として広く用いられている。しかし、マイクロプロセッサなどのロジックシステムでは、PGによって電源遮断を行う領域（パワードメイン）内に、揮発性の記憶回路が用いられていることが一般的である。このため、PGでは、パワードメイン内のデータの保持が重要な課題となっている。

10

【0024】

記憶回路のデータが失われない程度に供給電圧を低く抑えて（例えば、電源電圧の8割程度）、データを保持する方法は、SRAM（Static Random Access Memory）などで構成される記憶回路に用いられている。この方法では、待機時電力の削減には効果があるが、データ保持のための電圧を大幅に下げることができないため、電源遮断ほどの電力削減効果はない。したがって、この方法は本来のPGほどの待機時電力の削減はできない。

20

【0025】

また、記憶回路に効果的なPGを行なうため、近年では不揮発性メモリを用いたデータの保持が検討されている。この方法は電源を遮断してもデータを保持できるため、完全な電源遮断によるPGを実行でき、記憶回路の待機時電力の削減の効果は大きい。しかし、不揮発性メモリを用いることによる回路性能の劣化が問題となる。このため、不揮発性メモリを用いないメモリ動作と不揮発性の記憶とを分離できる不揮発性記憶回路の導入など、いくつかの試みが検討されている。しかし、不揮発性メモリとCMOSロジック回路の混載には、例えば製造工程が複雑になる、およびこれに伴う製造コストの増大等の課題も多く、実現に至っていない。

30

【0026】

シュミットトリガインバータで構成した双安定回路を用いた記憶回路では、極めて低い電圧（例えば0.3Vまたはこれ以下）でデータの保持ができる。このため、電源遮断並の待機時電力の大幅削減が可能となる。しかし、シュミットトリガインバータの構造に起因して、その動作速度が劣化するなど回路性能が劣化してしまうといった問題が生じる。

【0027】

そこで、記憶回路の待機時電力を大きく削減するため、極めて低い電圧（例えば、パワードメインのパワースイッチを遮断したときに発生する仮想電源の電圧、0.2 - 0.3V程度であることが多い）でデータを保持することと、書き込みおよび/または読み出しといった通常のメモリ動作においては、従来の記憶回路（SRAMまたはフリップフロップ）程度に十分に高速動作できることと、が求められる。

40

【0028】

次に、ロジック回路の低電圧動作について、現状と課題を述べる。近年、ウエラブルデバイスなどに用いるロジックシステムの高エネルギー効率化による超低消費電力化技術が重要になってきている。ウエラブルデバイスは“always-on”デバイスとも呼ばれている。ウエラブルデバイスの低消費電力化には、演算処理のエネルギー効率を最大限に高めて、無駄なエネルギー消費を極力省くことが重要となる。

【0029】

一般に、CMOSロジックの消費電力は電源電圧の低減とともに削減できる。しかし、消費エネルギーは電源電圧の削減に対して単調減少せず、ある電圧まで下げるとそこで極

50

小点を持ち、さらに電圧を下げると消費エネルギーはむしろ増大してしまう。これは、低電圧化にともないCMOSの動作速度が急激に遅くなり、この伸びた動作時間内に消費する待機時(スタティック)エネルギーが増大するためである。

【0030】

ウエラブルデバイスのバックグラウンドにおける情報処理は、高速演算である必要がない。このことから、このバックグラウンド演算には、エネルギー消費が極小となる低電圧化の動作が重要になると考えられる。しかし、このようなエネルギー極小点となる電圧は0.3 - 0.5 V程度と極めて低く、ノイズや素子のバラツキによって、ロジックシステムを安定に動作させることが難しくなる。また、バックグラウンドではない通常電圧(フルスウィング)動作では、スマートフォンなどと同程度の高速な情報処理が求められる。

10

【0031】

したがって、ウエラブルデバイスのようなロジックシステムでは、エネルギー極小点となる低電圧における高エネルギー効率および安定動作と、通常電圧による高速演算と、の両立が求められる。

【0032】

以下に説明する実施例では、シュミットトリガインバータモード(シュミットトリガモードともいう)と通常のインバータモードで動作できるインバータ回路を用いた記憶回路によって、通常電圧駆動時における高速動作と、非常に低い電圧によるデータの保持を実現できる記憶回路を提供する。

【0033】

また、シュミットトリガモードと通常のインバータモードで動作できるインバータ回路を用いたロジック回路によって、エネルギー効率の高い低電圧動作と、通常電圧駆動による高速動作を実現できるロジック回路を提供する。

20

【実施例1】

【0034】

図1(a)および図1(b)は、実施例1に係る電子回路を示す回路図である。図1(a)に示すように、電子回路100は、インバータ回路10、制御回路20および電源供給回路30を備える。インバータ回路10は、入力ノード N_{in} 、出力ノード N_{out} 、中間ノード N_{m1} 、 N_{m2} およびFET(Field Effect Transistor)11から16を備える。FET11、12および15はPチャネルFETであり、FET11および12は第1PチャネルFETであり、FET15は第2PチャネルFETである。FET13、14および16はNチャネルFETであり、FET13および14は第1NチャネルFETであり、FET16は第2NチャネルFETである。FET15および16は、FET11から14が形成するインバータへのフィードバックトランジスタとして機能できる。

30

【0035】

電源線36とグランド線38との間に、複数のFET11から14が直列に接続されている。FET11のソースが電源線36に接続され、FET14のソースがグランド線38に接続されている。FET11のドレインとFET12のソースは中間ノード N_{m1} に接続されている。FET13のソースとFET14のドレインは中間ノード N_{m2} に接続されている。FET12および13のドレインは共通に出力ノードに接続されている。FET11から14のゲートは共通に入力ノード N_{in} に接続されている。

40

【0036】

FET15のソースおよびドレインの一方は中間ノード N_{m1} に、ゲートは出力ノード N_{out} に、ソースおよびドレインの他方は制御ノード N_{FP} に接続されている。FET16のソースおよびドレインの一方は中間ノード N_{m2} に、ゲートは出力ノード N_{out} に、ソースおよびドレインの他方は制御ノード N_{FN} に接続されている。

【0037】

制御回路20は、制御ノード N_{FP} および N_{FN} に、それぞれ電圧 V_{FP} および V_{FN} を印加する。電圧 V_{FP} および V_{FN} は、ハイレベルまたはローレベルである。制御回路20が電圧 V_{FP} としてハイレベルを出力し、電圧 V_{FN} としてローレベルを出力すると

50

、インバータ回路 10 は通常のインバータとして動作する。これをインバータモードという。制御回路 20 が電圧 V_{FP} としてローレベルを出力し、電圧 V_{FN} としてハイレベルを出力すると、インバータ回路 10 はシュミットトリガインバータとして動作する。これをシュミットトリガモードという。なお、ハイレベルおよびローレベルは、例えば電源線 36 およびグランド線 38 の電圧に相当する。インバータモードにおいて、ハイレベルがローレベルより高い電圧であればよい。また、シュミットトリガモードにおいても、ハイレベルがローレベルより高い電圧であればよい。インバータモードのハイレベルとシュミットトリガモードのハイレベルは同じ電圧でもよく、異なった電圧でもよい。インバータモードのローレベルとシュミットトリガモードのローレベルは同じ電圧でもよく、異なった電圧でもよい。例えば、ハイレベルは電源から供給される電源電圧 V_{DD} (例えば図 17 (a) を参照) でもよく、ローレベルはグランドの電圧でもよい。

【0038】

電源供給回路 30 は、電源線 36 とグランド線 38 との間に電源電圧を供給する。電源供給回路 30 は、例えば電子回路に供給されている電源電圧から仮想電源電圧 V_{VDD} を生成し電源線 36 に供給する。また電源供給回路 30 は、仮想電源電圧 V_{VDD} として第 1 電圧と第 1 電圧より高い第 2 電圧とを切り替える。電源供給回路 30 は、例えば後述するパワースイッチ、電圧レギュレータまたは DC (Direct Current) - DC コンバータなどである。

【0039】

図 1 (a) において、電源供給回路 30 は、電源線 36 に接続されており、電源線 36 とグランド線 38 との間に供給される電源電圧を低くするときに電源線 36 の仮想電源電圧 V_{VDD} を低くし、電源電圧を高くするときに仮想電源電圧 V_{VDD} を高くしている。図 1 (b) に示すように、電源供給回路 30 は、グランド線 38 に接続されており、電源線 36 とグランド線 38 との間に供給される電源電圧を低くするときにグランド線 38 の仮想グランド電圧 V_{GND} を高くし、電源電圧を高くするときに仮想グランド電圧 V_{GND} を低くしてもよい。電源供給回路 30 は仮想電源電圧 V_{VDD} と仮想グランド電圧 V_{GND} の両方を切り替えてもよい。

【0040】

図 2 (a) および図 2 (b) は、実施例 1 の変形例 1 に係る電子回路の回路図である。図 2 (a) に示すように、電子回路 100a において、制御回路 20 はインバータ 22 および 24 を備えている。インバータ 24 の入力ノードには制御信号 $CTRL$ が入力する。インバータ 24 の出力ノードは制御ノード N_{FP} に接続されている、インバータ 22 の入力ノードはインバータ 24 の出力ノードに接続され、出力ノードは制御ノード N_{FN} に接続されている。インバータ 22 および 24 には仮想電源電圧 V_{VDD} が供給されている。その他の構成は図 1 (a) と同じであり説明を省略する。制御信号 $CTRL$ がハイレベルのときインバータ回路 10 はシュミットトリガモードとなり、ローレベルのときインバータ回路 10 はインバータモードとなる。

【0041】

図 2 (b) に示すように、電子回路 100b においては、インバータ 24 の出力ノードは制御ノード N_{FN} に接続されている、インバータ 22 の入力ノードはインバータ 24 の出力ノードに接続され、出力ノードは制御ノード N_{FP} に接続されている。制御信号 $CTRL$ がローレベルのときインバータ回路 10 はシュミットトリガモードとなり、ハイレベルのときインバータ回路 10 はインバータモードとなる。図 2 (a) のように、制御信号 $CTRL$ は制御ノード N_{FP} 側から入力してもよい。また、図 2 (b) のように、制御信号 $CTRL$ は制御ノード N_{FN} 側から入力してもよい。

【0042】

図 2 (a) の電子回路 100a を用い、インバータ特性をシミュレーションした。図 3 は、実施例 1 の変形例 1 におけるインバータ回路の伝達特性を示す図である。実線は、制御信号 $CTRL$ がローレベルであるインバータモードの伝達特性である。破線は制御信号 $CTRL$ がハイレベルであるシュミットトリガモードの伝達特性である。図 3 に示すよう

に、インバータモードでは、F E T 1 5 および 1 6 はそれぞれ中間ノード N m 1 および N m 2 をハイレベルおよびローレベルにしようとする。このため、伝達特性のヒステリシスがなく通常のインバータとして動作する。シュミットトリガモードでは、F E T 1 5 および 1 6 は、出力ノード N o u t の信号をそれぞれ中間ノード N m 1 および N m 2 に正にフィードバックする。このため、伝達特性にヒステリシスが生ずる。また、出力電圧 V o u t のハイレベルからローレベルへの変化およびローレベルからハイレベルへの変化が急峻である。このため、シュミットトリガモードでは、インバータ回路 1 0 は仮想電源電圧 V V D D が低いときにおいても安定に動作できる。

【 0 0 4 3 】

図 4 (a) および図 4 (b) は、実施例 1 の変形例 1 における時間に対する出力電圧を示した図である。一点鎖線は、入力電圧 V i n を、点線は F E T 1 5 および 1 6 を備えないインバータを、実線はインバータモードを、破線はシュミットトリガモードを示す。図 4 (a) は、入力電圧 V i n がローレベルからハイレベルに切り替わるときを示し、図 4 (b) は、ハイレベルからローレベルに切り替わるときを示す。図 4 (a) および図 4 (b) に示すように、シュミットトリガモードでは、インバータと比べ出力電圧 V o u t の切り替わりが遅い。インバータモードでは、F E T 1 5 および 1 6 がプルアップおよびプルダウンをアシストするため、インバータと同程度で出力電圧 V o u t が切り替わる。このように、シュミットトリガモードでは、動作速度が遅いが、インバータモードでは高速動作が可能となる。

【 0 0 4 4 】

図 5 (a) から図 5 (e) は、実施例 1 の変形例 1 におけるタイミングチャートである。図 5 (a) は、時間に対する制御ノード N F N および N F P の電圧 V F N および V F P を示す図、図 5 (b) は、時間に対する制御信号 C T R L および仮想電源電圧 V V D D を示す図、図 5 (c) は、時間に対する出力電圧 V o u t および入力電圧 V i n を示す図、図 5 (d) は、時間に対するインバータ回路 1 0 、インバータ 2 2 および 2 4 のスイッチングにともなう貫通電流を示す図、図 5 (e) は、時間に対する消費電流を示す図である。図 5 (e) において、各電圧が切り替わったときの過度応答はシミュレーションの都合上正確ではないが、安定した後の電流値は正確である。

【 0 0 4 5 】

図 5 (b) において制御信号 C T R L がハイレベルの期間がシュミットトリガモード、ローレベルの期間がインバータモードである。インバータモードにおいては、図 5 (a) に示すように、電圧 V F P はハイレベル、電圧 V F N はローレベルである。図 5 (c) に示すように、入力電圧 V i n がローレベルのとき出力電圧 V o u t はハイレベル、入力電圧 V i n がハイレベルのとき出力電圧 V o u t はローレベルである。図 5 (d) に示すように、インバータ回路 1 0 、インバータ 2 2 および 2 4 の出力が切り替わるときに貫通電流が流れる。図 5 (e) に示すように、消費電流は 2 2 9 n A である。

【 0 0 4 6 】

シュミットトリガモードにおいて、図 5 (b) に示すように、仮想電源電圧 V V D D を 1 . 2 V から順次切り替え 0 . 8 V および 0 . 3 V に設定した。1 . 2 V は、インバータ回路 1 0 が通常動作する仮想電源電圧 V V D D である。0 . 8 V は、通常のインバータをいわゆるスリープモードとして動作させるときの仮想電源電圧 V V D D に相当する。0 . 3 V は、通常のインバータは動作しない仮想電源電圧 V V D D である。図 5 (a) および図 5 (c) のように、電圧 V F N および出力電圧 V o u t は仮想電源電圧 V V D D ともない低くなる。図 5 (e) のように、仮想電源電圧 V V D D が 0 . 8 V のとき、消費電流は 6 7 n A 、仮想電源電圧 V V D D が 0 . 3 V のとき消費電流は 8 n A となる。よって、シュミットトリガモードにおいて仮想電源電圧 V V D D を低く (例えば 0 . 3 V) することにより、消費電力を抑制できる。例えば、インバータモードでは、仮想電源電圧 V V D D を 1 . 2 V とし高速動作させ、シュミットトリガモードでは、仮想電源電圧 V V D D を 0 . 3 V とし消費電力を削減できる。シュミットトリガモードにおいて仮想電源電圧 V V D D を 0 . 3 V に低下させたときの消費電力は、インバータモードにおいて仮想電源電

10

20

30

40

50

圧 V_{DD} を 1.2 V としたときの数 % となる。また、通常のインバータのスリープモードと比べても消費電力を低減できる。さらに低電圧動作も可能である。

【0047】

実施例 1 によれば、インバータ回路 10 は、電源電圧が供給される電源線（正電源）とグランド線（負電源）との間に接続され、シュミットトリガモード（第 1 モード）と、インバータモード（第 2 モード）と、が切り替わる。制御回路 20 は、インバータ回路 10 をシュミットトリガモードとする第 1 信号と、インバータモードとする第 2 信号と、を出力する。電源供給回路 30 は、シュミットトリガモードのとき電源電圧として第 1 電圧を供給し、インバータモードのとき第 1 電圧より高い第 2 電圧を供給する。これにより、インバータ回路 10 をインバータモードおよびシュミットトリガモードとして動作させることができる。インバータモードにおいては、インバータ回路 10 は高速動作可能となる。シュミットトリガモードでは、インバータ回路 10 は低電源電圧でも動作可能なヒステリシスを有する急峻な伝達特性を有し、消費電力を抑制できる。第 1 モードは伝達特性にヒステリシスを有するモードでありかつ第 2 モードは伝達特性にヒステリシスがないモードである、および / または、第 1 モードは第 2 モードより伝達特性の入力電圧に対する出力電圧の変化が急峻であればよい。例えば、記憶回路では、シュミットトリガモードにおいて、ヒステリシスが大きく急峻であることが好ましい。ロジック回路では、シュミットトリガモードにおいて、インバータモードより伝達特性が急峻であることが好ましい。

10

【0048】

インバータ回路 10 の回路構成は図 1 (a) および図 1 (b) には限られず、制御回路 20 からの信号により、伝達特性のヒステリシスの有無が切り替わる回路であればよい。例えば、FET 15、16 は、FET 11 および 12 と、FET 13 および 14 と、に、出力ノード N_{out} の信号を制御回路 20 から入力する第 1 信号および第 2 信号に応じフィードバックするフィードバック回路であればよい。また、図 1 (a) および図 1 (b) のような回路構成のインバータ回路 10 では、制御回路 20 は、第 1 信号および第 2 信号として、FET 15 および 16 の制御ノード N_{FP} および N_{FN} に、ハイレベルおよびローレベルを切り替えて出力する。これにより、インバータ回路 10 の伝達特性におけるヒステリシスの有無を切り替えることができる。

20

【0049】

制御回路 20 は、インバータモードとする第 2 信号として、FET 15 の制御ノード N_{FP} にハイレベルを出力し、FET 16 の制御ノード N_{FN} にローレベルを出力する。また、制御回路 20 は、シュミットトリガモードとする第 1 信号として、FET 15 の制御ノード N_{FP} にローレベルを出力し、FET 16 の制御ノード N_{FN} にハイレベルを出力する。これにより、FET 15 および 16 は、制御ノード N_{FP} および N_{FN} に第 2 信号が入力したとき、インバータ回路 10 をインバータモードとし、制御ノード N_{FP} および N_{FN} に第 1 信号が入力したとき、インバータ回路 10 をシュミットトリガモードとすることができる。

30

【0050】

さらに、制御回路 20 は、FET 15 の制御ノード N_{FP} と FET 16 の制御ノード N_{FN} との間に接続されたインバータ（反転回路）22 を備える。これにより、制御回路 20 は、制御ノード N_{FP} と N_{FN} の電圧を簡単に反転できる。

40

【0051】

シミュレーションでは、インバータ 22 および 24 の電源電圧を仮想電源電圧 V_{DD} としているが任意の電源電圧でもよい。また、制御回路 20 は、インバータ 22 および 24 を用いずに第 1 信号および第 2 信号を生成してもよい。例えば、制御回路 20 は、NAND 回路および / または NOR 等の論理ゲートを組み合わせた回路でもよい。

【0052】

図 5 (b) のように、電源供給回路 30 は、制御回路 20 がインバータ回路 10 をシュミットトリガモードとする第 1 信号を出力した後に、仮想電源電圧 V_{DD} を高い第 2 電圧から低い第 1 電圧に切り替える。電源供給回路 30 は、制御回路 20 がインバータ回路

50

10をインバータモードとする第2信号を出力する前に、仮想電源電圧 V_{DD} を低い第1電圧から高い第2電圧に切り替える。これにより、仮想電源電圧 V_{DD} が低い第1電圧の間、インバータ回路10を安定に動作できる。例えば、後述する実施例2では、双安定回路がデータを安定に保持できる。なお、インバータモードの伝達特性は、ヒステリシスが狭い伝達特性でもよい。実質的にヒステリシスがなければよい。例えばシュミットリガモードのように、意図的にヒステリシスを形成してなければよい。

【実施例2】

【0053】

実施例2は、実施例1のインバータ回路を用いた記憶回路の例である。図6(a)は、実施例2に係る電子回路の記憶セルを示す回路図、図6(b)は電子回路を示す回路図である。図6(a)に示すように、電子回路104は、記憶セル102、制御回路20および電源供給回路30を備える。記憶セル102は、インバータ回路10aおよび10b、FET41および42を備える。インバータ回路10aおよび10bは実施例1のインバータ回路10である。インバータ回路10aおよび10bはループ状に接続され、双安定回路40を形成する。すなわち、インバータ回路10aの出力ノード N_{out} がインバータ回路10bの入力ノード N_{in} に接続され、インバータ回路10bの出力ノード N_{out} がインバータ回路10aの入力ノード N_{in} に接続されている。インバータ回路10aおよび10bの出力ノード N_{out} はそれぞれ記憶ノード N_2 および N_1 となる。FET41および42はNチャネルFETである。FET41のソースおよびドレインの一方は記憶ノード N_2 に、ソースおよびドレインの他方はビット線 BL に、ゲートはワード線 WL に接続されている。FET42のソースおよびドレインの一方は記憶ノード N_1 に、ソースおよびドレインの他方はビット線 BLB に、ゲートはワード線 WL に接続されている。

【0054】

図6(b)に示すように、電子回路104は、メモリ領域70、列ドライバ71、行ドライバ72および制御部73を備えている。メモリ領域70内には記憶セル102がマトリックス状に配列されている。列ドライバ71は、アドレス信号により列を選択し、選択した列のビット線 BL および BLB に電圧等を印加する。行ドライバ72は、アドレス信号により行を選択し、選択した行のワード線 WL に電圧を、選択した行の制御線に電圧 V_{FP} および V_{FN} を印加する。制御部73は、列ドライバ71および行ドライバ72等を制御する。制御部73は、読み出し回路および書き込み回路(不図示)を用い、例えばワード線 WL とビット線 BL および BLB とにより選択された記憶セル102にデータの書き込みおよび記憶セル102からデータの読み出しを行なう。

【0055】

制御回路20および電源供給回路30の機能は実施例1およびその変形例と同じである。制御回路20は、行ごとに設けられていてもよいし、記憶セル102ごとに設けられていてもよい。簡略化の観点から、制御回路20は行ごとに設けることが好ましい。電源供給回路30は、メモリ領域70内の記憶セル102に共通に設けられていてもよいし、メモリ領域70を複数の領域に分割し、分割された領域ごとに設けられていてもよい。例えば、電源供給回路30は、行ごとに設けられていてもよい。

【0056】

記憶セル102の特性をシミュレーションした。図7(a)および図7(b)は、実施例2における記憶セルの特性を示す図であり、記憶ノード N_1 の電圧 V_1 に対する記憶ノード N_2 の電圧 V_2 を示す図である。図7(a)は、はじめに記憶ノード N_2 が記憶点になっていた(すなわち、記憶ノード N_2 がハイレベルとなっている)ときを示す。図7(b)は、はじめに記憶ノード N_1 が記憶点になっていた(すなわち、記憶ノード N_1 がハイレベルとなっている)ときを示す。仮想電源電圧 V_{DD} は0.3Vとしてシミュレーションした。

【0057】

図7(a)および図7(b)に示すように、インバータモードでは、記憶ノード N_1 と

N 2 に対し対称な特性となる。一方、シュミットトリガモードでは、記憶点を有する側のパタフライカーブの開口が大きくなる。これは、図 3 のように、シュミットトリガモードでは、インバータ回路 10 の伝達特性にヒステリシスを有するためである。さらに、パタフライカーブの開口が正方形に近い。これは、図 3 のように、入力電圧 V_{in} に対し出力電圧 V_{out} が急峻に変化するためである。開口の中に入る正方形の辺の長さがノイズマージンに対応する。すなわち、正方形が大きいとノイズマージンが大きいことを示す。図 7 (b) の実線 80 および破線 82 の正方形は、それぞれインバータモードおよびシュミットトリガモードのノイズマージンを示す。インバータモードでは、仮想電源電圧 V_{DD} を $0.3V$ とすると、ノイズマージンが小さくなる。このため、仮想電源電圧 V_{DD} を $0.3V$ とすると、記憶ノード N 1 および N 2 のデータを安定に保持できなくなる。シュミットトリガモードでは、仮想電源電圧 V_{DD} を $0.3V$ としてもノイズマージンが 2 倍程度大きい。このため、仮想電源電圧 V_{DD} を $0.3V$ としても記憶ノード N 1 および N 2 のデータをより安定に保持できる。

10

【 0058 】

図 8 (a) および図 8 (b) は、実施例 2 におけるそれぞれインバータモードおよびシュミットトリガモードにおける記憶セルの特性を示す図である。図 8 (a) に示すように、インバータモードにおいては、仮想電源電圧 V_{DD} を $0.3V$ 、 $0.2V$ および $0.15V$ と小さくするとノイズマージンが低下する。図 8 (b) に示すように、シュミットトリガモードでは、仮想電源電圧 V_{DD} が $0.3V$ 、 $0.2V$ および $0.15V$ における記憶点側のノイズマージンはインバータモードより大きい。どの仮想電源電圧 V_{DD} でもインバータモードに比べて角型に近い。

20

【 0059 】

実施例 2 によれば、電子回路 104 は、インバータ回路 10a (第 1 インバータ) およびインバータ回路 10b (第 2 インバータ) をループ状に接続した双安定回路 40 を備える。これにより、シュミットトリガモードのときに、仮想電源電圧 V_{DD} を低くしても双安定回路 40 のデータを安定に保持できる。このため、仮想電源電圧 V_{DD} を低くしてデータの保持を行なえば、データ保持時の待機時電力を抑制できる。インバータモードのときに、仮想電源電圧 V_{DD} を高くし、高速動作が可能となる。

【 0060 】

図 9 (a) および図 9 (b) は、それぞれ実施例 2 の変形例 1 および 2 に係る電子回路を示す回路図である。図 9 (a) に示すように、電子回路 104a において、インバータ回路 10a および 10b に FET 12 および 15 が設けられていない。制御回路 20 はインバータ 26 を有する。制御回路 20 の出力はインバータ回路 10a および 10b の制御ノード NFN に接続されている。その他の構成は実施例 2 と同じであり、説明を省略する。図 9 (b) に示すように、電子回路 104b において、インバータ回路 10a および 10b に FET 13 および 16 が設けられていない。制御回路 20 の出力はインバータ回路 10a および 10b の制御ノード NFP に接続されている。その他の構成は実施例 2 と同じであり、説明を省略する。なお、実施例 2 の変形例 1 および 2 において、インバータ 26 を備えず、制御信号 CTRL が直接制御ノード NFN または NFP に入力してもよい。

30

【 0061 】

実施例 2 の変形例 1 および 2 のように、P チャネル FET および N チャネル FET のうち一方が複数接続され、他方は 1 個でもよい。FET 15 または 16 は、複数接続された FET にのみ接続されていればよい。このように、フィードバック回路が P チャネル FET および N チャネル FET のうち一方にのみフィードバックする場合においても、インバータモードとシュミットトリガモードとの切り替えを行なうことができる。

40

【 0062 】

実施例 2 の変形例 3 および 4 は、ラッチ回路の例である。図 10 は、実施例 2 の変形例 3 に係る電子回路の回路図である。図 10 に示すように、電子回路 106a は、双安定回路 40、パスゲート 44、45、制御回路 20、電源供給回路 30 およびクロック供給回路 46 を備える。双安定回路 40 は、インバータ回路 10a および 10b がループ状に接

50

続されている。パスゲート44は、双安定回路40の記憶ノードN1と入力ノードDinとの間に接続されている。パスゲート45はループ内に接続されている。制御回路20は、インバータ回路10aおよび10b内の制御ノードNF PおよびNF Nに電圧VF PおよびVF Nを印加する。電源供給回路30は、電源線36に仮想電源電圧VVD Dを供給する。クロック供給回路46は、インバータ47および48を備える。クロック供給回路46は、クロック信号CLKからクロックCおよびCBを生成し、パスゲート44および45にクロックCおよびCBを供給する。

【0063】

図11は、実施例2の変形例4に係る電子回路の回路図である。図11に示すように、電子回路106bにおいては、パスゲート44がFET61から64が電源とグランド間に直列に接続された回路44aに置き換わっている。FET61および62はPチャネルFET、FET63および64はNチャネルFETである。FET61および64のゲートは入力ノードDinに接続されている。FET62および63のゲートにはそれぞれクロックCBおよびCが入力する。FET62および63の代わりにFET61および64のゲートにそれぞれクロックCBおよびCが入力し、FET62および63のゲートは入力ノードDinに接続されていてもよい。FET62および63のドレインは記憶ノードN1に接続されている。インバータ回路10bのFET12および13のゲートにそれぞれクロックCおよびCBが入力する。インバータ回路10bのFET12および13の代わりにFET11および14のゲートにそれぞれクロックCおよびCBが入力し、FET12および13のゲートは記憶ノードN2に接続されていてもよい。その他の構成は実施例2の変形例3と同じであり説明を省略する。実施例2の変形例3および4のように、ラッチ回路に実施例1およびその変形例のインバータ回路を用いることができる。

【0064】

図12(a)から図12(e)は、実施例2の変形例3におけるタイミングチャートである。図12(a)は、時間に対する制御ノードNF NおよびNF Pの電圧VF NおよびVF Pを示す図、図12(b)は、時間に対する制御信号CTRL、クロック信号CLKおよび仮想電源電圧VVD Dを示す図、図12(c)は、時間に対する記憶ノードN1およびN2の電圧V1およびV2を示す図、図12(d)は、時間に対する電源線36からグランド線38への貫通電流を示す図、図12(e)は、時間に対する消費電流を示す図である。図12(e)において、各電圧が切り替わったときの過度応答はシミュレーションの都合上正確ではないが、安定した後の電流値は正確である。

【0065】

インバータモードにおいては、図12(e)に示すように、消費電流は188nAである。シュミットリガモードにおいて、図12(b)に示すように、仮想電源電圧VVD Dを1.2Vから0.3Vに切り替えると、図12(a)および図12(c)のように、電圧VF Nおよび電圧V2は低くなる。図12(e)のように、仮想電源電圧VVD Dが0.3Vのとき消費電流は5.5nAとなる。このように、シュミットリガモードとし、仮想電源電圧VVD Dを低くすると消費電力を抑制できる。制御回路20およびクロック供給回路46は、ラッチ回路ごとに設けてもよいし、複数のラッチ回路ごとにまとめて設けてもよい。

【0066】

実施例2の変形例5および6は、マスタスレーブ型フリップフロップ回路の例である。図13は、実施例2の変形例5に係る電子回路の回路図である。図13に示すように、電子回路115は、ラッチ回路(Dラッチ回路)97および98を備えている。ラッチ回路97は、実施例2と同様の双安定回路40、パスゲート44および45を備えている。記憶ノードN1はインバータ91を介しQB信号となる。記憶ノードN2はインバータ92を介しQ信号となる。記憶ノードN1は、パスゲート45を介しラッチ回路98に接続される。

【0067】

ラッチ回路98は、双安定回路90a、パスゲート95および96を備えている。双安

10

20

30

40

50

定回路 90 a は、モードを切り替えない通常のインバータ 99 a および 99 b がループ状に接続されている。双安定回路 90 a のループ内にパスゲート 96 が接続されている。双安定回路 90 a には、インバータ 93 およびパスゲート 95 を介しデータ D が入力する。ラッチ回路 97、98 およびクロック供給回路 46 は電源線 36 およびグランド線 38 に接続されている。電源線 36 には、仮想電源電圧 V_{DD} または電源電圧 V_{DD} が供給され、グランド線 38 には、仮想グランド電圧 V_{GND} またはグランド電圧 GND が供給される。制御回路 20 には、電圧 V_A および V_B が供給される。 V_A は、例えば仮想電源電圧 V_{DD} または電源電圧 V_{DD} であり、 V_B は例えば仮想グランド電圧 V_{GND} またはグランド電圧 GND である。 V_A および V_B は、他の 2 値または 3 値の電圧でもよい。

【0068】

実施例 2 の変形例 5 のように、マスタスレーブ型フリップフロップ回路のラッチ回路 97 に実施例 2 の変形例 3 または 4 のラッチ回路を用いることができる。これにより、インバータ回路 10 a および 10 b をシュミットトリガモードとすることで、電源線 36 とグランド線 38 との間に供給される電圧を低くしても、ラッチ回路 97 のデータが保持される。データ保持のためには、ラッチ回路 97 がデータを保持すればよいため、ラッチ回路 98 のインバータ 99 a および 99 b は、シュミットトリガモードとして動作しない通常のインバータ回路でもよい。

【0069】

図 14 は、実施例 2 の変形例 6 に係る電子回路の回路図である。図 14 に示すように、電子回路 116 においては、ラッチ回路 98 の双安定回路 90 に用いられるインバータ回路 10 a および 10 b が実施例 1 およびその変形例に係るインバータ回路である。その他の構成は、実施例 2 の変形例 5 と同じであり説明を省略する。

【0070】

実施例 2 の変形例 6 では、ラッチ回路 97 および 98 の双安定回路 40 および 90 のインバータ回路 10 a および 10 b はいずれも実施例 1 およびその変形例に係るインバータ回路である。これにより、実施例 5 において後述するように、シュミットトリガモードにおいて、電子回路 116 は、安定に低電圧動作することができる。

【0071】

実施例 2 の変形例 5 において、制御信号 $CTRL$ とクロック信号 CLK とを同期させる例を説明する。図 15 (a) および図 15 (b) は、実施例 2 の変形例 5 の制御回路を示す回路図であり、図 15 (c) は、タイミングチャートである。図 15 (a) に示すように、制御回路 117 は、電源供給回路 30、クロック供給回路 46 および制御回路 20 を備える。電源供給回路 30 として、後述する実施例 3 のようなパワースイッチ 32 を用いる。パワースイッチ 32 は P チャネル FET であり、仮想電源電圧 V_{DD} の電源線 36 と電源電圧 V_{DD} の電源との間に接続されている。仮想電源電圧 V_{DD} がクロック供給回路 46 および制御回路 20 に接続されている。イネーブル信号 EN とパワーゲーティング補信号 PGB が NOR 回路 74 に入力し、NOR 回路 74 の出力がパワースイッチ制御信号 VPS となる。クロック供給回路 46 は、NAND 回路 48 a を有し、NAND 回路 48 a にイネーブル信号 EN とクロック信号 CLK が入力する。制御回路 20 のインバータ 24 にはイネーブル信号 EN が入力する。制御回路 20 およびクロック供給回路 46 のその他の構成は実施例 2 と同じであり説明を省略する。

【0072】

図 15 (b) に示すように、制御回路 117 a には、NOR 回路 74 が設けられていない。パワーゲーティング信号 PG がパワースイッチ制御信号 VPS としてパワースイッチ 32 のゲートに入力する。イネーブル信号 EN が NAND 回路 48 a およびインバータ 24 に入力する。その他の構成は図 15 (a) と同じであり説明を省略する。

【0073】

図 15 (c) に示すように、イネーブル信号 EN およびパワーゲーティング補信号 PGB がハイレベル（またはパワースイッチ制御信号 VPS がローレベル）のとき、クロック供給回路 46 は、クロック C および CB を供給し、制御回路 20 は、インバータモードと

10

20

30

40

50

なる信号（すなわち電圧 V_{FP} がハイレベル、電圧 V_{FN} がローレベル）を出力する。パワースイッチ 32 はオンしており、仮想電源電圧 V_{VDD} は高い電圧である。

【0074】

時間 t_1 において、イネーブル信号 E_N がローレベルとなる。クロック供給回路 46 はクロック C および CB の供給を停止する。制御回路 20 は、シュミットトリガモードとなる信号（すなわち電圧 V_{FP} がローレベル、電圧 V_{FN} がハイレベル）を出力する。これにより、双安定回路 40 のインバータ回路 10a および 10b はシュミットトリガモードとなる。時間 t_2 において、パワーゲーティング補信号 PGB がローレベル（またはパワースイッチ制御信号 VPS がハイレベル）となる。これにより、パワースイッチ 32 が遮断し、仮想電源電圧 V_{VDD} として低電圧が供給される。ラッチ回路 97 は、低電圧でデータを保持する。

10

【0075】

時間 t_3 において、パワーゲーティング補信号 PGB がハイレベル（またはパワースイッチ制御信号 VPS がローレベル）となる。これにより、パワースイッチ 32 がオンし、仮想電源電圧 V_{VDD} は高電圧となる。時間 t_4 において、イネーブル信号 E_N がハイレベルとなる。クロック供給回路 46 はクロック C および CB の供給を開始する。制御回路 20 は、インバータモードとなる信号（電圧 V_{FP} および V_{FN} ）を供給する。

【0076】

図 16 (a) および図 16 (b) は、実施例 2 の変形例 5 の制御回路を示す別の回路図であり、図 16 (c) は、タイミングチャートである。図 16 (a) に示すように、制御回路 118 において、パワースイッチ 32 は、 N チャネル FET であり、グランド線 38 とグランド電圧 GND との間に接続されている。 NOR 回路 74 の代わりに OR 回路 75 が設けられている。その他の構成は図 15 (a) と同じであり説明を省略する。

20

【0077】

図 16 (b) に示すように、制御回路 118a には、 OR 回路 75 が設けられていない。パワーゲーティング補信号 PGB がパワースイッチ制御信号 VPS としてパワースイッチ 32 のゲートに入力する。イネーブル信号 E_N が $NAND$ 回路 48a およびインバータ 24 に入力する。その他の構成は図 16 (a) と同じであり説明を省略する。

【0078】

図 16 (c) に示すように、パワーゲーティング補信号 PGB がハイレベルのときパワースイッチ制御信号 VPS がハイレベルとなり、パワーゲーティング補信号 PGB がローレベルのときパワースイッチ制御信号 VPS がローレベルとなる。その他の動作は図 15 (c) と同じであり説明を省略する。

30

【0079】

図 13 および図 14 のように、インバータ回路 10a および 10b により形成されるループ内にクロック C および CB に同期しオンおよびオフするパスゲート 45 (スイッチ) を備える。図 15 (a) から図 16 (c) のように、クロック供給回路 46 は、インバータ回路 10a および 10b がインバータモードのときパスゲート 44 および 45 にクロック C および CB を供給し、シュミットトリガモードのときパスゲート 44 および 45 にクロック C および CB を供給しない。このように、クロック供給回路 46 のクロック C および CB の供給と、制御回路 20 の制御信号（電圧 V_{FP} および V_{FN} ）の供給を同期させてもよい。

40

【0080】

また、シュミットトリガモードのときに、クロック供給回路 46 がクロック C および CB の供給を停止（クロックゲーティング）し、かつ電源供給回路 30 が仮想電源電圧 V_{VDD} を低くまたは仮想グランド電圧 V_{GND} を高くする。これにより、リーク電流を削減できる。このように、記憶回路において、クロックゲーティングを行なうときにシュミットトリガモードとし、かつパワーゲーティングを行なう。これにより、ダイナミックパワーとスタティックパワーの両方を削減できる。

【0081】

50

以上のように、電源供給回路30は、クロック供給回路46がクロック信号を供給しないとき電源電圧として第1電圧を供給し、クロック供給回路46がクロック信号を供給するとき電源電圧として第1電圧より高い第2電圧を供給する。このように、記憶回路において、クロックゲーティングとパワーゲーティングを同時に行なう。このような動作は、シュミットトリガモードとインバータモードとを有するインバータ回路を用い双安定回路40を形成することにより、可能となる。記憶セルに双安定回路のデータをストアする不揮発性メモリ素子を設けることにより、クロックゲーティングとパワーゲーティングを同時に行なってもよい。実施例2の変形例5は、不揮発性メモリ素子を用いないため、不揮発性メモリ素子を用いるのに比べ高速動作が可能となる。さらに、実施例2の変形例5は、電源遮断のときに不揮発性メモリ素子にデータをストアしないため、データストアにもなうエネルギー消費も小さい。これにより、頻りにパワーゲーティングを行ない、より効率的にエネルギー消費を削減できる。なお、不揮発性メモリ素子を用いずに、CMOS技術のみを用い、記憶回路においてクロックゲーティングとパワーゲーティングを同時に行なうことは、これまでできなかった。実施例1、2およびその変形例を用いることにより、はじめて可能となった。

10

20

30

40

50

【実施例3】

【0082】

実施例3は、電源供給回路30としてパワースイッチを用いる例である。図17(a)および図17(b)は、実施例3に係る電子回路の回路図である。図17(a)に示すように、電子回路108aでは、電源供給回路30としてパワースイッチ32が設けられている。パワースイッチ32はPチャンネルFETである。パワースイッチ32のソースは電源電圧VDDの電源、ドレインは電源線36に接続されている。電源電圧VDDの電源は、例えば集積回路に供給される電源である。パワースイッチ32は、ゲートに入力する電源信号により、仮想電源電圧VVDの電圧を切り替える。パワースイッチ32をオンまたはオフすることで、パワースイッチ32とインバータ回路との分圧比が変わる。パワースイッチ32がオンのとき、仮想電源電圧VVDは電源電圧VDDに近い。パワースイッチ32がオフのときは、仮想電源電圧VVDは電源電圧VDDよりかなり低くなる。このとき、インバータ回路10に印加される電圧は、例えば、記憶回路では、シュミットトリガモードにおいてデータを保持できる電圧であり、ロジック回路では、シュミットトリガモードにおいて安定動作できる電圧である。その他の構成は実施例1の図2(b)と同じであり、説明を省略する。

【0083】

図17(b)に示すように、電子回路108bでは、電源供給回路30はグランド側に接続されたパワースイッチ32である。パワースイッチ32はNチャンネルFETである。パワースイッチ32のソースはグランド、ドレインはグランド線38に接続されている。グランドは、例えば集積回路に設けられるグランドである。パワースイッチ32は、ゲートに入力する電源信号により、仮想グランド電圧VGNの電圧を切り替える。パワースイッチ32をオンまたはオフすることで、パワースイッチ32とインバータ回路との分圧比が変わる。パワースイッチ32がオンのとき、仮想グランド電圧VGNはグランド電圧に近い。パワースイッチ32がオフのときは、仮想グランド電圧VGNはグランド電圧よりかなり高くなる。このとき、インバータ回路10に印加される電圧は、例えば、記憶回路では、シュミットトリガモードにおいてデータを保持できる電圧であり、ロジック回路では、シュミットトリガモードにおいて安定動作できる電圧である。その他の構成は図17(a)と同じであり、説明を省略する。

【0084】

図18は、実施例3の変形例1に係る電子回路の回路図である。図18に示すように、電子回路109では、電源供給回路30としてパワースイッチ32が設けられている。その他の構成は実施例2の図6(a)と同じであり説明を省略する。実施例3および変形例1のように、電源供給回路30はパワースイッチ32でもよい。パワースイッチ32が遮断されたときに仮想電源電圧VVDがデータの保持できる電圧とする(例えば、遮断時

にこのような仮想電源電圧 V_{DD} が得られるようにパワースイッチ 32 の大きさを設計することにより、パワースイッチ 32 を遮断しても記憶回路のデータを保持できる。パワースイッチ 32 は、グラウンド線 38 側のみに設けてもよく、電源線 36 側とグラウンド線 38 側の両方に設けてもよい。

【0085】

また、パワースイッチ 32 のソースとドレインとの間に、ダイオードを接続し、パワースイッチ 32 が遮断したときの仮想電源電圧 V_{DD} または仮想グラウンド電圧 V_{GND} を生成してもよい。ダイオードは MOSFET 等のトランジスタを用いて形成してもよい。さらに、パワースイッチ 32 のソースとドレインとの間に、電流源を接続し、パワースイッチ 32 が遮断したときの仮想電源電圧 V_{DD} または仮想グラウンド電圧 V_{GND} を生成してもよい。電流源は MOSFET 等のトランジスタを用いて形成してもよい。さらに、パワースイッチ 32 のゲートに印加される信号をハイレベルとローレベルの間の電圧とし、所望の仮想電源電圧 V_{DD} または仮想グラウンド電圧 V_{GND} を生成してもよい。

10

【実施例 4】

【0086】

実施例 4 は、記憶回路とロジック回路を有する電子回路の例である。図 19 (a) から図 19 (c) は、それぞれ実施例 4、実施例 4 の変形例 1 および実施例 4 の変形例 2 に係る電子回路の回路図である。図 19 (a) に示すように、電子回路 110a は記憶回路 50 およびロジック回路 52 を備えている。記憶回路 50 は、例えば、キャッシュメモリまたはレジスタであり、実施例 2 の SRAM 記憶回路または実施例 2 の変形例 2 および 3 のラッチ回路を有するフリップフロップを備える。記憶回路 50 およびロジック回路 52 には電源線 36 から仮想電源電圧 V_{DD} が供給される。電源供給回路 30 はパワースイッチ 32 を有する。パワースイッチ 32 は仮想電源電圧 V_{DD} を切り替えるまたは電源電圧を遮断する。電圧が低い仮想電源電圧 V_{DD} は、記憶回路 50 がシュミットトリガモードでデータを安定に保持できるようにパワースイッチ 32 が設計されている。また、ロジック回路 52 には後述する実施例 5 のロジック回路が搭載されていてもよい。これにより、シュミットトリガモードにおいて、ロジック回路 52 は、安定に低電圧動作することができる。

20

【0087】

記憶回路 50 とロジック回路 52 の組み合わせは、以下の 3 つが考えられる。第 1 に、記憶回路 50 はシュミットトリガモードとインバータモードとが切り替え可能であり、ロジック回路 52 は切り替えできない通常のロジック回路の場合である。第 2 に、記憶回路 50 は切り替えができない通常の記憶回路であり、ロジック回路 52 は切り替え可能な場合である。第 3 に、記憶回路 50 およびロジック回路 52 とともに切り替え可能な場合である。いずれの場合も切り替え可能な回路において、仮想電源電圧 V_{DD} の設計が重要となる。また、記憶回路 50 およびロジック回路 52 は複数のブロックを含んでもよい。さらに、記憶回路 50 に周辺回路が含まれていてもよい。

30

【0088】

実施例 4 によれば、記憶回路 50 およびロジック回路 52 に共通に仮想電源電圧 V_{DD} を供給するパワースイッチ 32 を備える。これにより、パワースイッチ 32 の数を減らせるため、小型化が可能となる。例えば、パワースイッチ 32 の占有面積を小さくできる。

40

【0089】

図 19 (b) に示すように、電子回路 110b においては、記憶回路 50 には電源線 36a から仮想電源電圧 V_{DD1} が供給され、ロジック回路 52 に電源線 36b から仮想電源電圧 V_{DD2} が供給される。電源供給回路 30 はパワースイッチ 32a および 32b を有する。パワースイッチ 32a および 32b は、それぞれ仮想電源電圧 V_{DD1} および V_{DD2} を切り替えるまたは電源電圧を遮断する。また、記憶回路 50 およびロジック回路 52 は複数のブロックを含んでもよい。さらに、記憶回路 50 に周辺回路が含まれていてもよい。その他の構成は実施例 4 と同じであり説明を省略する。

50

【0090】

実施例4の変形例1によれば、記憶回路50とロジック回路52に独立に仮想電源電圧V_{VDD1}およびV_{VDD2}を供給するパワースイッチ32aおよび32bを備える。これにより、記憶回路50とロジック回路52とで、異なる仮想電源電圧を異なる時間に切り替えることができる。

【0091】

図19(c)に示すように、電子回路110cにおいては、パワースイッチ32aは、電源電圧V_{VDD}の電源から記憶回路50に仮想電源電圧V_{VDD1}を供給し、パワースイッチ32bは、電源電圧V_{VDD}の電源からロジック回路52に仮想電源電圧V_{VDD2}を供給する。また、記憶回路50およびロジック回路52は複数のブロックを含んでもよい。さらに、記憶回路50に周辺回路が含まれていてもよい。その他の構成は実施例4の変形例1と同じであり説明を省略する。

10

【0092】

実施例4の変形例2によれば、電源線36aおよび36bを省略できるため、レイアウトが簡略化され、また、占有面積を小さくできる。

【0093】

実施例4およびその変形例においては、記憶回路50にシュミットトリガモードとインバータモードとの切り替え可能な回路が含まれる場合、データ保持できる仮想電源電圧V_{VDD}となるようにパワースイッチを設計する。ロジック回路52にシュミットトリガモードとインバータモードとの切り替え可能な回路が含まれる場合、低電圧動作が安定に可能となる仮想電源電圧V_{VDD}となるようにパワースイッチを設計する。また、パワースイッチは、1つのトランジスタで構成されていてもよいし、複数のトランジスタで構成されていてもよい。

20

【0094】

実施例4およびその変形例において、電源供給回路30をグランド側に設ける場合についても図19(a)から図19(c)と同様の構成とすることができる。すなわち、記憶回路50およびロジック回路52を共通のグランド線に接続し、グランド線とグランドとの間にパワースイッチ32を設けてもよい。また、記憶回路50およびロジック回路52をそれぞれグランド線に接続し、各グランド線とグランドとの間にそれぞれパワースイッチ32を設けてもよい。さらに、グランド線を設けず、記憶回路50およびロジック回路52とグランドとの間にそれぞれパワースイッチ32を設けてもよい。さらに、パワースイッチ32を電源側とグランド側の両方に設けてもよい。

30

【実施例5】

【0095】

シュミットトリガモードにおいて低消費電力(または消費エネルギーが最小になる電圧)で動作させる例である。図20は、実施例5におけるインバータ回路の伝達特性を示す図である。図20に示すように、実施例5では、実施例1に比べシュミットトリガモードにおけるヒステリシスを実施例1より小さくする。例えば、FET15および16などの設定および/または電圧V_{VFP}およびV_{VFN}の設定により、ヒステリシスの大きさを変えることができる。

40

【0096】

論理回路においては、シュミットトリガモードにおけるヒステリシスを小さくしてもよい。ヒステリシスが小さくても電圧の変化が急峻であれば、ノイズマージンが大きくなり、バラツキ耐性およびノイズ耐性に優れる。このため、低電源電圧における動作が可能となる。よって、シュミットトリガモードにおいて仮想電源電圧V_{VDD}を低くすれば、消費電力を抑制できる。例えば、仮想電源電圧V_{VDD}を、動作のエネルギー効率が極小となる電圧付近とすることができる。インバータモードにおいては、仮想電源電圧V_{VDD}を高くし、高速動作が可能となる。

【0097】

記憶回路においても、シュミットトリガモードにおいて、実施例1よりヒステリシスを

50

小さくし、仮想電源電圧 V_{DD} を、インバータモードより低くする。これにより、インバータモードよりは動作速度が遅いが、低消費電力で動作を行なうことができる。仮想電源電圧 V_{DD} は、実施例 1 のシュミットリガモードの仮想電源電圧 V_{DD} より高くてもよい。

【0098】

例えば、実施例 4 およびその変形例の記憶回路 50 内の記憶セルおよび / またはロジック回路 52 内の論理回路に実施例 5 を用いることができる。論理回路について NAND 回路を例に説明する。

【0099】

図 21 は、実施例 5 を用いた NAND 回路の回路図である。図 21 に示すように、電子回路 112 は、FET 11a から 16 を備える。電源線 36 と出力ノード N_{out} との間に、FET 11a と 12a が直列に、FET 11b と 12b が直列に接続され、FET 11a および 12a と、FET 11b および 12b と、が並列に接続されている。FET 11a と 12a との間のノードと、FET 11b と 12b との間のノードと、は共通化され中間ノード N_{m1} となる。

10

【0100】

出力ノード N_{out} とグラウンド線 38 との間に FET 13a から 14b が直列に接続されている。FET 13b と FET 14a との間のノードは中間ノード N_{m2} である。FET 11a から 14a のゲートは共通に入力ノード N_{in1} に接続され、FET 11b から 14b のゲートは共通に入力ノード N_{in2} に接続される。FET 15 および 16 の接続は実施例 1 と同じである。その他の構成は実施例 1 と同じであり、説明を省略する。

20

【0101】

電子回路 112 によれば、入力ノード N_{in1} および N_{in2} に A および B が入力する。出力ノード N_{out} には A と B の NAND である C が出力される。シュミットリガモードにおいて、仮想電源電圧 V_{DD} を低くする (例えば 0.3V) ことにより、動作速度は遅いが消費電力を削減できる。インバータモードにおいて、仮想電源電圧 V_{DD} を高くする (例えば 1.2V) ことにより、高速に動作することができる。以上 NAND 回路を例に説明したが、NAND 回路以外の論理回路 (例えば、OR 回路、AND 回路、XOR 回路、NOR 回路) にも実施例 5 を用いることができる。

30

【実施例 6】

【0102】

図 22 (a) は、実施例 6 に係る電子回路のブロック図、図 22 (b) は、実施例 6 の各モードの動作を示す図である。図 22 (a) に示すように、電子回路 114 は、記憶回路 86、制御回路 20 および電源供給回路 30 を備えている。記憶回路 86 は、実施例 2 およびその変形例の双安定回路 40 を有する。制御回路 20 は記憶回路 86 内のインバータ回路 10 のモードを切り替える信号を出力する。電源供給回路 30 は、電源線 36 に仮想電源電圧 V_{DD} を供給する。電源供給回路 30 がパワースイッチの場合、パワースイッチの接続は図 19 (a) から図 19 (c) のいずれでもよい。また、グラウンド側にパワースイッチを接続してもよく、グラウンド側と電源電圧 V_{DD} 側の両方にパワースイッチを接続してもよい。

40

【0103】

図 22 (b) に示すように、記憶回路 86 内のインバータ回路がインバータモード (第 2 モード) のとき、図 20 のようにヒステリシスはない。第 2 モードにおいて、電源供給回路 30 は仮想電源電圧 V_{DD} として高い電圧を供給すると、記憶回路 86 は高速で動作する。シュミットリガモードのときは第 1 モードと第 3 モードとがある。第 1 モードのとき、ヒステリシスは図 20 の実施例 1 のように大きい。電源供給回路 30 が仮想電源電圧 V_{DD} として低い電圧を供給すると、記憶回路 86 は低消費電力でデータを保持する。第 3 モードのとき、ヒステリシスは図 20 の実施例 5 のように第 1 モードより小さい。また、第 3 モードの伝達特性は第 2 モードより急峻であり、第 1 モードと同じか緩慢である。第 3 モードのとき、電源供給回路 30 が仮想電源電圧 V_{DD} として第 1 電圧より

50

高く第2電圧より低い第3電圧を供給すると、記憶回路86は低速ではあるが低消費電力でも安定に動作する。

【0104】

実施例6によれば、記憶回路86内のインバータ回路10は、第1モード、第2モード、および第3モードに切り替わる。制御回路20は、インバータ回路10に、第1信号および第2信号に加え、インバータ回路10を第3モードとする第3信号を出力する。電源供給回路30は、インバータ回路10が第3モードのとき仮想電源電圧 V_{DD} として第2電圧より低い第3電圧を供給する。記憶回路86を3つのモードで動作できる。実施例6では、第3電圧を第1電圧より高く設定しているが、第3電圧を第1電圧と同じまたは低くしてもよい。

10

【0105】

実施例1から6およびその変形例において説明した各FETは、MOSFET、MIS (Metal Insulator Semiconductor) FET、MES (Metal Semiconductor) FET、FinFET、トンネルFETなどの同等の動作ができる電界効果トランジスタであればよい。

【実施例7】

【0106】

実施例1および2では、図5(a)および図12(a)のように、電圧 V_{FN} および V_{FP} のハイレベルは仮想電源電圧 V_{DD} である。これは、例えば図2(a)の制御回路20(例えばインバータ22および24)に供給される電源電圧を仮想電源電圧 V_{DD} としているためである。さらに、制御回路20に仮想グランド電圧 V_{GND} が供給される場合、電圧 V_{FN} および V_{FP} のローレベルは仮想グランド電圧 V_{GND} となる。このように、制御回路20に仮想電源電圧 V_{DD} および仮想グランド電圧 V_{GND} を供給することにより、制御回路20の消費電力を削減できる。

20

【0107】

一方、制御回路20に供給される電源電圧およびグランド電圧を仮想電源電圧 V_{DD} および仮想グランド電圧 V_{GND} と異ならせることもできる。図23(a)および図23(b)は、実施例7に係る電子回路の回路図である。図23(a)に示すように、電子回路116aにおいて、電源供給回路30には電圧 V_{DD} が供給されている。インバータ22および24には、電源電圧として電圧 V_{DD2} が供給され、グランド電圧として電圧 V_{GND} が供給されている。電圧 V_{FP} および V_{FN} のローレベルおよびハイレベルはそれぞれ電圧 V_{GND} および電圧 V_{DD2} となる。その他の構成は実施例1の図2(a)と同じであり説明を省略する。例えば電圧 V_{DD2} を電源供給回路30に印加される電圧 V_{DD} とする。これにより、電源供給回路30が供給する仮想電源電圧 V_{DD} に関係なく、電圧 V_{FP} および V_{FN} のハイレベルを電圧 V_{DD} とすることができる。

30

【0108】

図23(b)に示すように、電子回路116bにおいて、電源供給回路30はグランド側に設けられている。電源供給回路30はグランド線38に仮想グランド電圧 V_{GND} を供給する。インバータ22および24には、電源電圧として電圧 V_{DD} が供給され、グランド電圧として電圧 V_{GND2} が供給されている。電圧 V_{FP} および V_{FN} のローレベルおよびハイレベルはそれぞれ電圧 V_{GND2} および電圧 V_{DD} となる。その他の構成は図23(a)と同じであり説明を省略する。例えば電圧 V_{GND2} を電源供給回路30に供給されるグランド電圧 V_{GND} とする。これにより、電源供給回路30が供給する仮想グランド電圧 V_{GND} に関係なく、電圧 V_{FP} および V_{FN} のローレベルをグランド電圧 V_{GND} とすることができる。

40

【0109】

実施例7によれば、電圧 V_{FP} および V_{FN} のハイレベルおよびローレベルを仮想電源電圧 V_{DD} およびグランド電圧 V_{GND} と異ならせることができる。例えば、電圧 V_{FP} および V_{FN} のハイレベルおよびローレベルをそれぞれ電圧 V_{DD} および V_{GND} とすることもできる。実施例2から実施例6およびその変形例においても、電圧 V_{FP} および V_{FN}

50

F Nは任意に設定できる。

【0110】

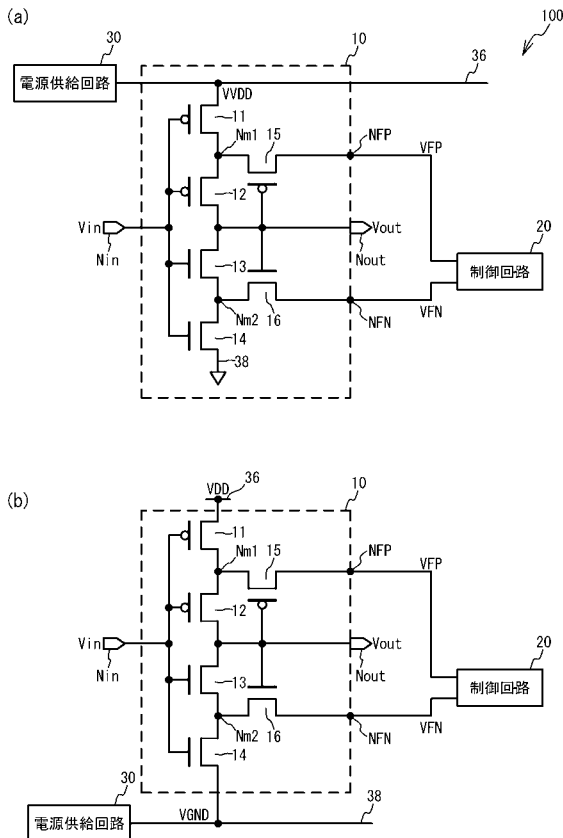
以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

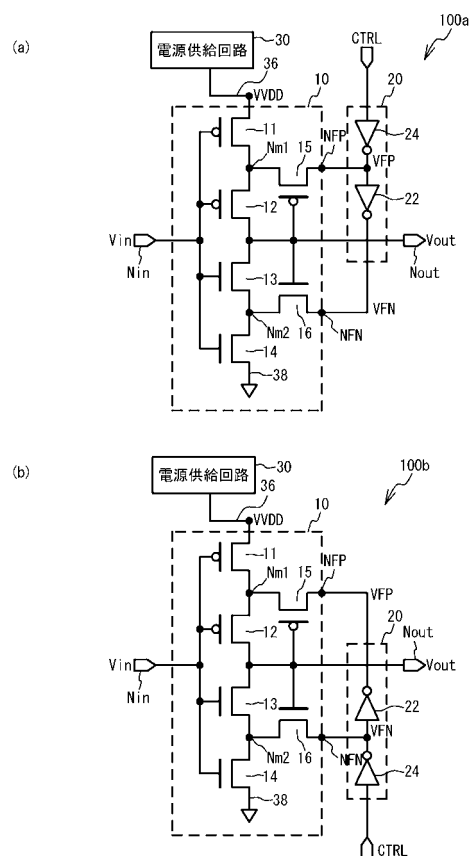
【0111】

- 10、10a、10b インバータ回路
- 11 - 16 FET
- 20 制御回路
- 22 - 26 インバータ
- 30 電源供給回路
- 40 双安定回路

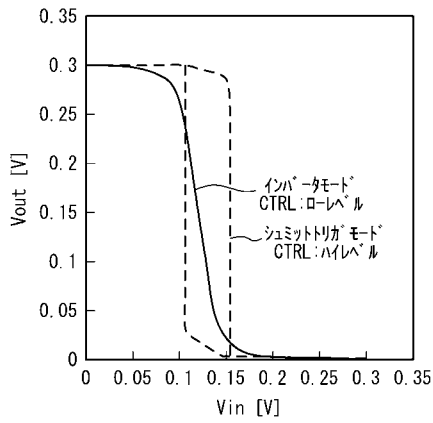
【図1】



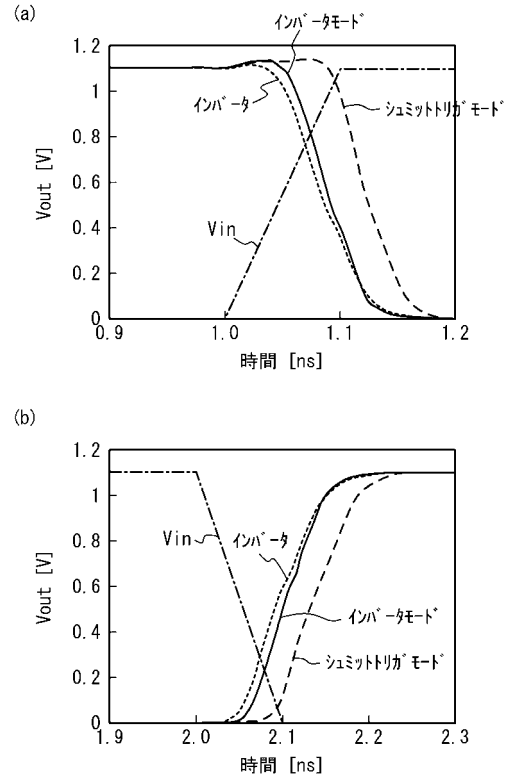
【図2】



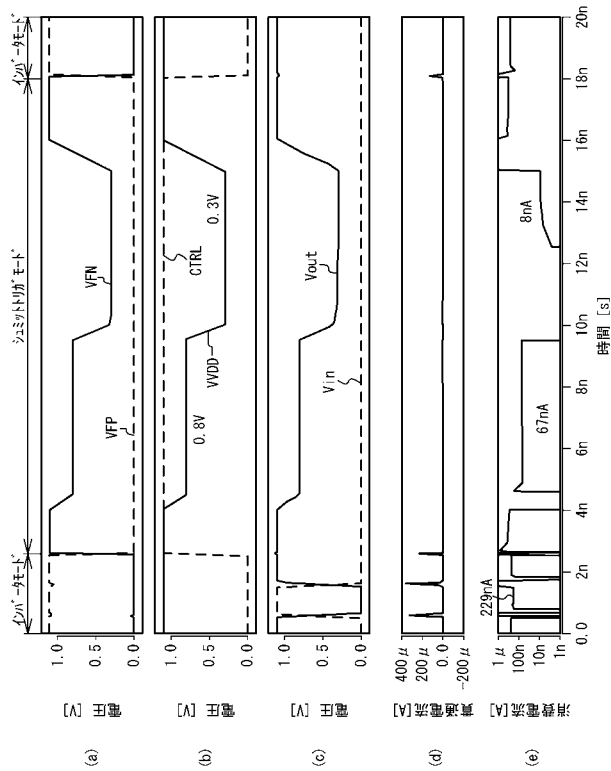
【図3】



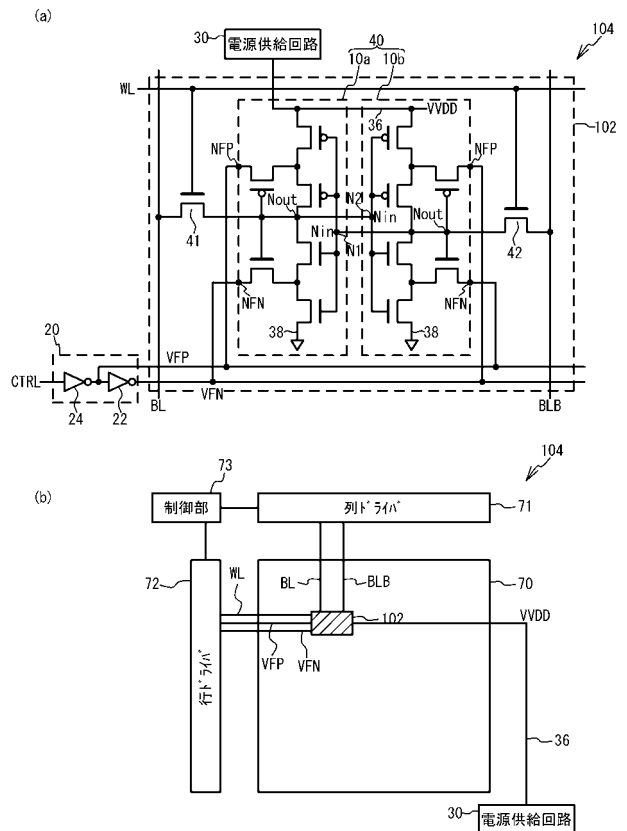
【図4】



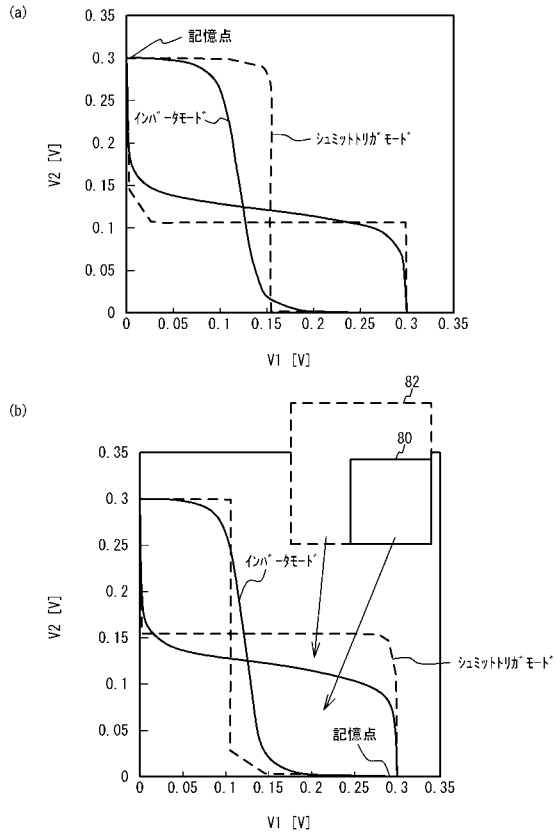
【図5】



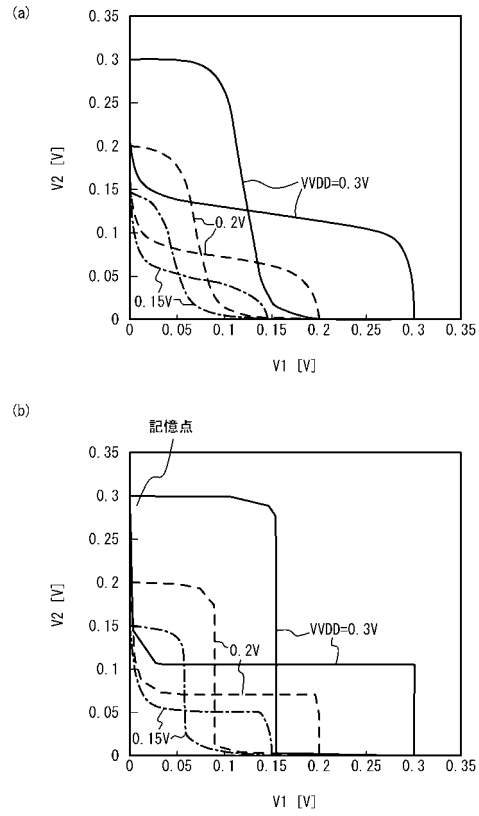
【図6】



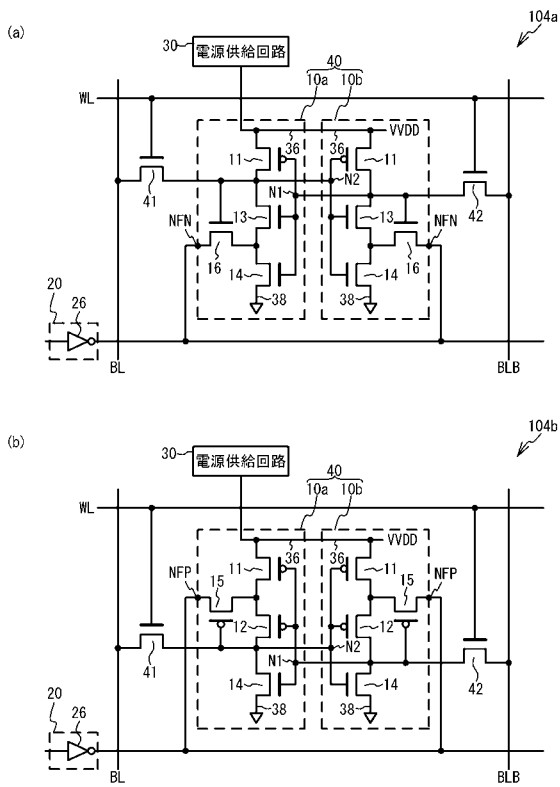
【図7】



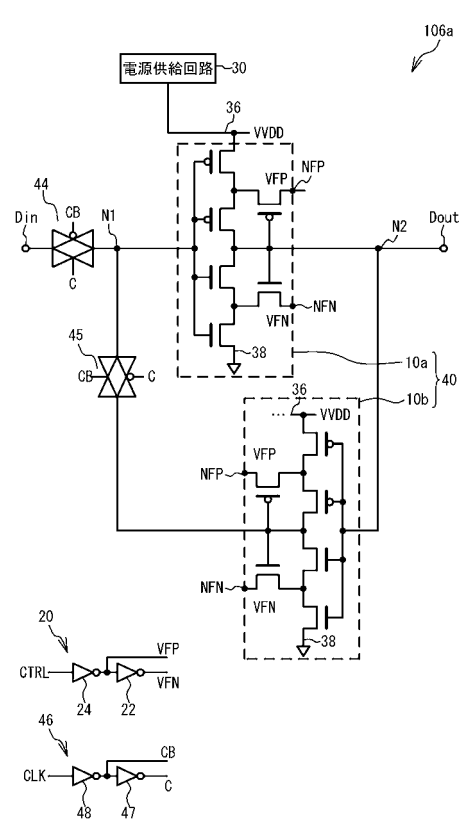
【図8】



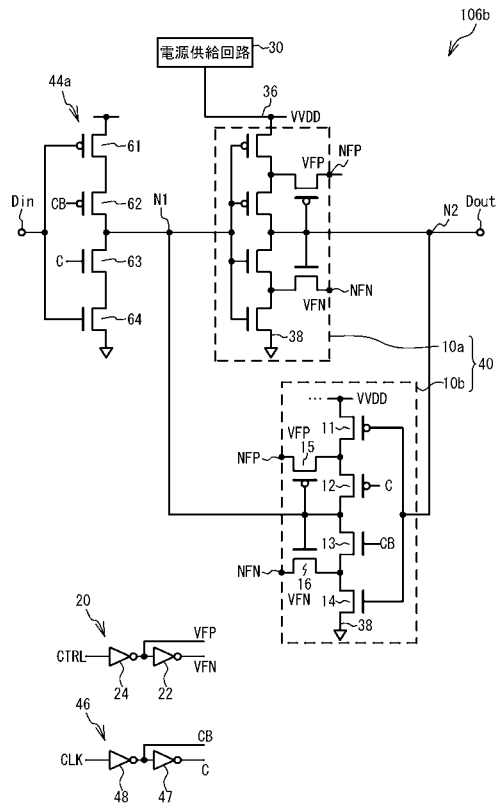
【図9】



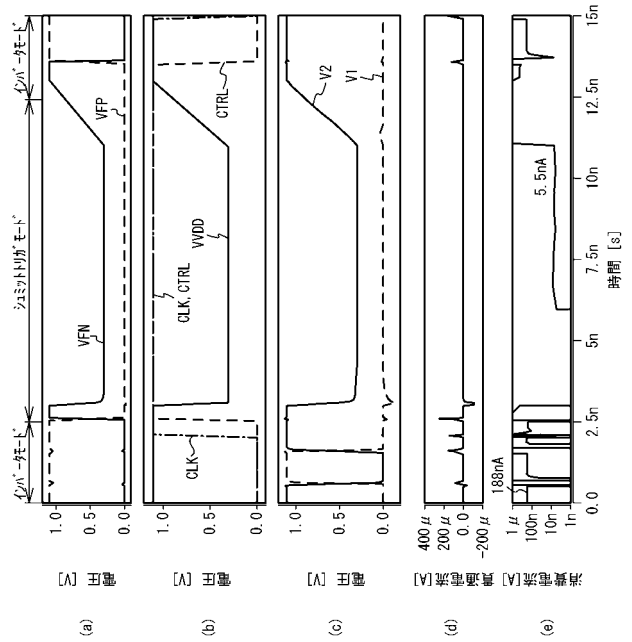
【図10】



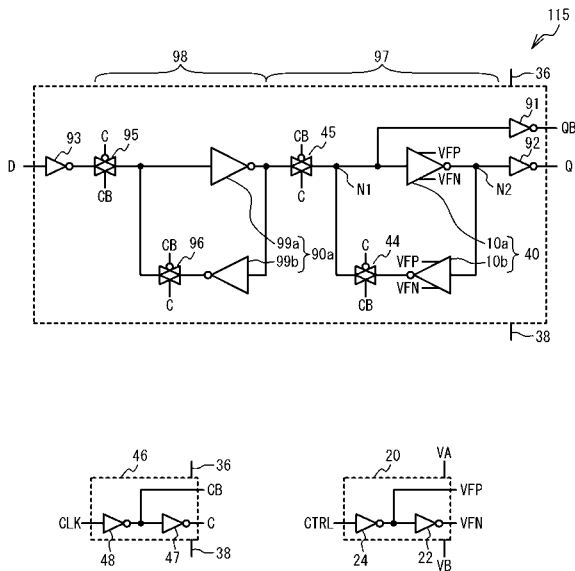
【図 1 1】



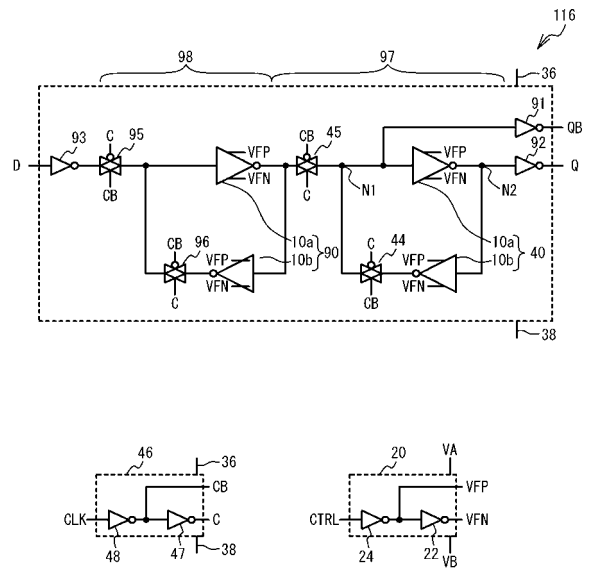
【図 1 2】



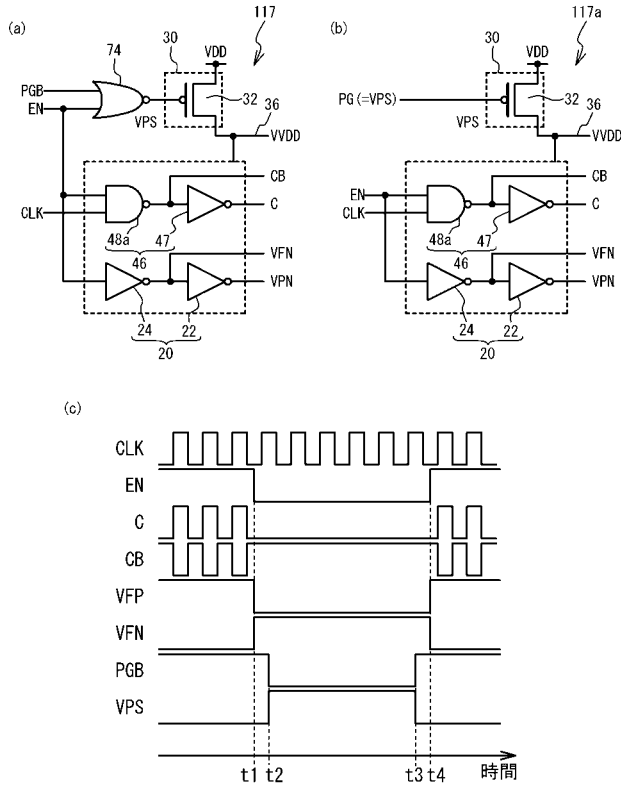
【図 1 3】



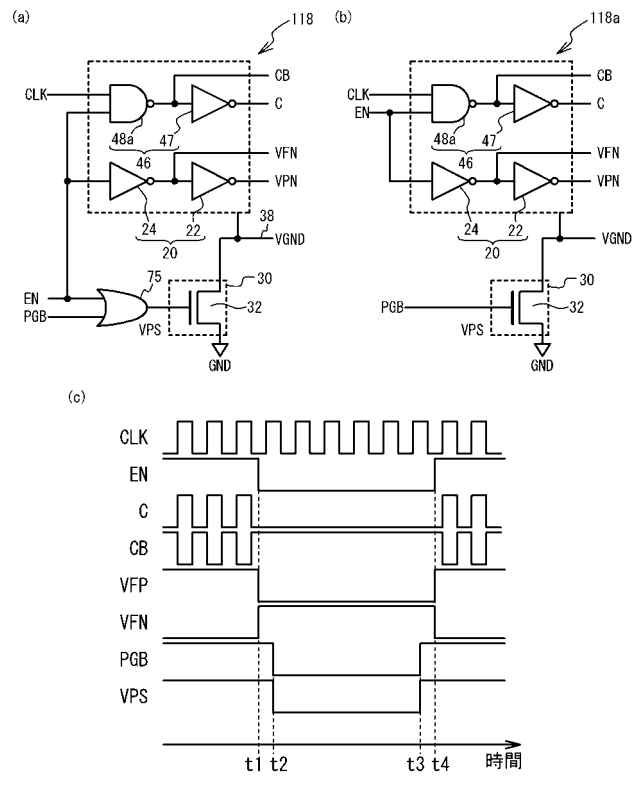
【図 1 4】



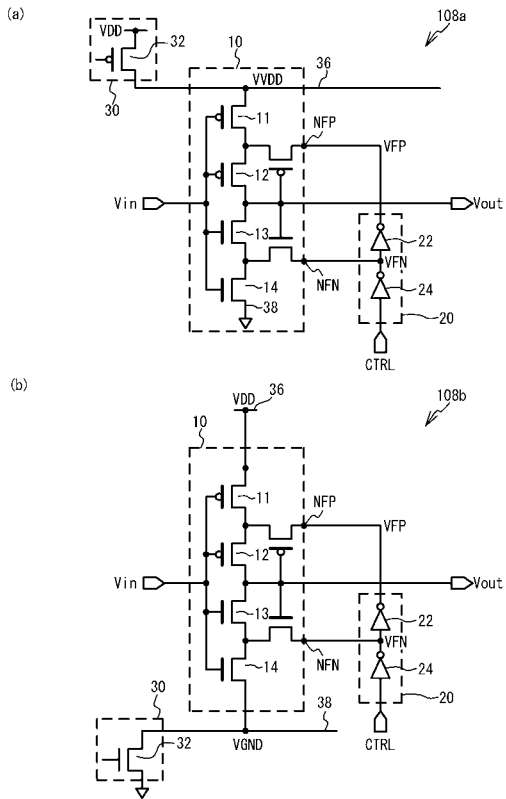
【図 15】



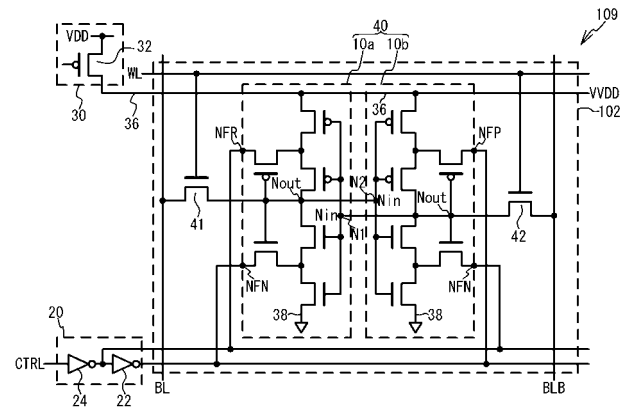
【図 16】



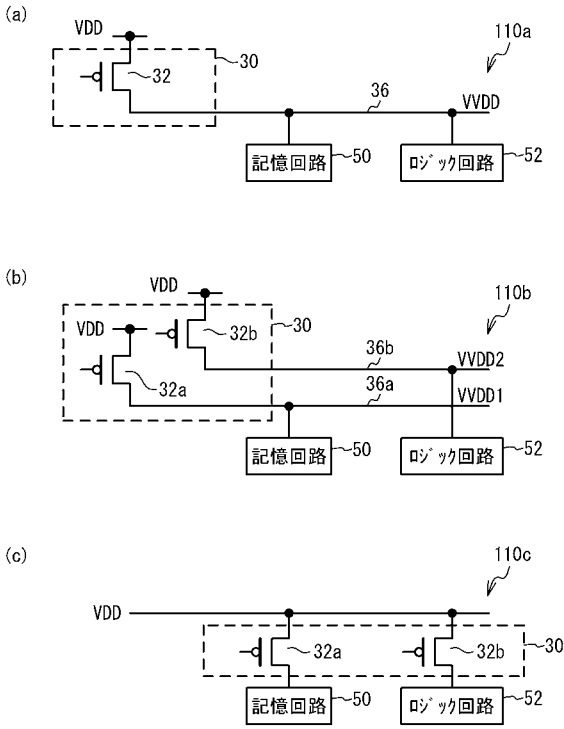
【図 17】



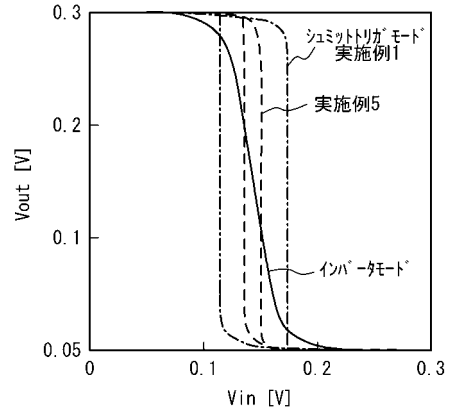
【図 18】



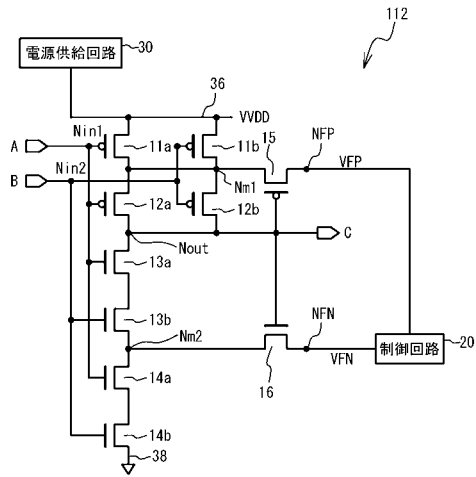
【図19】



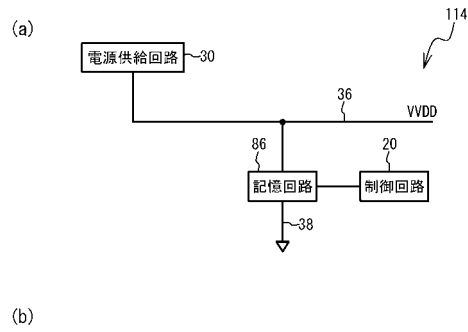
【図20】



【図21】

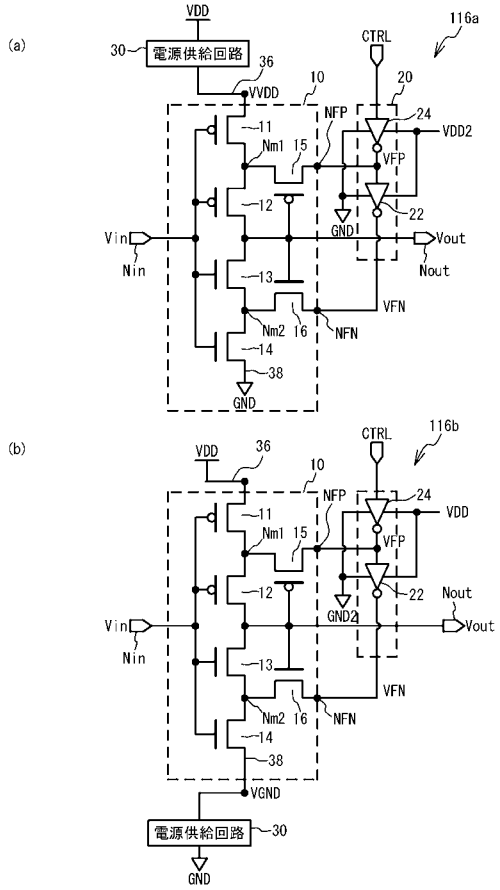


【図22】



モード	ヒステリシス	電源電圧	動作	
インバータモード	第2モード	なし	大	高速動作
シュミットリカモード	第3モード	小	中	低消費電力動作
	第1モード	大	小	低消費電力で保持

【図 2 3】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 3 K 19/094

Fターム(参考) 5J056 AA00 BB32 BB38 CC03 CC11 CC14 DD13 DD40 FF07 FF10
KK01 KK03