

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6664736号
(P6664736)

(45) 発行日 令和2年3月13日(2020.3.13)

(24) 登録日 令和2年2月21日(2020.2.21)

(51) Int.Cl. F I
HO2M 3/07 (2006.01) HO2M 3/07

請求項の数 21 (全 35 頁)

<p>(21) 出願番号 特願2019-571749 (P2019-571749) (86) (22) 出願日 令和1年8月26日(2019.8.26) (86) 国際出願番号 PCT/JP2019/033311 審査請求日 令和1年12月25日(2019.12.25) (31) 優先権主張番号 特願2018-159617 (P2018-159617) (32) 優先日 平成30年8月28日(2018.8.28) (33) 優先権主張国・地域又は機関 日本国(JP)</p> <p>(出願人による申告) 令和元年度、国立研究開発法人科学技術振興機構研究成果展開事業 センター・オブ・イノベーションプログラム『さりげないセンシングと日常人間ドックで実現する自助と共助の社会創生拠点』委託研究開発、産業技術力強化法第17条の適用を受ける特許出願</p>	<p>(73) 特許権者 504157024 国立大学法人東北大学 宮城県仙台市青葉区片平二丁目1番1号 (74) 代理人 110000626 特許業務法人 英知国際特許事務所 (72) 発明者 吉田 慎哉 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 (72) 発明者 中村 力 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 審査官 麻生 哲朗</p>
---	--

最終頁に続く

(54) 【発明の名称】 個別昇圧回路、昇圧回路、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

高電圧値と該高電圧値より低い低電圧値との間で変化する第1クロック電圧に同期して動作し、前記第1クロック電圧が高電圧値のときオフ状態であって、前記第1クロック電圧が低電圧値のときにオン状態となる前記第1クロック電圧がゲートに印加する第1PMOSトランジスタと、

前記第1クロック電圧と相反関係にある第2クロック電圧に同期して動作し、前記第2クロック電圧が高電圧値のときにオフ状態であって、前記第2クロック電圧が低電圧値のときオン状態となる前記第2クロック電圧がゲートに印加する第2PMOSトランジスタと、補助コンデンサと、

前記第1PMOSトランジスタがオフ状態で、前記第2PMOSトランジスタがオン状態となるときに、供給電圧によって前記第2PMOSトランジスタを通して前記補助コンデンサを充電させる補助充電回路と、

前記第1PMOSトランジスタがオン状態で、前記第2PMOSトランジスタがオフ状態となるときに、前記供給電圧によって充電された前記補助コンデンサを介し、前記第2クロック電圧に対応する電圧によって前記第1PMOSトランジスタを通して後段の回路に電圧を供給する昇圧充電回路と、を有する個別昇圧回路。

【請求項2】

前記第1PMOSトランジスタのソースが前記後段の回路に接続され、

前記第2PMOSトランジスタのソースが、前記補助コンデンサに接続されるとともに、前

記第 1 PMOSトランジスタのドレインに接続され、

前記第 2 PMOSトランジスタのドレインが前記供給電圧の電源に接続され、

前記補助充電回路は、前記電源から前記第 2 PMOSトランジスタのドレインを通過してソースを抜けて前記補助コンデンサに至る回路を含み、

前記昇圧充電回路は、前記補助コンデンサから前記第 1 PMOSトランジスタのドレインを通過してソースを抜けて前記後段の回路に至る回路を含む、請求項 1 記載の個別昇圧回路。

【請求項 3】

前記補助コンデンサを通して前記第 2 クロック電圧を前記第 2 PMOSトランジスタのゲートに印加させる回路を有する、請求項 2 記載の個別昇圧回路。

【請求項 4】

第 1 基準クロック電圧から前記第 1 PMOSトランジスタのゲートに前記第 1 クロック電圧として印加されるクロック電圧を生成する第 1 クロックバッファ回路と、

前記第 1 基準クロック電圧と相反関係にある第 2 基準クロック電圧から前記第 2 PMOSトランジスタのゲートに前記第 2 クロック電圧として印加されるクロック電圧を生成する第 2 クロックバッファ回路と、を有する請求項 2 記載の個別昇圧回路。

【請求項 5】

第 1 PMOSトランジスタと、

第 2 PMOSトランジスタと、

補助コンデンサと、

後段の回路と、

を備え、

前記第 1 PMOSトランジスタのソースが前記後段の回路に接続され、

前記第 2 PMOSトランジスタのゲート及びソースが、前記補助コンデンサに接続されるとともに、前記第 1 PMOSトランジスタのドレインに接続され、

前記第 2 PMOSトランジスタのドレインは供給電圧の電源に接続され、

前記第 1 PMOSトランジスタのゲートと、前記補助コンデンサとは、相反関係にある第 1 クロック電圧及び第 2 クロック電圧にそれぞれ接続される、個別昇圧回路。

【請求項 6】

前記第 1 PMOSトランジスタの p 型基板内の n ウェルが、前記後段の回路に接続され、

前記第 2 PMOSトランジスタの p 型基板の n ウェルが、前記補助コンデンサに接続される、請求項 5 記載の個別昇圧回路。

【請求項 7】

高電圧値と該高電圧値より低い低電圧値との間で変化する第 1 クロック電圧に同期して動作し、前記第 1 クロック電圧が高電圧値のときにオフ状態であって、前記第 1 クロック電圧が低電圧値のときにオン状態となる、第 1 スイッチングトランジスタ及び第 4 スイッチングトランジスタと、

前記第 1 クロック電圧と相反関係にある第 2 クロック電圧に同期して動作し、前記第 2 クロック電圧が高電圧値のときにオフ状態であって、前記第 2 クロック電圧が低電圧値のときにオン状態となる、第 2 スイッチングトランジスタ及び第 3 スイッチングトランジスタと、

第 1 補助コンデンサと、

第 2 補助コンデンサと、

前記第 2 スイッチングトランジスタがオフ状態で、前記第 4 スイッチングトランジスタがオン状態となるときに、供給電圧によって前記第 4 スイッチングトランジスタを通して前記第 1 補助コンデンサを充電させる第 1 補助充電回路と、

前記第 2 スイッチングトランジスタがオン状態で、前記第 4 スイッチングトランジスタがオフ状態となるときに、前記供給電圧によって充電された前記第 1 補助コンデンサを介し、前記第 1 クロック電圧に対応する電圧によって前記第 2 スイッチングトランジスタを通して後段の回路に電圧を供給する第 1 昇圧充電回路と、

10

20

30

40

50

第1スイッチングトランジスタがオフ状態で、前記第3スイッチングトランジスタがオン状態となるときに、前記供給電圧によって前記第3スイッチングトランジスタを通して前記第2補助コンデンサを充電させる第2補助充電回路と、

前記第1スイッチングトランジスタがオン状態で、前記第3スイッチングトランジスタがオフ状態となるときに、前記供給電圧によって充電された前記第2補助コンデンサを介し、前記第2クロック電圧に対応する電圧によって前記第1スイッチングトランジスタを通して前記後段の回路に電圧を供給する第2昇圧充電回路と、を有する個別昇圧回路。

【請求項8】

前記第1スイッチングトランジスタは、前記第1クロック電圧がゲートに印加する第1 PMOSトランジスタであり、前記第2スイッチングトランジスタは、前記第2クロック電圧がゲートに印加する第2 PMOSトランジスタであり、前記第3スイッチングトランジスタは、前記第2クロック電圧がゲートに印加する第3 PMOSトランジスタであり、前記第4スイッチングトランジスタは、前記第1クロック電圧がゲートに印加する第4 PMOSトランジスタである、請求項7記載の個別昇圧回路。

10

【請求項9】

前記第1 PMOSトランジスタのソースが後段の回路に接続され、
前記第2 PMOSトランジスタのソースが前記後段の回路に接続され、
前記第3 PMOSトランジスタのソースが、前記第2補助コンデンサに接続されるとともに、前記第1 PMOSトランジスタのドレインに接続され、
前記第4 PMOSトランジスタのソースが、前記第1補助コンデンサに接続されるとともに、前記第2 PMOSトランジスタのドレインに接続され、

20

前記第1補助充電回路は、前記供給電圧の電源から前記第4 PMOSトランジスタのドレインを通してソースを抜けて前記第1補助コンデンサに至る回路を含み、

前記第2補助充電回路は、前記電源から前記第3 PMOSトランジスタのドレインを通してソースを抜けて前記第2補助コンデンサに至る回路を含み、

前記第1昇圧充電回路は、前記第1補助コンデンサから、前記第2 PMOSトランジスタのドレインを通してソースを抜けて前記後段の回路に至る回路を含み、

前記第2昇圧充電回路は、前記第2補助コンデンサから、前記第1 PMOSトランジスタのドレインを通してソースを抜けて前記後段の回路に至る回路を含む、請求項8記載の個別昇圧回路。

30

【請求項10】

前記第1補助コンデンサを通して前記第1クロック電圧を前記第1 PMOSトランジスタのゲート及び前記第4 PMOSトランジスタのゲートに印加させる回路を有する、請求項8または9記載の個別昇圧回路。

【請求項11】

前記第2補助コンデンサを通して前記第2クロック電圧を前記第2 PMOSトランジスタのゲート及び前記第3 PMOSトランジスタのゲートに印加させる回路を有する、請求項8乃至10のいずれかに記載の個別昇圧回路。

【請求項12】

第1基準クロック電圧から前記第1 PMOSトランジスタのゲートに前記第1クロック電圧として印加されるクロック電圧を生成する第1クロックバッファ回路と、

40

前記第1基準クロック電圧から前記第3 PMOSトランジスタのゲートに前記第2クロック電圧として印加されるクロック電圧を生成する第2クロックバッファ回路と、

前記第1基準クロック電圧と相反関係にある第2基準クロック電圧から前記第2 PMOSトランジスタのゲートに前記第2クロック電圧として印加されるクロック電圧を生成する第3クロックバッファ回路と、

前記第2基準クロック電圧から前記第4 PMOSトランジスタのゲートに前記第1クロック電圧として印加されるクロック電圧を生成する第4クロックバッファ回路と、を有する請求項8または9記載の個別昇圧回路。

【請求項13】

50

前記第 1 昇圧充電回路は、前記供給電圧によって充電された前記第 1 補助コンデンサを介し、前記第 1 基準クロック電圧によって前記第 2 PMOSトランジスタを通して前記後段の回路に電圧を供給する回路を含む、請求項 1 2 記載の個別昇圧回路。

【請求項 1 4】

前記第 2 昇圧充電回路は、前記供給電圧によって充電された前記第 2 補助コンデンサを介し、前記第 2 基準クロック電圧によって前記第 1 PMOSトランジスタを通して前記後段の回路に電圧を供給する回路を含む、請求項 1 2 または 1 3 記載の個別昇圧回路。

【請求項 1 5】

第 1 PMOSトランジスタと、
第 2 PMOSトランジスタと、
第 3 PMOSトランジスタと、
第 4 PMOSトランジスタと、
第 1 補助コンデンサと、
第 2 補助コンデンサと、
を備え、

前記第 1 PMOSトランジスタのソースが後段の回路に接続され、

前記第 2 PMOSトランジスタのソースが前記後段の回路に接続され、

前記第 3 PMOSトランジスタのゲート及びソースが、前記第 2 PMOSトランジスタのゲート及び前記第 2 補助コンデンサに接続されるとともに、前記第 1 PMOSトランジスタのドレインに接続され、

前記第 4 PMOSトランジスタのソースが、前記第 1 PMOSトランジスタのゲート及び第 1 補助コンデンサに接続されるとともに、前記第 2 PMOSトランジスタのドレインに接続され、

前記第 3 PMOSトランジスタのドレイン及び前記第 4 PMOSトランジスタのドレインは供給電圧の電源に接続され、

前記第 1 補助コンデンサ及び前記第 2 補助コンデンサは、相反関係にある第 1 クロック電圧及び第 2 クロック電圧にそれぞれ接続される、個別昇圧回路。

【請求項 1 6】

前記第 1 PMOSトランジスタの p 型基板の n ウェルは、前記後段の回路に接続され、

前記第 2 PMOSトランジスタの p 型基板の n ウェルは、前記後段の回路に接続され、

前記第 3 PMOSトランジスタの p 型基板の n ウェルは、前記第 2 補助コンデンサに接続され、

前記第 4 PMOSトランジスタの p 型基板の n ウェルは、前記第 1 補助コンデンサに接続される、請求項 1 5 記載の個別昇圧回路。

【請求項 1 7】

直列的に接続される複数段の個別昇圧回路を有する昇圧回路であって、

前記複数段の個別昇圧回路のそれぞれは、請求項 1 乃至 6 のいずれかに記載の個別昇圧回路を含み、

初段の個別昇圧回路は、外部電源の電源電圧が前記供給電圧として入力し、初段以外の各段の個別昇圧回路は、前段の前記個別昇圧回路における前記後段の回路に電圧を前記供給電圧として入力する、昇圧回路。

【請求項 1 8】

前記複数段の個別昇圧回路のそれぞれは、請求項 4 記載の個別昇圧回路を含み、

初段以外の各段の個別昇圧回路の前記第 1 クロックバッファ回路は、前段の個別昇圧回路における前記第 1 クロックバッファ回路からのクロック電圧を前記第 1 基準クロック電圧として入力し、

初段以外の各段の個別昇圧回路の前記第 2 クロックバッファ回路は、前段の個別昇圧回路における前記第 2 クロックバッファ回路からのクロック電圧を前記第 2 基準クロック電圧として入力する、請求項 1 7 記載の昇圧回路。

【請求項 1 9】

直列的に接続される複数段の個別昇圧回路を有する昇圧回路であって、

10

20

30

40

50

前記複数段の個別昇圧回路のそれぞれは、請求項 7 乃至 16 のいずれかに記載の個別昇圧回路を含み、

初段の個別昇圧回路は、外部電源の電源電圧を前記供給電圧として入力し、初段以外の各段の個別昇圧回路は、前段の前記個別昇圧回路における前記後段の回路に充電された電圧を前記供給電圧として入力する、昇圧回路。

【請求項 20】

前記複数段の個別昇圧回路のそれぞれは、請求項 12 乃至 14 のいずれかに記載の個別昇圧回路を含み、

初段以外の各段の個別昇圧回路の前記第 1 クロックバッファ回路及び前記第 2 クロックバッファ回路は、前段の個別昇圧回路における前記第 1 クロックバッファ回路からのクロック電圧を、前記第 1 基準クロック電圧として入力し、

初段以外の各段の個別昇圧回路の前記第 3 クロックバッファ回路及び前記第 4 クロックバッファ回路は、前段の個別昇圧回路における前記第 3 クロックバッファ回路からのクロック電圧を第 2 基準クロック電圧として入力する、請求項 19 記載の昇圧回路。

【請求項 21】

請求項 1 乃至 16 のいずれかに記載の個別昇圧回路を含む昇圧回路、または、請求項 17 乃至 20 のいずれかに記載の昇圧回路と、

前記昇圧回路からの電圧供給により動作する動作回路と、を有する電子機器。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、個別昇圧回路、その個別昇圧回路を用いた昇圧回路、及びその昇圧回路を搭載した電子機器に関する。

【背景技術】

【0002】

特許文献 1 には、種々のタイプのチャージポンプ回路（昇圧回路）が開示されている。これらいずれのタイプのチャージポンプ回路も、複数段の個別昇圧回路が直列的に接続された構成となっている。このようなチャージポンプ回路では、各段の個別昇圧回路における一又は複数のスイッチングトランジスタ（電荷転送スイッチ）のクロック電圧によるオン、オフ動作により、ポンプコンデンサ（昇圧コンデンサ）への充電と、そのポンプコンデンサの充電電圧のクロック電圧による昇圧、更に、昇圧後の電圧の前記ポンプコンデンサから次段の昇圧回路への転送とが順次繰り返し行われる。これにより、各段の個別昇圧回路におけるポンプコンデンサでの充電電圧が、当該チャージポンプ回路に対する入力電圧VINから順次後段にいくほど上昇していき、最終段の個別昇圧回路では、そのポンプコンデンサには前記入力電圧VINより高い電圧が蓄積（蓄電）される。そして、このようなチャージポンプ回路（昇圧回路）を搭載した電子機器では、最終段の個別昇圧回路におけるポンプコンデンサの充電電圧を電源電圧として利用することができる。

30

40

【0003】

このようなチャージポンプ回路（昇圧回路）によれば、コイル等を用いることなく昇圧が可能であるので、一般的に小型化することが可能であり、その結果、電子機器の小型化に寄与することができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2015 - 126595 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【0005】

ところで、人などの動物の体内に入れて動作させる小型電子機器（飲み込み型デバイス）が提案されている（例えば、特表2010-508293号公報参照）。また、このような小型電子機器の電源として、例えば、胃液（胃酸）を電解液として2つの電極を備えたボルダ電池（以下、胃酸電池という）を用いることも提案されている（例えば、特開2017-120684号公報参照）。そして、胃酸電池の出力電圧が微弱（例えば、1.3V）であるので、比較的高い電圧で動作する動作回路を含む前記小型機器では、その動作電圧に適した大きさの電源電圧（例えば、3V～6V）を得るために、前述したチャージポンプ回路（昇圧回路）を用いて前記胃酸電池で発生される電圧を昇圧することが考えられる。

10

【0006】

また、前記胃酸電池を搭載した電子機器を胃内だけではなく、電解液となる胃酸が存在しない他の器官内、例えば、腸内でも動作させることが考えられる。このような場合、更に、チャージポンプ回路（昇圧回路）の昇圧により得られた電圧をコンデンサに蓄積（蓄電）させておく必要がある。このため、電子機器が胃内に存在している間に、胃酸電池で発生する電圧をできるだけ早く目標の電圧まで昇圧させて、その昇圧で得られた電圧をコンデンサに蓄積（蓄電）させることが重要である。

【0007】

上述したように、複数段の個別昇圧回路から構成される昇圧回路（チャージポンプ回路）を人などの動物の体内に入れて動作させる小型電子機器（飲み込み型デバイス）に搭載させることを想定すると、昇圧回路自体が小型化され得ること、及び昇圧回路を構成する複数段の個別昇圧回路のそれぞれにおいて確実に目標の電圧まで昇圧できることが重要である。

20

【0008】

本発明は、上述したような事情に鑑みてなされたもので、微弱な電源電圧からより確実に目標となる電圧まで昇圧できる個別昇圧回路を提供するものである。

【0009】

また、本発明は、前記個別昇圧回路を複数個用いて、小型化され得るとともに、微弱な電源電圧からより確実に最終目標となる出力電圧を得ることのできる昇圧回路を提供するものである。

30

【0010】

また、本発明は、上記昇圧回路を搭載して、確実に動作し得る電子機器を提供するものである。

【課題を解決するための手段】

【0011】

本発明に係る個別昇圧回路は、高電圧値と該高電圧値より低い低電圧値との間で変化する第1クロック電圧に同期して動作し、前記第1クロック電圧が高電圧値のときオフ状態であって、前記第1クロック電圧が低電圧値のときにオン状態となる第1スイッチングトランジスタと、前記第1クロック電圧と相反関係にある第2クロック電圧に同期して動作し、前記第2クロック電圧が高電圧値のときにオフ状態であって、前記第2クロック電圧が低電圧値のときオン状態となる第2スイッチングトランジスタと、補助コンデンサと、前記第1スイッチングトランジスタがオフ状態で、前記第2スイッチングトランジスタがオン状態となるときに、供給電圧によって前記第2スイッチングトランジスタを通して前記補助コンデンサを充電させる補助充電回路と、前記第1スイッチングトランジスタがオン状態で、前記第2スイッチングトランジスタがオフ状態となるときに、前記供給電圧によって充電された前記補助コンデンサを介し、前記第2クロック電圧に対応する電圧によって前記第1スイッチングトランジスタを通して後段の回路に電圧を供給する昇圧充電回路と、を有する構成となる。

40

【0012】

このような構成により、第1クロック電圧が高電圧値であって、第2クロック電圧が低

50

電圧値であると、第1スイッチングトランジスタがオフ状態で、第2スイッチングトランジスタがオン状態になる。この状態では、補助充電回路により、オン状態の前記第2スイッチングトランジスタを通した供給電圧による前記補助コンデンサへの充電が行われる。一方、第1クロック電圧が低電圧値であって、第2クロック電圧が高電圧値であると、第1スイッチングトランジスタがオン状態で、第2スイッチングトランジスタがオフ状態になる。この状態では、昇圧充電回路により、オン状態の前記第1スイッチングトランジスタを通した、前記供給電圧により既に充電された前記補助コンデンサを介した前記第2クロック電圧（高電圧値）に対応する電圧による前記後段の回路への電圧供給が行われる。

【0013】

そして、相反関係にある第1クロック電圧及び第2クロック電圧のそれぞれが高電圧値と低電圧値とを繰り返す過程で、第1スイッチングトランジスタの上述したオン、オフ動作、及びそのオン、オフ動作に相反した、第2スイッチングトランジスタのオフ、オンの動作により、補助コンデンサへの供給電圧と、その充電された補助コンデンサを通した第2クロック電圧（高電圧値）に対応した電圧による後段の回路への電圧供給とが、交互に繰り返し行われる。それにより、後段の回路に昇圧コンデンサが接続されていれば、その充電電圧が徐々に上昇していく（昇圧）。

【0014】

昇圧充電回路が昇圧コンデンサを充電させるための第2クロック電圧に対応する電圧は、第2クロック電圧（高電圧値）そのものであっても、第2クロック電圧そのものではなく、昇圧コンデンサへの充電タイミングにおいて第2クロック電圧の高電圧値に対応する電圧値を提供する他のクロック電圧であってもよい。

【0015】

本発明に係る個別昇圧回路において、前記第1スイッチングトランジスタは、前記第1クロック電圧がゲートに印加する第1PMOSトランジスタであり、前記第2スイッチングトランジスタは、前記第2クロック電圧がゲートに印加する第2PMOSトランジスタである、構成とすることができる。

【0016】

相補型MOS（CMOS）の汎用の作製技術では、p型基板上に回路が作製されるが、NMOSトランジスタで構成する場合、基板効果は不可避であるが、このような構成により、第1スイッチングトランジスタ及び第2スイッチングトランジスタのそれぞれが、p型基板内のnウェル上に形成されるPMOSトランジスタであるので、基板効果を抑制することができ、微弱なクロック電圧であっても確実にオン、オフ動作することができる。また、PMOSトランジスタでのみ構成するので、プロセスコストの上昇なしに、基板効果影響を受けない回路を構成することができる点でも有利である。

基板効果の抑制は、特に、飲み込み型デバイス等の小型電子機器においては、微小なクロック電圧で制御する必要があるため、重要である。

【0017】

本発明に係る個別昇圧回路は、前記第1PMOSトランジスタのソースが前記後段の回路に接続され、前記第2PMOSトランジスタのソースが、前記補助コンデンサに接続されるとともに、前記第1PMOSトランジスタのドレインに接続され、前記第2PMOSトランジスタのドレインが前記供給電圧の電源に接続され、前記補助充電回路は、前記電源から前記第2PMOSトランジスタのドレインを通過してソースを抜けて前記補助コンデンサに至る回路を含み、前記昇圧充電回路は、前記補助コンデンサから前記第1PMOSトランジスタのドレインを通過してソースを抜けて前記後段の回路に至る回路を含む、構成とすることができる。

【0018】

このような構成により、第1クロック電圧が高電圧値で、第1PMOSトランジスタがオフ状態であって、第2クロック電圧が低電圧値で、第2PMOSトランジスタがオン状態であると、供給電圧の電源から第2PMOSトランジスタのドレインを通過してソースに抜けて補助コンデンサに至る回路（補助充電回路）により、供給電圧による第2PMOSトランジスタを通した前記補助コンデンサへの充電が行われる。一方、第1クロック電圧が低電圧値で、第

10

20

30

40

50

1 PMOSトランジスタがオン状態であって、第2クロック電圧が高電圧値で、第2 PMOSトランジスタがオフ状態であると、前記補助コンデンサから前記第1 PMOSトランジスタのドレインを通過してソースを抜けて前記後段回路、例えば昇圧コンデンサに至る回路（昇圧充電回路）により、第1 PMOSトランジスタを通した、既に充電されている補助コンデンサを介した前記第2クロック電圧（高電圧値）に対応する電圧による昇圧コンデンサへの充電が行われる。

【0019】

本発明に係る個別昇圧回路において、前記補助コンデンサを通して前記第2クロック電圧を前記第2 PMOSトランジスタのゲートに印加させる回路を有する、構成とすることができる。

10

【0020】

このような構成により、補助コンデンサを介して、第2クロック電圧による第2 PMOSトランジスタのオン、オフ動作と、第2クロック電圧（高電圧値）による昇圧コンデンサへの第1 PMOSトランジスタを通した充電との双方を行うことができる。

【0021】

本発明に係る個別昇圧回路において、第1基準クロック電圧から前記第1 PMOSトランジスタのゲートに前記第1クロック電圧として印加されるクロック電圧を生成する第1クロックバッファ回路と、前記第1基準クロック電圧と相反関係にある第2基準クロック電圧から前記第2 PMOSトランジスタのゲートに前記第2クロック電圧として印加されるクロック電圧を生成する第2クロックバッファ回路と、を有する構成とすることができる。

20

【0022】

このような構成により、第1基準クロック電圧から第1クロックバッファ回路により第1クロック電圧として生成されるクロック電圧が増強されることによって第1 PMOSトランジスタを確実にオン、オフ動作させるとともに、第1基準クロック電圧と相反関係にある第2基準クロック電圧から第2クロックバッファ回路により第2クロック電圧として生成されるクロック電圧が増強されることによって第2 PMOSトランジスタを確実にオン、オフ動作させることができる。その結果、電源電圧からの確実な昇圧が可能になる。

【0023】

本発明に係る個別昇圧回路は、別の観点から、第1 PMOSトランジスタと、第2 PMOSトランジスタと、補助コンデンサと、後段の回路と、を備え、前記第1 PMOSトランジスタのソースが前記後段の回路に接続され、前記第2 PMOSトランジスタのゲート及びソースが、前記第2補助コンデンサに接続されるとともに、前記第1 PMOSトランジスタのドレインに接続され、前記第2 PMOSトランジスタのドレインは供給電圧の電源に接続され、前記第1 PMOSトランジスタのゲートと、前記補助コンデンサとは、相反関係にある第1クロック電圧及び第2クロック電圧にそれぞれ接続される、構成となる。

30

【0024】

このような構成により、上述した基板効果を抑制し、昇圧が可能な個別昇圧回路を得ることができる。

【0025】

本発明に係る個別昇圧回路において、前記第1 PMOSトランジスタのp型基板内のnウェルが、前記後段の回路に接続され、前記第2 PMOSトランジスタのp型基板内のnウェルが、前記コンデンサに接続される、構成とすることが望ましい。

40

【0026】

このような構成により、各々のPMOSトランジスタのp型基板内のnウェルは、回路中のユニット内において、最も高い電位となる位置に接続されることになる。このように接続することにより、ジャンクションリークをなくし、スイッチングトランジスタとしてのPMOSトランジスタの動作を確実に行うことができる。

【0027】

本発明に係る個別昇圧回路は、高電圧値と該高電圧値より低い低電圧値との間で変化する第1クロック電圧に同期して動作し、前記第1クロック電圧が高電圧値のときにオフ状

50

態であって、前記第1クロック電圧が低電圧値のときにオン状態となる、第1スイッチングトランジスタ及び第4スイッチングトランジスタと、前記第1クロック電圧と相反関係にある第2クロック電圧に同期して動作し、前記第2クロック電圧が高電圧値のときにオフ状態であって、前記第2クロック電圧が低電圧値のときにオン状態となる、第2スイッチングトランジスタ及び第3スイッチングトランジスタと、第1補助コンデンサと、第2補助コンデンサと、前記第2スイッチングトランジスタがオフ状態で、前記第4スイッチングトランジスタがオン状態となるときに、供給電圧によって前記第4スイッチングトランジスタを通して前記第1補助コンデンサを充電させる第1補助充電回路と、前記第2スイッチングトランジスタがオン状態で、前記第4スイッチングトランジスタがオフ状態となるときに、前記供給電圧によって充電された前記第1補助コンデンサを介し、前記第1クロック電圧に対応する電圧によって前記第2スイッチングトランジスタを通して後段の回路に電圧を供給する第1昇圧充電回路と、第1スイッチングトランジスタがオフ状態で、前記第3スイッチングトランジスタがオン状態となるときに、前記供給電圧によって前記第3スイッチングトランジスタを通して前記第2補助コンデンサを充電させる第2補助充電回路と、前記第1スイッチングトランジスタがオン状態で、前記第3スイッチングトランジスタがオフ状態となるときに、前記供給電圧によって充電された前記第2補助コンデンサを介し、前記第2クロック電圧に対応する電圧によって前記第1スイッチングトランジスタを通して前記後段の回路に電圧を供給する第2昇圧充電回路と、を有する構成となる。

10

【0028】

20

このような構成により、第1クロック電圧が高電圧値であって、該第1クロック電圧と相反関係にある第2クロック電圧が低電圧値であると、第1スイッチングトランジスタ及び第4スイッチングトランジスタがオフ状態で、第2スイッチングトランジスタ及び第3スイッチングトランジスタがオン状態となる。この状態では、第2補助充電回路により、オン状態の第3スイッチングトランジスタを通じた、供給電圧による第2補助コンデンサへの充電が行われる。また、同時に、第1昇圧充電回路により、オン状態の第2スイッチングトランジスタを通じた、すでに充電されている第1補助コンデンサを介した前記第1クロック電圧（高電圧値）に対応した電圧による後段の回路への電圧供給が行われる。

【0029】

一方、第1クロック電圧が低電圧値であって第2クロック電圧値が高電圧値であると、第1スイッチングトランジスタ及び第4スイッチングトランジスタがオン状態で、第2スイッチングトランジスタ及び第3スイッチングトランジスタがオフ状態となる。この状態では、第1補助充電回路により、前記後段の回路のために放電された第1補助コンデンサに対する、オン状態の第4スイッチングトランジスタを通じた、供給電圧による充電が行われる。また、同時に、第2昇圧充電回路により、オン状態の第1スイッチングトランジスタを通じた、前記供給電圧により既に充電された前記第2補助コンデンサを介した前記第2クロック電圧（高電圧値）に対応した電圧による後段の回路への電圧供給が行われる。

30

【0030】

上述したように、相反関係にある第1クロック電圧及び第2クロック電圧のそれぞれが高電圧値と低電圧値とを繰り返す過程で、第1スイッチングトランジスタ及び第4スイッチングトランジスタのオン、オフの動作、及び、それらのオン、オフ動作に相反した、第2スイッチングトランジスタ及び第3スイッチングトランジスタのオフ、オン動作が行われる。それら第1スイッチングトランジスタ～第4スイッチングトランジスタのオン、オフ動作により、第2補助コンデンサへの供給電圧による充電、及び充電されている第1補助コンデンサを通じた第1クロック電圧（高電圧値）に対応した電圧による後段の回路への電圧供給と、放電された前記第1補助コンデンサへの供給電圧による充電、及び前記充電されている第2補助コンデンサを通じた第2クロック電圧（高電圧値）に対応した電圧による後段の回路への電圧供給とが、交互に繰り返される。それにより、後段の回路に昇圧コンデンサが接続されている場合には、その充電電圧が徐々に上昇していく（昇圧

40

50

)。特に、供給電圧により交互に充電される第1補助コンデンサ及び第2補助コンデンサのいずれか一方の補助コンデンサへの充電が行われているときに、充電が完了している他方の補助コンデンサからの昇圧コンデンサへの充電が行われるので、昇圧コンデンサの充電電圧を効率的に上昇(昇圧)させることができる。

【0031】

第1昇圧充電回路が後段の回路に電圧を供給するための第1クロック電圧に対応する電圧は、第1クロック電圧(高電圧値)そのものであっても、第1クロック電圧そのものではなく、後段の回路への電圧供給タイミングにおいて第1クロック電圧の高電圧値に対応する電圧値を提供する他のクロック電圧であってもよい。また、第2昇圧充電回路が後段の回路への電圧供給を行うための第2クロック電圧に対応する電圧についても同様である

10

【0032】

本発明に係る個別昇圧回路において、前記第1スイッチングトランジスタは、前記第1クロック電圧がゲートに印加する第1PMOSトランジスタであり、前記第2スイッチングトランジスタは、前記第2クロック電圧がゲートに印加する第2PMOSトランジスタであり、前記第3スイッチングトランジスタは、前記第2クロック電圧がゲートに印加する第3PMOSトランジスタであり、前記第4スイッチングトランジスタは、前記第1クロック電圧がゲートに印加する第4PMOSトランジスタである、構成とすることができる。

【0033】

このような構成により、第1スイッチングトランジスタ、第2スイッチングトランジスタ、第3スイッチングトランジスタ及び第4スイッチングトランジスタのそれぞれが、p型基板内のnウェルに形成されるPMOSトランジスタであるので、上述したように、基板効果を抑制することができ、微弱なクロック電圧であっても確実にオン、オフ動作することができる。

20

【0034】

本発明に係る個別昇圧回路において、前記第1PMOSトランジスタのソースが後段の回路に接続され、前記第2PMOSトランジスタのソースが前記後段の回路に接続され、前記第3PMOSトランジスタのソースが、前記第2補助コンデンサに接続されるとともに、前記第1PMOSトランジスタのドレインに接続され、前記第4PMOSトランジスタのソースが、前記第1補助コンデンサに接続されるとともに、前記第2PMOSトランジスタのドレインに接続され、前記第1補助充電回路は、前記供給電圧の電源から前記第4PMOSトランジスタのドレインを通過してソースを抜けて前記第1補助コンデンサに至る回路を含み、前記第2補助充電回路は、前記電源から前記第3PMOSトランジスタのドレインを通過してソースを抜けて前記第2補助コンデンサに至る回路を含み、前記第1昇圧充電回路は、前記第1補助コンデンサから、前記第2PMOSトランジスタのドレインを通過してソースを抜けて前記後段の回路に至る回路を含み、前記第2昇圧充電回路は、前記第2補助コンデンサから、前記第1PMOSトランジスタのドレインを通過してソースを抜けて前記後段の回路に至る回路を含む、構成とすることができる。

30

【0035】

このような構成により、第1クロック電圧が高電圧値で、第1PMOSトランジスタ及び第4PMOSトランジスタがオフ状態であって、第2クロック電圧が低電圧値で、第2PMOSトランジスタ及び第3PMOSトランジスタがオン状態であると、供給電圧の電源から第3PMOSトランジスタのドレインを通過してソースを抜けて第2補助コンデンサに至る回路(第2補助充電回路)により、供給電圧による第3PMOSトランジスタを通じた第2補助コンデンサへの充電が行われる。また、同時に、第1補助コンデンサから第2PMOSトランジスタのドレインを通過してソースを抜けて後段の回路に至る回路(第1昇圧充電回路)によって、第2PMOSトランジスタを通じた、既に充電されている第1補助コンデンサを介した第1クロック電圧(高電圧値)に対応する電圧による後段の回路への電圧供給が行われる。

40

【0036】

一方、第1クロック電圧が低電圧値で、第1PMOSトランジスタ及び第4PMOSトランジスタ

50

タがオン状態であって、第2クロック電圧が高電圧値で、第2PMOSトランジスタ及び第3PMOSトランジスタがオフ状態であると、供給電圧の電源から前記第4PMOSトランジスタのドレインを通過してソースを抜けて前記第1補助コンデンサに至る回路(第1補助充電回路)により、前記後段の回路への電圧供給のために放電された第1補助コンデンサに対する、第4PMOSトランジスタを通した、前記供給電圧による充電が行われる。また、同時に、前記第2補助コンデンサから、第1PMOSトランジスタのドレインを通過してソースを抜けて前記昇圧コンデンサに至る回路(第2昇圧充電回路)により、第1PMOSトランジスタを通した、前記供給電圧により既に充電された前記第2補助コンデンサを介した前記第2クロック電圧(高電圧値)に対応する電圧による後段の回路への電圧供給が行われる。

【0037】

10

本発明に係る個別昇圧回路において、前記第1補助コンデンサを通して前記第1クロック電圧を前記第1PMOSトランジスタのゲート及び前記第4PMOSトランジスタのゲートに印加させる回路を有する、構成とすることができる。

【0038】

このような構成により、第1補助コンデンサを介して、第1クロック電圧による第1PMOSトランジスタ及び第4PMOSトランジスタのオン、オフ駆動と、第1クロック電圧(高電圧値)による後段の回路への第2PMOSトランジスタを通した電圧供給との双方を行うことができる。

【0039】

本発明に係る個別昇圧回路において、前記第2補助コンデンサを通して前記第2クロック電圧を前記第2PMOSトランジスタのゲート及び前記第3PMOSトランジスタのゲートに印加させる回路を有する、構成とすることができる。

20

【0040】

このような構成により、第2補助コンデンサを介して、第2クロック電圧による第2PMOSトランジスタ及び第3PMOSトランジスタのオン、オフ駆動と、第2クロック電圧(高電圧値)による後段の回路への第1PMOSトランジスタを通した電圧供給との双方を行うことができる。

【0041】

本発明に係る個別昇圧回路において、第1基準クロック電圧から前記第1PMOSトランジスタのゲートに前記第1クロック電圧として印加されるクロック電圧を生成する第1クロックバッファ回路と、前記第1基準クロック電圧から前記第3PMOSトランジスタのゲートに前記第2クロック電圧として印加されるクロック電圧を生成する第2クロックバッファ回路と、前記第1基準クロック電圧と相反関係にある第2基準クロック電圧から前記第2PMOSトランジスタのゲートに前記第2クロック電圧として印加されるクロック電圧を生成する第3クロックバッファ回路と、前記第2基準クロック電圧から前記第4PMOSトランジスタのゲートに前記第1クロック電圧として印加されるクロック電圧を生成する第4クロックバッファ回路と、を有する構成とすることができる。

30

【0042】

このような構成により、第1基準クロック電圧から第1クロックバッファ回路及び第2クロックバッファ回路によって生成される相反関係にある第1クロック電圧及び第2クロック電圧としての2つのクロック電圧によって、第1PMOSトランジスタ及び第3PMOSトランジスタを確実にオン、オフ駆動させることができる。また、前記第1基準クロック電圧と相反関係にある第2基準クロック電圧から第3クロックバッファ回路及び第4クロックバッファ回路によって生成される相反関係にある第1クロック電圧及び第2クロック電圧としての2つのクロック電圧によって、第2PMOSトランジスタ及び第4PMOSトランジスタを確実にオン、オフ駆動させることができる。その結果、供給電圧からの確実な昇圧が可能になる。

40

【0043】

本発明に係る個別昇圧回路において、前記第1昇圧充電回路は、前記供給電圧によって充電された前記第1補助コンデンサを介し、前記第1基準クロック電圧によって前記第2

50

PMOSトランジスタを通して前記後段の回路に電圧を供給する回路を含む、構成とすることができる。

【0044】

このような構成により、第1補助コンデンサを介して、第1クロック電圧に対応した電圧としての前記第1基準クロック電圧（高電圧値）による後段の回路への第2PMOSトランジスタを通した電圧供給が行われる。

【0045】

本発明に係る昇圧回路において、前記第2昇圧充電回路は、前記供給電圧によって充電された前記第2補助コンデンサを介し、前記第2基準クロック電圧によって前記第1PMOSトランジスタを通して前記後段の回路に電圧供給する回路を含む、構成とすることができる。

10

【0046】

このような構成により、第2補助コンデンサを介して、第2クロック電圧に対応した電圧としての前記第2基準クロック電圧（高電圧値）による後段の回路への第1PMOSトランジスタを通した電圧供給との双方を行うことができる。

【0047】

本発明に係る昇圧回路は、別の観点から、第1PMOSトランジスタと、第2PMOSトランジスタと、第3PMOSトランジスタと、第4PMOSトランジスタと、第1補助コンデンサと、第2補助コンデンサと、を備え、前記第1PMOSトランジスタのソースが後段の回路に接続され、前記第2PMOSトランジスタのソースが前記後段の回路に接続され、前記第3PMOSトランジスタのゲート及びソースが、前記第2PMOSトランジスタのゲート及び前記第2補助コンデンサに接続されるとともに、前記第1PMOSトランジスタのドレインに接続され、前記第4PMOSトランジスタのソースが、前記第1PMOSトランジスタのゲート及び第1補助コンデンサに接続されるとともに、前記第2PMOSトランジスタのドレインに接続され、前記第3PMOSトランジスタのドレイン及び前記第4PMOSトランジスタのドレインは供給電圧の電源に接続され、前記第1補助コンデンサ及び前記第2補助コンデンサは、相反関係にある第1クロック電圧及び第2クロック電圧にそれぞれ接続される、構成となる。

20

【0048】

このような構成により、上述した基板効果を抑制し、昇圧が可能な昇圧回路を得ることができる。

30

【0049】

本発明に係る個別昇圧回路において、前記第1PMOSトランジスタのp型基板内のnウェルは、前記後段の回路に接続され、前記第2PMOSトランジスタのp型基板内のnウェルは、前記後段の回路に接続され、前記第3PMOSトランジスタのp型基板内のnウェルは、前記第2補助コンデンサに接続され、前記第4PMOSトランジスタのp型基板内のnウェルは、前記第1補助コンデンサに接続される、構成とすることが望ましい。

【0050】

このような構成により、各々のPMOSトランジスタのp型基板内のnウェルは、回路中のユニット内において、最も高い電位となる位置に接続されることになる。このように接続することにより、ジャンクションリークをなくし、スイッチングトランジスタとしてのPMOSトランジスタの動作を確実に行うことができる。

40

【0051】

本発明に係る昇圧回路は、直列的に接続される複数段の個別昇圧回路を有する昇圧回路であって、前記複数段の個別昇圧回路のそれぞれは、前述した2つのスイッチングトランジスタ（第1スイッチングトランジスタ、第2スイッチングトランジスタ）を備えているいずれかの個別昇圧回路を含み、初段は外部電源の電源電圧を前記供給電圧として入力し、初段以外の各段の個別昇圧回路は、前段の前記個別昇圧回路における前記後段の回路に充電された電圧を前記供給電圧として入力する、構成となる。

【0052】

このような構成によれば、各段の個別昇圧回路における後段の回路に、例えば昇圧コン

50

デンサを設けると、そこに充電保持される電圧を外部電源の電源電圧から徐々に増大（昇圧）させることができる。そして、最終段の個別昇圧回路における昇圧コンデンサに充電保持された電圧を当該昇圧回路の出力電圧として利用することができる。

【0053】

本発明に係る昇圧回路において、前記複数段の個別昇圧回路のそれぞれは、特に前述した第1クロックバッファ回路及び第2クロックバッファ回路を有する個別昇圧回路を含み、初段以外の各段の個別昇圧回路の前記第1クロックバッファ回路は、前段の個別昇圧回路における前記第1クロックバッファ回路からのクロック電圧を前記第1基準クロック電圧として入力し、初段以外の各段の個別昇圧回路の前記第2クロックバッファ回路は、前段の個別昇圧回路における前記第2クロックバッファ回路からのクロック電圧を前記第2基準クロック電圧として入力する、構成とすることができる。

10

【0054】

このような構成により、複数段の個別昇圧回路において、第1PMOSトランジスタをオン、オフ動作させる第1クロック電圧としてのクロック電圧のもとになる第1基準クロック電圧が、前段の第1クロックバッファ回路で増強されたものとなり、第2PMOSトランジスタをオン、オフ動作させる第2クロック電圧としてのクロック電圧のもとになる第2基準クロック電圧が、前段の第2クロックバッファ回路で増強され得たものとなるので、各段の個別昇圧回路における第1PMOSトランジスタ及び第2PMOSトランジスタをより確実にオン、オフ動作させることができるようになる。

20

【0055】

また、本発明に係る昇圧回路は、直列的に接続される複数段の個別昇圧回路を有する昇圧回路であって、前記複数段の個別昇圧回路のそれぞれは、前述した4つのスイッチングトランジスタ（第1スイッチングトランジスタ、第2スイッチングトランジスタ、第3スイッチングトランジスタ、第4スイッチングトランジスタ）を備えているいずれかの個別昇圧回路を含み、初段は外部電源の電源電圧を前記供給電圧として入力し、初段以外の各段の個別昇圧回路は、前段の前記個別昇圧回路における前記後段の回路に充電された電圧を前記供給電圧として入力する、構成となる。

【0056】

このような構成でも、上述した昇圧回路と同様に、各段の個別昇圧回路における後段の回路に、例えば昇圧コンデンサを設けると、そこに充電保持される電圧を外部電源の電源電圧から徐々に増大（昇圧）させることができる。そして、最終段の個別昇圧回路における昇圧コンデンサに充電保持された電圧を当該昇圧回路の出力電圧として利用することができる。

30

【0057】

本発明に係る昇圧回路において、前記複数段の個別昇圧回路のそれぞれは、特に前述した第1クロックバッファ回路、第2クロックバッファ回路、第3クロックバッファ回路及び第4クロックバッファ回路を有する昇圧回路を含み、初段以外の各段の個別昇圧回路の前記第1クロックバッファ回路及び前記第2クロックバッファ回路は、前段の個別昇圧回路における前記第1クロックバッファ回路からのクロック電圧を、前記第1基準クロック電圧として入力し、初段以外の各段の個別昇圧回路の前記第3クロックバッファ回路及び前記第4クロックバッファ回路は、前段の個別昇圧回路における前記第3クロックバッファ回路からのクロック電圧を第2基準クロック電圧として入力する、構成とすることができる。

40

【0058】

このような構成により、複数段の個別昇圧回路において、第1PMOSトランジスタをオン、オフ動作させる第1クロック電圧としてのクロック電圧及び第3PMOSトランジスタをオン、オフ動作させる第2クロック電圧としてのクロック電圧のもとになる第1基準クロック電圧が、前段の第1クロックバッファ回路で増強されたものとなるとともに、第2PMOSトランジスタをオンオフ動作させる第2クロック電圧としてのクロック電圧及び第4PMOSトランジスタをオン、オフ動作させる第1クロック電圧としてのクロック電圧のもとにな

50

る第2基準クロック電圧が、前段の第3クロックバッファ回路で増強されたものとなるので、各段の個別昇圧回路における第1PMOSトランジスタ、第2PMOSトランジスタ、第3PMOSトランジスタ及び第4PMOSトランジスタのそれぞれを確実にオン、オフ動作させることができるようになる。

【0059】

また、本発明に係る電子機器は、上述したいずれかの個別昇圧回路を含む昇圧回路、または、上述したいずれかの昇圧回路と、前記昇圧回路からの電圧供給により動作する動作回路と、を有する構成となる。

【0060】

このような構成により、微弱な電源電圧の外部電源を用いて、より高い供給電圧の必要な動作回路が動作するようになる。

【発明の効果】

【0061】

本発明に係る個別昇圧回路によれば、補助コンデンサへの電源電圧による充電と、充電された補助コンデンサを介した第2クロック電圧に対応する電圧による昇圧コンデンサへの充電とが、交互に繰り返行われることにより、昇圧コンデンサの充電電圧が徐々に上昇して目標となる電圧に達するようになるので、微弱な供給電圧からより確実に前記目標となる電圧まで昇圧することができるようになる。

【0062】

また、本発明に係る個別昇圧回路によれば、第2補助コンデンサへの供給電圧による充電、及び既に充電されている状態の第1補助コンデンサを介した第1クロック電圧に対応する電圧による昇圧コンデンサへの充電と、放電された第1補助コンデンサへの供給電圧による充電及び既に充電された状態の第2補助コンデンサを介した第2クロック電圧に対応する電圧による昇圧コンデンサへの充電とが、交互に繰り返行われることにより、昇圧コンデンサの充電電圧が徐々に上昇して目標となる電圧に達するようになるので、微弱な電源電圧からより確実に前記目標となる電圧まで昇圧することができる。また、第1補助コンデンサからと第2補助コンデンサからの2系統から昇圧コンデンサへの充電が交互に行われるので、より効率的に昇圧コンデンサの充電電圧を昇圧することができる。

【0063】

本発明に係る昇圧回路によれば、複数段の個別昇圧回路のそれぞれが、確実に目標となる電圧まで昇圧することができるので、微弱な電源電圧から確実に最終目標となる出力電圧を得ることができるとともに、ロスを考慮して設けるべき個別昇圧回路を減らすこと、または、なくすことができ、より小型化できる。

【0064】

本発明に係る電子機器によれば、微弱な電源電圧から確実に最終目標となる出力電圧を得ることができる昇圧回路を搭載しているので、その出力電圧によって確実に動作し得るようになる。

【図面の簡単な説明】

【0065】

【図1】図1は、本発明の実施の形態に係る電子機器の構成を示すブロック図である。

【図2】図2は、図1に示す電子機器に用いられる、本発明の第1の実施の形態に係る昇圧回路を示す回路図である。

【図3A】図3Aは、図2に示す昇圧回路における初段の個別昇圧回路を示す回路図（その1）である。

【図3B】図3Bは、図2に示す昇圧回路における初段の個別昇圧回路を示す回路図（その2）である。

【図4】図4は、初段の個別昇圧回路における各部の電圧の変化を示すタイミングチャートである。

【図5】図5は、初段の個別昇圧回路における昇圧コンデンサに蓄積される電圧の特性を示すグラフ図である。

10

20

30

40

50

【図 6 A】図 6 A は、初段から最終段の個別昇圧回路のそれぞれにおける昇圧コンデンサに蓄積される電圧の特性を示すシミュレーショングラフ図である。

【図 6 B】図 6 B は、図 6 A の部分 A を拡大して示す図である。

【図 7】本発明の第 2 の実施の形態に係る昇圧回路を示す回路図である。

【図 8 A】図 8 A は、図 7 に示す昇圧回路における初段の個別昇圧回路を示す回路図（その 1）である。

【図 8 B】図 8 B は、図 7 に示す昇圧回路における初段の個別昇圧回路を示す回路図（その 2）である。

【図 9】図 9 は、初段の個別昇圧回路における各部の電圧の変化を示すタイミングチャートである。

10

【図 10】図 10 は、初段の個別昇圧回路における昇圧コンデンサに蓄積される電圧の特性を示すグラフ図である。

【図 11】図 11 は、初段から最終段の個別昇圧回路のそれぞれにおける昇圧コンデンサに蓄積される電圧の特性を示すシミュレーショングラフ図である。

【図 12】図 12 は、本発明の第 3 の実施の形態に係る昇圧回路を示す回路図である。

【図 13 A】図 13 A は、図 12 に示す昇圧回路における初段の個別昇圧回路を示す回路図（その 1）である。

【図 13 B】図 13 B は、図 12 に示す昇圧回路における初段の個別昇圧回路を示す回路図（その 2）である。

【発明を実施するための形態】

20

【0066】

以下、本発明の実施の形態について図面を用いて説明する。

【0067】

本発明の実施の形態に係る昇圧回路が搭載される電子機器は、図 1 に示すように構成される。この電子機器は、人等の動物の体内に入って動作する、所謂、飲み込み型デバイスである。

【0068】

図 1 において、この電子機器（飲み込み型デバイス）は、電源部 20 と、電源部 20 からの給電によって動作する動作回路 30 とを有する。電源部 20 は、胃酸電池（外部電源）10 を構成する Pt（白金）電極 11 a と Mg（マグネシウム）電極 11 b とが接続されており、胃液（胃酸）中において Pt 電極（正極）11 a と Mg 電極（負極）11 b との間で発生する電圧（外部電源からの電源電圧）を昇圧して動作回路 30 に供給する。電源部 20 は、昇圧回路 21、発振器 22、及び蓄電用コンデンサ 23 を有している。昇圧回路 21 は、詳細については後述するが、直列的に接続される複数段の個別昇圧回路を備えており、胃酸電池 10 の Pt 電極 11 a と Mg 電極 11 b との間で発生した微弱な電圧を、発振器 22 からの相反関係にある 2 つのクロック電圧に同期して順次昇圧させていく。昇圧回路 21 の最終段の個別昇圧回路にて得られる電圧は、蓄電用コンデンサ 23 に蓄積（蓄電）される。電源部 20 における蓄電用コンデンサ 23 に蓄積された電圧が、電源部 20 からの電源電圧として動作回路 30 に印加される。

30

【0069】

動作回路 30 は、電源部 20（昇圧回路 21 を含む）からの給電を受けて、例えば、動物の器官内において種々の生体情報を取得して体外に送信する動作を行う電子回路であり、センサ 31、マイクロコンピュータ 32、通信キャリア生成用発振器 33、シーケンサ 34、データバッファ 35、符号化器 36、変調器 37 及び送信信号出力部（送信機）38 を備えている。なお、動作回路 30 の各部の詳細な構成及び動作についての説明は、省略する。

40

【0070】

本発明の第 1 の実施の形態に係る昇圧回路である前述した昇圧回路 21 の構成について、図 2、図 3 A 及び図 3 B を参照して詳細に説明する。

【0071】

50

昇圧回路 21 は、図 2 に示すように、複数段（この場合、4 段）の個別昇圧回路 21 a、21 b、21 c、21 d が直列的に接続された構成となっている。個別昇圧回路 21 a、21 b、21 c、21 d のそれぞれには、発振器 22（図 1 参照）から、高電圧値と該高電圧値より低い低電圧値との間で変化する第 1 クロック電圧 CLK1（ V_{CLK1} ）と、この第 1 クロック電圧 CLK1（ V_{CLK1} ）と相反関係にある第 2 クロック電圧 CLK2（ V_{CLK2} ）とが供給される。個別昇圧回路 21 a、21 b、21 c、21 d のそれぞれは、第 1 クロック電圧 CLK1（ V_{CLK1} ）及び第 2 クロック電圧 CLK2（ V_{CLK2} ）に同期して動作する。

【0072】

初段の個別昇圧回路 21 a は、図 2 とともに図 3 A 及び図 3 B に示すように、第 1 PMOS トランジスタ MP1（第 1 スイッチングトランジスタ）、第 2 PMOS トランジスタ MP2（第 2 スイッチングトランジスタ）、第 1 コンデンサ C1、第 2 コンデンサ C2（補助コンデンサ）及び昇圧コンデンサ Cbt を有している。そして、この初段の個別昇圧回路 21 a には、第 1 クロック電圧 CLK1（ V_{CLK1} ）及び第 2 クロック電圧 CLK2（ V_{CLK2} ）の他、胃酸電池 10 からの出力電圧（電源電圧：例えば、1.3 V）が供給電圧として供給される。なお、第 1 コンデンサ C1 は回路の安定化のため設けているが、設けなくても動作上問題なく、必須の構成要素ではない。ここでは、第 1 コンデンサ C1 を設けた状態で、説明をする。

【0073】

第 1 PMOS トランジスタ MP1 の p 型基板内の n ウェルとソースとの接続点が、他端が接地された昇圧コンデンサ Cbt の一端に接続されている。本発明では、p 型基板内の図 2 の太い破線に囲まれた領域に n ウェルが形成されている。（図 2 では、簡略のため、初段のみ示しているが、後段も同様に n ウェルが形成されている。）n ウェルは、他の n ウェルとは電氣的に独立（絶縁）されている。なお、本発明では、p 型基板内の n ウェルに接続される側をソースとする。本発明の回路では、PMOS のソース側、ドレイン側は本質的なものではなく、ここでは、理解を助けるための便宜的な呼び方である。第 2 PMOS トランジスタ MP2 の p 型基板内の n ウェルとソースとの接続点が、第 2 コンデンサ C2 の一端に接続されるとともに、第 1 PMOS トランジスタ MP1 のドレインに接続されている。また、第 1 コンデンサ C1 の一端が第 1 PMOS トランジスタ MP1 のゲートに接続されるとともに、第 1 コンデンサ C1 の他端には第 1 クロック電圧 CLK1（ V_{CLK1} ）が入力する。よって、第 1 クロック電圧 CLK1（ V_{CLK1} ）は、第 1 コンデンサ C1 を通して第 1 PMOS トランジスタ MP1 のゲートに印加する。前述した第 2 PMOS トランジスタ MP2 の p 型基板内の n ウェルとソースとの接続点が接続される第 2 コンデンサ C2 の一端が第 2 PMOS トランジスタ MP2 のゲートに接続されるとともに、第 2 コンデンサ C2 の他端には第 2 クロック電圧 CLK2（ V_{CLK2} ）が入力する。よって、第 2 クロック電圧 CLK2（ V_{CLK2} ）は、第 2 コンデンサ C2 を通して第 2 PMOS トランジスタ MP2 のゲートに印加する。

【0074】

また、第 1 PMOS トランジスタ MP1 の p 型基板内の n ウェル、第 2 PMOS トランジスタ MP2 の p 型基板内の n ウェルは、回路中のユニット内において、最も高い電位となる位置に接続されている。PMOS トランジスタを安定的に動作させるには、p 型基板内の n ウェルの電位がソースの電位と同等か、より高い必要があるが、上述した接続により、p 型基板内の n ウェルの電位がソースの電位と同等の状態が維持されるようになり、ジャンクションリークをなくし、PMOS トランジスタの動作を確実に行うことができる。

【0075】

上述した回路構成において、図 3 A に示すように、胃酸電池 10（外部電源）から第 2 PMOS トランジスタ MP2 のドレインを通過してソースを抜けて第 2 コンデンサ C2（補助コンデンサ）に至る回路（破線参照）が、補助充電回路 211 として形成される。この補助充電回路 211 は、第 1 クロック電圧 CLK1（ V_{CLK1} ）が高電圧値、第 2 クロック電圧 CLK2（ V_{CLK2} ）が低電圧値であって、第 1 PMOS トランジスタ MP1 がオフ状態で、第 2 PMOS トランジスタ MP2 がオン状態であるときに、胃酸電池 10 からの電圧（電源電圧）によって第 2 PMOS トランジスタ MP2 を通して第 2 コンデンサ C2 を充電させる。また、図 3 B に示

すように、第2コンデンサC2から第1PMOSトランジスタMP1のドレインを通過してソースを抜けて昇圧コンデンサCbtに至る回路（破線参照）が、昇圧充電回路212として形成される。この昇圧充電回路212は、第1クロック電圧CLK1（ V_{CLK1} ）が低電圧値、第2クロック電圧CLK2（ V_{CLK2} ）が高電圧値であって、第1PMOSトランジスタMP1がオン状態で、第2PMOSトランジスタMP2がオフ状態であるときに、前述したように胃酸電池10の電圧によって充電された第2コンデンサC2を介し、第2クロック電圧CLK2（ V_{CLK2} ：高電圧値）によって第1PMOSトランジスタMP1を通して昇圧コンデンサCbtを充電させる。

【0076】

図4に示すタイミングチャートを参照しつつ、個別昇圧回路21aの動作について説明する。なお、図4は、胃酸電池10の出力電圧（電源電圧：例えば、1.3V）から昇圧が繰り返されている過程における、昇圧開始時から90 μ s以降について示している。

【0077】

相反関係にある第1クロック電圧CLK1（ V_{CLK1} ）と第2クロック電圧CLK2（ V_{CLK2} ）とが高電圧値（例えば、1.3V）と低電圧値（例えば、略0V）との間で繰り返し変化している。この過程で、第1クロック電圧CLK1（ V_{CLK1} ）が高電圧値であって、第2クロック電圧CLK2（ V_{CLK2} ）が低電圧値であると（例えば、 t_1 のタイミング参照）、第1PMOSトランジスタMP1がオフ状態で、第2PMOSトランジスタMP2がオン状態になる。この状態では、図3Aに示す補助充電回路211により、オン状態の第2PMOSトランジスタMP2を通じた胃酸電池10の出力電圧（1.3V）による第2コンデンサC2（補助コンデンサ）への充電が行われる。これにより、第2コンデンサC2の充電電圧 V_{INSIDE} は、徐々に上昇する（例えば、約0.8Vに達する）。

【0078】

次に、第1クロック電圧CLK1（ V_{CLK1} ）が低電圧値に、第2クロック電圧CLK2（ V_{CLK2} ）が高電圧値に、それぞれ切り換わると（例えば、 t_2 のタイミング参照）、第1PMOSトランジスタMP1がオン状態に、第2PMOSトランジスタMP2がオフ状態に、それぞれ切り換わる。この切り換わり後の状態では、図3Bに示す昇圧充電回路212により、オン状態の第1PMOSトランジスタMP1を通じた、前述したように既に充電された第2コンデンサC2を介した第2クロック電圧CLK2（ V_{CLK2} ：高電圧値 = 1.3V）による昇圧コンデンサCbtへの充電が行われる。これにより、第2コンデンサC2の充電電圧 V_{INSIDE} が、第2クロック電圧CLK2（ V_{CLK2} ）の高電圧値（1.3V）への立ち上がりによって一気に上昇した（かさ上げされた：例えば、約2.1V）後、昇圧コンデンサCbtへの充電のための放電によって徐々に低下するとともに、昇圧コンデンサCbtの充電電圧 V_1 が徐々に上昇する。

【0079】

そして、再び第1クロック電圧CLK1（ V_{CLK1} ）が高電圧値に、第2クロック電圧CLK2（ V_{CLK2} ）が低電圧値に、それぞれ切り換わると、第2クロック電圧CLK2（ V_{CLK2} ）の低電圧値への立下りによって、第2コンデンサC2の充電電圧 V_{INSIDE} が急激に低下した後、前述したのと同様に、補助充電回路211により、再び第2コンデンサC2への胃酸電池10の出力電圧（1.3V）による充電がオン状態の第2PMOSトランジスタMP2を通して行われる（図3A参照）。これにより、前述したように一気に低下した第2コンデンサC2の充電電圧 V_{INSIDE} が徐々に上昇する（例えば、約0.8Vに達する）。

【0080】

その後、第1クロック電圧CLK1（ V_{CLK1} ）が低電圧値に、第2クロック電圧CLK2（ V_{CLK2} ）が高電圧値に、それぞれ切り換わると、前述したのと同様に、図3Bに示す昇圧充電回路212により、オン状態の第1PMOSトランジスタMP1を通じた、既に充電された第2コンデンサC2を介した第2クロック電圧CLK2（ V_{CLK2} ：高電圧値 = 1.3V）による昇圧コンデンサCbtへの充電が行われる。これにより、昇圧コンデンサCbtの充電電圧 V_1 が更に徐々に上昇する。

【0081】

10

20

30

40

50

以後、第1クロック電圧 $CLK1$ (V_{CLK1}) 及び第2クロック電圧 $CLK2$ (V_{CLK2}) のそれぞれが高電圧値と低電圧値とを繰り返す過程で、第1PMOSトランジスタ $MP1$ の上述したオン、オフ動作、及びそのオン、オフ動作に相反した、第2PMOSトランジスタ $MP2$ のオフ、オンの動作により、第2コンデンサ $C2$ (補助コンデンサ) への胃酸電池10からの出力電圧による充電と、その充電された第2コンデンサ $C2$ を介した第2クロック電圧 $CLK2$ (V_{CLK2} : 高電圧値) による昇圧コンデンサ Cbt への充電とが、交互に繰り返される。それにより、昇圧コンデンサ Cbt の充電電圧 $V1$ が、第1クロック電圧 $CLK1$ (V_{CLK1}) 及び第2クロック電圧 $CLK2$ (V_{CLK2}) それぞれの電気的特性 (電圧値、周波数等)、及び第2コンデンサ $C2$ (補助コンデンサ) 及び昇圧コンデンサ Cbt それぞれの電気的特性 (容量値等) に基づいた特性をもって、徐々に上昇していく (昇圧)。具体的には、例えば、図5に示す特性 Q に従って昇圧コンデンサ Cbt の充電電圧 $V1$ がある値 (目標の電圧値) まで上昇する。

10

【0082】

なお、個別昇圧回路21aの昇圧により到達する電圧 (図5の特性参照) は、入力する外部電源の電源電圧 (胃酸電池10の出力電圧) の2倍程度が限度である。

【0083】

上述したような個別昇圧回路21aによれば、第2コンデンサ $C2$ (補助コンデンサ) への胃酸電池10の出力電圧 (電源電圧) による充電と、充電されている状態の第2コンデンサ $C2$ (補助コンデンサ) を介した第2クロック電圧 $CLK2$ (V_{CLK2} : 高電圧値) による昇圧コンデンサ Cbt への充電とが、交互に繰り返されることにより、昇圧コンデンサ Cbt の充電電圧 V_{INSIDE} が徐々に (一気ではなく) 上昇して目標となる電圧に達するようになるので、胃酸電池10の微弱な出力電圧 (電源電圧) からより確実に前記目標となる電圧まで昇圧することができるようになる。

20

【0084】

また、個別昇圧回路21aを構成する第1スイッチングトランジスタ及び第2スイッチングトランジスタのそれぞれが、 p 型基板内の n ウェルに形成されるPMOSトランジスタ $MP1$ 、 $MP2$ で構成されているので、基板効果を抑制することができ、微弱なクロック電圧であっても、確実にオン、オフ動作することができる。その結果、胃酸電池10の微弱な出力電圧から更に確実に目標となる電圧まで昇圧させることができる。

【0085】

30

図2に戻って、直列的に接続される4段の個別昇圧回路21a、21b、21c、21dを有する昇圧回路21では、前述した初段の個別昇圧回路21a以外の個別昇圧回路21b、21c、21dのそれぞれもまた、第1PMOSトランジスタ $MP1$ (第1スイッチングトランジスタ)、第2PMOSトランジスタ $MP2$ (第2スイッチングトランジスタ)、第1コンデンサ $C1$ 、第2コンデンサ $C2$ (補助コンデンサ)、及び昇圧コンデンサ Cbt を有し、前述した初段の個別昇圧回路21aと同じ回路構成になっている。そして、初段の個別昇圧回路21aの他端が接地された昇圧コンデンサ Cbt の一端が2段目の個別昇圧回路21bの第2PMOSトランジスタ $MP2$ のドレインに接続され、2段目の個別昇圧回路21bの昇圧コンデンサ Cbt の同一端が3段目の個別昇圧回路21cの第2PMOSトランジスタ $MP2$ のドレインに接続され、更に、3段目の個別昇圧回路21cの昇圧コンデンサ Cbt の同一端が4段目の個別昇圧回路21dの第2PMOSトランジスタ $MP2$ のドレインに接続されている。即ち、初段の個別昇圧回路21a以外の個別昇圧回路21b、21c、21dのそれぞれは、前段の個別昇圧回路における昇圧コンデンサ Cbt に充電された電圧を、昇圧の対象となる、供給電圧として入力している。なお、最終段の個別昇圧回路21dにおける昇圧コンデンサ Cbt は、図1に示す蓄電用コンデンサ23に対応する。

40

【0086】

このような昇圧回路21では、初段の個別昇圧回路21aが、前述したように、第1クロック電圧 $CLK1$ (V_{CLK1}) 及び第2クロック電圧 $CLK2$ (V_{CLK2}) に同期して、胃酸電池10の出力電圧 (外部電源の電源電圧) を昇圧して昇圧コンデンサ Cbt に充電し、更に、初段の個別昇圧回路21a以外の個別昇圧回路21b、21c、21dのそれぞれが、初段

50

の個別昇圧回路 2 1 a と同様に、第 1 クロック電圧 $CLK1 (V_{CLK1})$ 及び第 2 クロック電圧 $CLK2 (V_{CLK2})$ に同期して、前段の個別昇圧回路の昇圧コンデンサ C_{bt} の充電電圧を昇圧して自段の昇圧コンデンサ C_{bt} に充電する。これにより、各段の個別昇圧回路 2 1 a、2 1 b、2 1 c、2 1 d における昇圧コンデンサ C_{bt} に充電保持される電圧（充電電圧）は、胃酸電池 1 0 の出力電圧から、徐々に増大（昇圧）していく。その様子をシミュレーションしたものを図 6 A に示す。図 2 に示す各段の電位 $V1$ 、 $V2$ 、 $V3$ 、 $V4$ の具体的な結果について述べると、初段の個別昇圧回路 2 1 a の昇圧コンデンサ C_{bt} の充電電圧 $V1$ が特性 $Q1$ に従って上昇し、2 段目の個別昇圧回路 2 1 b の昇圧コンデンサ C_{bt} の充電電圧 $V2$ が特性 $Q2$ に従って上昇し、3 段目の個別昇圧回路 2 1 c の昇圧コンデンサ C_{bt} の充電電圧が特性 $Q3$ に従って上昇し、最終段の個別昇圧回路 2 1 d の昇圧コンデンサ C_{bt} （蓄電用コンデンサ 2 3）の充電電圧 $V4$ が特性 $Q4$ に従って上昇する。このように、各段の個別昇圧回路 2 1 a、2 1 b、2 1 c、2 1 d の昇圧コンデンサ C_{bt} の到達充電電圧は、後段の個別昇圧回路になるほど高くなり、最終段の個別昇圧回路 2 1 d における昇圧コンデンサ C_{bt} （蓄電用コンデンサ 2 3）に充電保持された電圧が、胃酸電池 1 0 の出力電圧から数倍にまで昇圧される。そして、その昇圧によって得られた（蓄電用コンデンサ 2 3 に保持された）電圧が、当該昇圧回路 2 1 の出力電圧（電源部 2 0 の出力電圧）として、動作回路 3 0 に印加される（図 1 参照）。

【 0 0 8 7 】

なお、図 6 A において、各特性 $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ は、電圧が、クロックに合わせ激しく変動を繰り返しながら上昇しているため、電圧が太い幅の線のようにあらわされている。図 6 A の部分 A を拡大したものを図 6 B に示す。図 6 B では、各特性 $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ は、クロックに応じ激しく変動を繰り返しながら上昇することが明確に理解できる。これは、本発明の昇圧回路は、各段において、昇圧コンデンサ C_{bt} に充電された電圧が次段に供給されることで放電されることが、規則的に連続して行われるためであるが、図 2 の昇圧回路 2 1 のように、2 個のトランジスタで構成した場合、図 6 A に示すように、変動が大きいのは、2 つのクロック電圧に同期して、1 つの補助コンデンサ（第 2 コンデンサ $C2$ ）でしか昇圧コンデンサ C_{bt} に電荷を流入させることができず、また、一部の電圧がリーク電圧となるためと考えられる。

【 0 0 8 8 】

ただし、図 2 の昇圧回路 2 1 は 2 個の PMOS トランジスタだけでも、各特性 $Q1$ 、 $Q2$ 、 $Q3$ 、 $Q4$ は、各段において、2 倍程度の昇圧を行うことができるものであり、小型の昇圧回路を構成するのに適している。

【 0 0 8 9 】

上述したような昇圧回路 2 1 によれば、4 段の個別昇圧回路 2 1 a、2 1 b、2 1 c、2 1 d のそれぞれが、確実に目標となる電圧まで昇圧することができるので、胃酸電池 1 0 の微弱な出力電圧（例えば、1 . 3 V）からその数倍にもなる最終目標となる出力電圧（例えば、4 . 3 V 程度（図 6 参照））を確実に得ることができる。また、各段の個別昇圧回路 2 1 a、2 1 b、2 1 c、2 1 d が確実に目標となる電圧まで昇圧することができるので、ロスを考慮して設けるべき個別昇圧回路を減らす（省く）ことができ、その昇圧回路 2 1 の小型化を図ることができる。

【 0 0 9 0 】

上述した昇圧回路 2 1 に代えて、電子機器（図 1 参照）に搭載される本発明の第 2 の実施の形態に係る昇圧回路は、図 7、図 8 A 及び図 8 B に示すように構成される。

【 0 0 9 1 】

この昇圧回路 2 5 は、前述した第 1 の実施の形態（図 2 参照）に係る昇圧回路 2 1 と同様に、図 7 に示すように、4 段の個別昇圧回路 2 5 a、2 5 b、2 5 c、2 5 d が直列的に接続された構成となっている。そして、各段の個別昇圧回路 2 5 a、2 5 b、2 5 c、2 5 d には第 1 クロック電圧 $CLK1 (V_{CLK1})$ とそれに相反する第 2 クロック電圧 $CLK2 (V_{CLK2})$ が供給され、各段の個別昇圧回路 2 5 a、2 5 b、2 5 c、2 5 d は、相反する 2 つのクロック電圧、第 1 クロック電圧 $CLK1 (V_{CLK1})$ 及び第 2 クロック電圧 $CLK2 (V_{CLK2})$

10

20

30

40

50

)に同期して動作する。この昇圧回路25は、各段の個別昇圧回路25a、25b、25c、25dが、4つのPMOSトランジスタを有する点で、第1の実施の形態に係る昇圧回路21(図2参照)と異なる。

【0092】

初段の個別昇圧回路25aは、図7とともに図8A及び図8Bに示すように、第1PMOSトランジスタMP1(第1スイッチングトランジスタ)、第2PMOSトランジスタMP2(第2スイッチングトランジスタ)、第3PMOSトランジスタMP3(第3スイッチングトランジスタ)、第4PMOSトランジスタMP4(第4スイッチングトランジスタ)、第1コンデンサC1(第1補助コンデンサ)、第2コンデンサC2(第2補助コンデンサ)、及び昇圧コンデンサCbtを有している。そして、この初段の個別昇圧回路25aには、第1クロック電圧CLK1(V_{CLK1})及び第2クロック電圧CLK2(V_{CLK2})の他、胃酸電池10からの出力電圧(電源電圧:例えば、1.3V)が供給される。なお、昇圧コンデンサCbt及び昇圧コンデンサCbtが出力部に接続される導線も、昇圧コンデンサCbtに充電した電圧を長時間使用しない場合には設ける必要はなく、直接後段の回路に供給する回路としてもよい。ここでは、昇圧コンデンサCbtを設けた状態で、説明をする。

10

【0093】

第1の実施の形態同様、p型基板内の図7の太い破線に囲まれた領域にnウェルが形成されている。(図7では、簡略のため、初段のみ示しているが、後段も同様にnウェルが形成されている。)nウェルは、他のnウェルとは電氣的に独立(絶縁)されている。なお、図7に示すように、第1PMOSトランジスタMP1と第2PMOSトランジスタMP1とは、絶縁されていない同じnウェルに形成されてもよい。第1PMOSトランジスタMP1のp型基板内のnウェルとソースとの接続点が、他端が接地された昇圧コンデンサCbtの一端に接続され、第2PMOSトランジスタMP2のp型基板内のnウェルとソースとの接続点が、同様に、昇圧コンデンサCbtのその一端に接続されている。第3PMOSトランジスタMP3のp型基板内のnウェルとソースとの接続点が、第2コンデンサC2の一端に接続されるとともに、第1PMOSトランジスタMP1のドレインに接続されている。第4PMOSトランジスタMP4のp型基板内のnウェルとソースとの接続点が、第1コンデンサC1に接続されるとともに、第2PMOSトランジスタMP2のドレインに接続されている。

20

【0094】

また、第1コンデンサC1の一端が第1PMOSトランジスタMP1のゲート及び第4PMOSトランジスタMP4のゲートに接続されるとともに、第1コンデンサC1の他端には第1クロック電圧CLK1(V_{CLK1})が入力する。よって、第1クロック電圧CLK1(V_{CLK1})は、第1コンデンサC1を通して第1PMOSトランジスタMP1のゲート及び第4PMOSトランジスタMP4のゲートに印加する。第2コンデンサC2の一端が第2PMOSトランジスタMP2のゲート及び第3PMOSトランジスタMP3のゲートに接続されるとともに、第2コンデンサC2の他端には第2クロック電圧CLK2(V_{CLK2})が入力する。よって、第2クロック電圧CLK2(V_{CLK2})は、第2コンデンサC2を通して第2PMOSトランジスタMP2のゲート及び第3PMOSトランジスタMP3のゲートに印加する。

30

【0095】

図2の個別昇圧回路21aと同様、第1PMOSトランジスタMP1のp型基板内のnウェル、第2PMOSトランジスタMP2のp型基板内のnウェル、第3PMOSトランジスタMP3のp型基板内のnウェル、第4PMOSトランジスタMP4のp型基板内のnウェルは、回路中のユニット内において、最も高い電位となる位置に接続されている。この接続により、ジャンクションリークをなくし、PMOSトランジスタの動作を確実に行うことができる。

40

【0096】

上述した回路において、図8Aに示すように、胃酸電池10(外部電源)から第3PMOSトランジスタMP3のドレインを通してソースを抜けて第2コンデンサC2(第2補助コンデンサ)に至る回路(破線参照)が、第2補助充電回路253として形成される。また、第1コンデンサC1(第1補助コンデンサ)から第2PMOSトランジスタMP2のドレインを通してソースを抜けて昇圧コンデンサCbtに至る回路(一点鎖線参照)が、第1昇圧充電

50

回路252として形成される。第1クロック電圧 $CLK1(V_{CLK1})$ が高電圧値で、第2クロック電圧 $CLK2(V_{CLK2})$ が低電圧値であって、第1PMOSトランジスタMP1及び第4PMOSトランジスタMP4がオフ状態で、第2PMOSトランジスタMP2及び第3PMOSトランジスタMP3がオン状態となるとときに、第2補助充電回路253が、胃酸電池10からの出力電圧によって第3PMOSトランジスタMP3を通して第2コンデンサC2(第2補助コンデンサ)を充電させ、同時に、第1昇圧充電回路252が、既に充電されている第1コンデンサC1を介して、第1クロック電圧 $CLK1(V_{CLK1}$:高電圧値)によって第2PMOSトランジスタMP2を通して昇圧コンデンサCbtを充電させる。

【0097】

また、図8Bに示すように、胃酸電池10(外部電源)から第4PMOSトランジスタMP4のドレインを通過してソースを抜けて第1コンデンサC1(第1補助コンデンサ)に至る回路(破線参照)が、第1補助充電回路251として形成される。また、第2コンデンサC2(第2補助コンデンサ)から第1PMOSトランジスタMP1のドレインを通過してソースを抜けて昇圧コンデンサCbtに至る回路(一点鎖線)が、第2昇圧充電回路254として形成される。第1クロック電圧 $CLK1(V_{CLK1})$ が低電圧値で、第2クロック電圧 $CLK2(V_{CLK2})$ が高電圧値であって、第1PMOSトランジスタMP1及び第4PMOSトランジスタMP4がオン状態で、第2PMOSトランジスタMP2及び第3PMOSトランジスタMP3がオフ状態であるときに、第1補助充電回路251が、胃酸電池10からの出力電圧によって第4PMOSトランジスタMP4を通して第1コンデンサC1(第1補助コンデンサ)を充電させ、同時に、第2昇圧充電回路254が、既に充電されている第2コンデンサC2(第2補助コンデンサ)を介して、第2クロック $CLK2(V_{CLK2}$:高電圧値)によって第1PMOSトランジスタMP1を通して昇圧コンデンサCbtを充電させる。

【0098】

図9に示すタイミングチャートを参照しつつ、個別昇圧回路25aの動作について説明する。なお、図9は、胃酸電池10の出力電圧(電源電圧:例えば、1.3V)から昇圧が繰り返される過程における、昇圧開始時から440 μ s以降について示している。

【0099】

前述した第1の実施の形態の場合(図4参照)と同様に、相反関係にある第1クロック電圧 $CLK1(V_{CLK1})$ と第2クロック電圧 $CLK2(V_{CLK2})$ とが高電圧値と低電圧値との間で繰り返し変化している。その過程で、第1クロック電圧 $CLK1(V_{CLK1})$ が高電圧値であって、第2クロック電圧 $CLK2(V_{CLK2})$ が低電圧値であると(例えば、 t_1 のタイミング参照)、第1PMOSトランジスタMP1及び第4PMOSトランジスタMP4がオフ状態で、第2PMOSトランジスタMP2及び第3PMOSトランジスタMP3がオン状態になる。この状態では、図8Aに示す第2補助充電回路253により、オン状態の第3PMOSトランジスタMP3を通じた胃酸電池10の出力電圧(1.3V)による第2コンデンサC2(第2補助コンデンサ)への充電が行われる。これにより、第2コンデンサC2の充電電圧 $V_{INSIDE2}$ が徐々に上昇する(例えば、約0.8Vに達する)。この第2コンデンサC2への充電と同時に、図8Aに示す第1昇圧充電回路252により、オン状態の第2PMOSトランジスタMP2を通じた、既に充電されている第1コンデンサC1(第1補助コンデンサ)を介した第1クロック電圧 $CLK1(V_{CLK1}$:高電圧値=1.3V)による昇圧コンデンサCbtへの充電が行われる。これにより、第1コンデンサC1の充電電圧 $V_{INSIDE1}$ が、第1クロック電圧 $CLK1(V_{CLK1})$ の高電圧値(1.3V)への立ち上がりによって一気に上昇した(かさ上げされた)後、昇圧コンデンサCbtへの充電のための放電によって徐々に低下するとともに、昇圧コンデンサCbtの充電電圧V1が徐々に上昇する。

【0100】

次に、第1クロック電圧 $CLK1(V_{CLK1})$ が低電圧値に、第2クロック電圧 $CLK2(V_{CLK2})$ が高電圧値に、それぞれ切り換わると(例えば、 t_2 のタイミング参照)、第1PMOSトランジスタMP1及び第4PMOSトランジスタMP4がオン状態に、第2PMOSトランジスタMP2及び第3PMOSトランジスタMP3がオフ状態に、それぞれ切り換わる。すると、第1クロック電圧 $CLK1(V_{CLK1})$ の低電圧値への立下りによって、第1コンデンサC1(第1補

10

20

30

40

50

助コンデンサ)の充電電圧 $V_{INSIDE1}$ が急激に低下した後、図8Bに示す第1補助充電回路251により、第1コンデンサC1(第1補助コンデンサ)への胃酸電池10の出力電圧(1.3V)による充電が、オン状態の第4PMOSトランジスタMP4を通して行われる。これにより、前述したように一気に低下した第1コンデンサC1(第1補助コンデンサ)の充電電圧 $V_{INSIDE1}$ が徐々に上昇する(例えば、0.8Vに達する)。

【0101】

また、上述した第1コンデンサC1への充電と同時に、図8Bに示す第2昇圧充電回路254により、オン状態の第1PMOSトランジスタMP1を通した、前述したように既に充電された第2コンデンサC2(第2補助コンデンサ)を介した第2クロック電圧CLK2(V_{CLK2} :高電圧値=1.3V)による昇圧コンデンサCbtへの充電が行われる。これにより、第2コンデンサC2の充電電圧 $V_{INSIDE2}$ が、第2クロック電圧CLK2(V_{CLK2})の高電圧値(1.3V)への立ち上がりによって一気に上昇した(かさ上げされた)後、昇圧コンデンサCbtの充電のための放電によって徐々に低下するとともに、昇圧コンデンサCbtの充電電圧V1が徐々に上昇する。

【0102】

以後、第1クロック電圧CLK1(V_{CLK1})及び第2クロック電圧CLK2(V_{CLK2})のそれぞれが高電圧値と低電圧値とを繰り返す過程で、第1PMOSトランジスタMP1及び第4PMOSトランジスタMP4の上述したオン、オフ動作、及びそれらのオン、オフ動作と相反した、第2PMOSトランジスタMP2及び第3PMOSトランジスタMP3の上述したオフ、オン動作により、第2コンデンサC2(第2補助コンデンサ)への胃酸電池10の出力電圧による充電、及び充電されている第1コンデンサC1(第1補助コンデンサ)を通した第1クロック電圧CLK1(V_{CLK1} :高電圧値)による昇圧コンデンサCbtへの充電(図8A参照)と、放電された第1コンデンサC1(第1補助コンデンサ)への胃酸電池10の出力電圧による充電、及び前記充電された第2コンデンサC2(第2補助コンデンサ)を通した第2クロック電圧CLK2(V_{CLK2} :高電圧値)による昇圧コンデンサCbtへの充電とが、交互に繰り返し行われる。それにより、昇圧コンデンサCbtの充電電圧V1が、第1クロック電圧CLK1(V_{CLK1})及び第2クロック電圧CLK2(V_{CLK2})それぞれの電気的特性(電圧値、周波数等)、第1コンデンサC1、第2コンデンサC2及び昇圧コンデンサCbtそれぞれの電気的特性(容量値等)に従った特性をもって徐々に上昇していく(昇圧)。具体的には、例えば、図10に示す特性Qに従って昇圧コンデンサCbtの充電電圧V1がある値(目標の電圧値)まで上昇する。また、特に、胃酸電池10により交互に充電される第1コンデンサC1及び第2コンデンサC2のいずれか一方のコンデンサへの充電が行われているときに、充電が完了している他方のコンデンサから昇圧コンデンサCbtへの充電が行われるので、昇圧コンデンサCbtの充電電圧V1が効率的に上昇(昇圧)していく。

【0103】

上述したような個別昇圧回路25aによれば、第2コンデンサC2(第2補助コンデンサ)への胃酸電池10の出力電圧による充電、及び既に充電されている状態の第1コンデンサC1(第1補助コンデンサ)を介した第1クロック電圧CLK1(V_{CLK1} :高電圧値)による昇圧コンデンサCbtへの充電と、放電された第1コンデンサC1(第1補助コンデンサ)への胃酸電池10の出力電圧による充電、及び既に充電されている状態の第2コンデンサC2(第2補助コンデンサ)を介した第2クロック電圧CLK2(V_{CLK2} :高電圧値)による昇圧コンデンサCbtへの充電とが、交互に繰り返し行われることにより、昇圧コンデンサCbtの充電電圧V1が徐々に上昇して目標となる電圧に達するようになるので、微弱な胃酸電池10の出力電圧から確実に前記目標となる電圧まで昇圧することができる。また、第1コンデンサC1(第1補助コンデンサ)からと第2コンデンサC2(第2補助コンデンサ)からの2系統から昇圧コンデンサCbtへの充電が交互に行われるので、より効率的に昇圧コンデンサCbtの充電電圧を昇圧させることができる。

【0104】

また、第1の実施の形態の場合と同様に、個別昇圧回路25aを構成する第1スイッチングトランジスタ、第2スイッチングトランジスタ、第3スイッチングトランジスタ及び

10

20

30

40

50

第4スイッチングトランジスタのそれぞれが、p型基板内のnウェルに形成されるPMOSトランジスタMP1、MP2、MP3、MP4で構成されているので、基板効果を抑制することができ、微弱なクロック電圧であっても、確実にオン、オフ動作することができる。その結果、胃酸電池10の微弱な出力電圧から更に確実に目標となる電圧まで昇圧させることができる。

【0105】

図7に戻って、直列的に接続される4段の個別昇圧回路25a、25b、25c、25dを有する昇圧回路25では、前述した初段の個別昇圧回路25a以外の個別昇圧回路25b、25c、25dのそれぞれもまた、第1PMOSトランジスタMP1(第1スイッチングトランジスタ)、第2PMOSトランジスタMP2(第2スイッチングトランジスタ)、第3PMOSトランジスタMP3(第3スイッチングトランジスタ)、第4PMOSトランジスタMP4(第4スイッチングトランジスタ)、第1コンデンサC1(第1補助コンデンサ)、第2コンデンサC2(第2補助コンデンサ)、及び昇圧コンデンサCbtを有し、前述した初段の個別昇圧回路25aと同じ回路構成になっている。そして、第1の実施の形態に係る昇圧回路21(図2参照)と同様に、初段の個別昇圧回路25a以外の個別昇圧回路25b、25c、25dのそれぞれは、前段の個別昇圧回路(25a、25b、25c)における昇圧コンデンサCbtに充電された電圧を、昇圧の対象となる、供給電圧として入力している。具体的には、初段の個別昇圧回路25a以外の個別昇圧回路25b、25c、25dのそれぞれは、前段の個別昇圧回路(25a、25b、25c)における昇圧コンデンサCbtの一端が第3PMOSトランジスタMP3のドレイン及び第4PMOSトランジスタMP4のドレインに接続されている。なお、最終段の個別昇圧回路25dにおける昇圧コンデンサCbtは、図1における蓄電用コンデンサ23に対応する。

【0106】

このような昇圧回路25では、第1の実施の形態に係る昇圧回路21(図2、図6参照)と同様に、各段の個別昇圧回路25a、25b、25c、25dにおける昇圧コンデンサCbtに充電保持される電圧(充電電圧)は、胃酸電池10の出力電圧から、徐々に増大(昇圧)していく。その様子をシミュレーションしたものを図11に示す。図7に示す各段の電位V1、V2、V3、V4の具体的な結果について述べると、初段の個別昇圧回路25aの昇圧コンデンサCbtの充電電圧V1が特性Q1に従って上昇し、2段目の個別昇圧回路25bの昇圧コンデンサCbtの充電電圧V2が特性Q2に従って上昇し、3段目の個別昇圧回路25cの昇圧コンデンサCbtの充電電圧V3が特性Q3に従って上昇し、最終段の個別昇圧回路25dの昇圧コンデンサCbt(蓄電用コンデンサ23)の充電電圧V4が特性Q4に従って上昇する。このように、各段の個別昇圧回路25a、25b、25c、25dの昇圧コンデンサCbtの到達充電電圧は、後段の個別昇圧回路ほど高くなり、最終段の個別昇圧回路25dの昇圧コンデンサCbt(蓄電用コンデンサ23)に充電保持された電圧が、胃酸電池10の出力電圧から数倍まで上昇される。そして、その昇圧によって得られた(蓄電用コンデンサ23に保持された)電圧が、当該昇圧回路25の出力電圧(電源部20の出力電圧)として、動作回路30に印加される(図1参照)。

【0107】

なお、図11では、図6A、Bと比較して明らかなように、各特性Q1、Q2、Q3、Q4は、クロックに合わせおこる変動が小さく、また、昇圧速度も速い。これは、図2に示す昇圧回路21のように、2個のPMOSトランジスタで構成した場合には、先述したように、2つのクロック電圧に同期させて一つの補助コンデンサでしか昇圧コンデンサに電荷を流入させることができず、また、一部の電圧がリーク電圧となるが、図7に示す昇圧回路25のように、4個のPMOSトランジスタで構成した場合には、2つのクロック電圧に同期させて2つの補助コンデンサで昇圧コンデンサに電荷を流入させることができるため、2倍の速度で電荷の流入を行うことができ、また、リーク電圧も抑えることができているためであると考えられる。

【0108】

このように、図7に示す昇圧回路25は、各段において、リーク電圧が少なく、高速で

、数倍の昇圧を行うことができるものであり、短時間に昇圧を実現できる、安定的な昇圧回路を構成するのに適している。

【0109】

上述したような昇圧回路25によれば、本発明の第1の実施の形態に係る昇圧回路21と同様に、4段の個別昇圧回路25a、25b、25c、25dのそれぞれが、確実に目標となる電圧まで昇圧することができるので、胃酸電池10の微弱な出力電圧（たとえば、1.3V）からその数倍にもなる最終目標となる出力電圧（例えば、4.8V程度（図11参照））を確実に得ることができる。また、各段の個別昇圧回路25a、25b、25c、25dが確実に目標となる電圧まで昇圧することができるので、ロスを考慮して設けるべき個別昇圧回路を減らす（省く）ことができ、その昇圧回路25の小型化を図ることができる。更に、各段の個別昇圧回路25a、25b、25c、25dのそれぞれが、第1コンデンサC1（第1補助コンデンサ）からと第2コンデンサC2（第2補助コンデンサ）からの2系統から昇圧コンデンサCbtへの充電が交互に行われることで、より効率的に昇圧できるので、胃酸電池10の微弱な出力電圧（例えば、1.3V）から最終目標の電圧（例えば、4.8V程度）まで、効率的に昇圧させることができる。

10

【0110】

更に、上述した昇圧回路21、25に代えて、電子機器（図1参照）に搭載される本発明の第3の実施の形態に係る昇圧回路は、図12、図13A及び図13Bに示すように構成される。

【0111】

この昇圧回路26は、前述した各昇圧回路21（図2参照）、25（図7参照）と同様に、図12に示すように、複数段の個別昇圧回路26a、26b、・・・が直列的に接続された構成となっている。そして、各段の個別昇圧回路26a、26b、・・・は、第1基準クロック電圧CLKS1と、それと相反関係にある第2基準クロック電圧CLKS2とに同期して動作する。この昇圧回路26は、各段の個別昇圧回路26a、26b、・・・が第1クロックバッファ回路265、第2クロックバッファ回路266、第3クロックバッファ回路267及び第4クロックバッファ回路268を有する点で、各段の個別昇圧回路が4つのPMOSトランジスタを備えた第2の実施の形態に係る昇圧回路25（図7参照）と異なる。

20

【0112】

初段の個別昇圧回路26aは、図12とともに図13A及び図13Bに示すように、4つのPMOSトランジスタMP1、MP2、MP3、MP4、第1コンデンサC1（第1補助コンデンサ）、第2コンデンサC2（第2補助コンデンサ）及び昇圧コンデンサCbtを有するとともに、第1クロックバッファ回路265、第2クロックバッファ回路266、第3クロックバッファ回路267及び第4クロックバッファ回路268を有している。そして、この初段の個別昇圧回路26aには、第1基準クロック電圧CLKS1及び第2基準クロック電圧CLKS2の他、胃酸電池10からの出力電圧（電源電圧：例えば、1.3V）が供給される。

30

【0113】

4つのPMOSトランジスタ、第1PMOSトランジスタMP1、第2PMOSトランジスタMP2、第3PMOSトランジスタMP3、第4PMOSトランジスタMP4、第1コンデンサC1、第2コンデンサC2及び昇圧コンデンサCbtの接続関係は、前述した第2の実施の形態に係る昇圧回路25の場合（図7、図8A、図8B参照）と同じである。ただし、第3PMOSトランジスタMP3のp型基板内のnウェルは当該第3PMOSトランジスタMP3のソースではなく、第1PMOSトランジスタMP1のp型基板内のnウェルとソースとの接続点に接続されており、第4PMOSトランジスタMP4のp型基板内のnウェルも、当該第4PMOSトランジスタMP4のソースではなく、第2PMOSトランジスタMP2のp型基板内のnウェルとソースとの接続点に接続されている。そして、これら4つのPMOSトランジスタMP1、MP2、MP3、MP4及び3つコンデンサC1、C2、Cbtを含む回路において、図13Aに示すように、胃酸電池10（外部電源）から第3PMOSトランジスタMP3のドレインを通過してソ

40

50

ースを抜けて第2コンデンサC2(第2補助コンデンサ)に至る回路(破線参照)が、第2補助充電回路263として形成される。また、第1コンデンサC1(第1補助コンデンサ)から第2PMOSトランジスタMP2のドレインを通過してソースを抜けて昇圧コンデンサCbtに至る回路(一点鎖線参照)が、第1昇圧充電回路262として形成される。更に、図13Bに示すように、胃酸電池10から第4PMOSトランジスタMP4のドレインを通過してソースを抜けて第1コンデンサC1に至る回路(破線参照)が、第1補助充電回路261として形成される。第2コンデンサC2から第1PMOSトランジスタMP1のドレインを通過してソースを抜けて昇圧コンデンサCbtに至る回路(一点鎖線参照)が、第2昇圧充電回路264として形成される。

【0114】

第1クロックバッファ回路265は、PMOSトランジスタMP5とNMOSトランジスタMN1とで構成される前段反転バッファ回路と、PMOSトランジスタMP6とNMOSトランジスタMN2とで構成される後段反転バッファ回路とが、直列接続されて構成される。第1クロックバッファ回路265に含まれる前段反転バッファ回路(PMOSトランジスタMP5、NMOSトランジスタMN1)は、それ単体で、第2クロックバッファ回路266を構成する。第1クロックバッファ回路265及び第2クロックバッファ回路266(共通の前段反転バッファ回路)には第1基準クロック電圧CLKS1が入力している。そして、第1クロックバッファ回路265は、第1基準クロック電圧CLKS1を2回反転させて、当該第1基準クロック電圧CLKS1と同相のクロック電圧を、第1クロック電圧(1)として、第1PMOSトランジスタMP1のゲートに印加させる。また、第2クロックバッファ回路266は、第1

【0115】

第3クロックバッファ回路267は、PMOSトランジスタMP7とNMOSトランジスタMN3とで構成される前段反転バッファ回路と、PMOSトランジスタMP8とNMOSトランジスタMN4とで構成される後段反転バッファ回路とが、直列接続されて構成される。第3クロックバッファ回路267に含まれる前段反転バッファ回路(PMOSトランジスタMP7、NMOSトランジスタMN3)が、それ単体で、第4クロックバッファ回路268として構成される。第3クロックバッファ回路267及び第4クロックバッファ回路268(共通の前段反転バッファ回路)には、前記第1基準クロック電圧CLKS1と相反関係にある第2基準クロック電圧CLKS2が入力している。そして、第3クロックバッファ回路267は、第2基準クロック電圧CLKS2を2回反転させて、当該第2基準クロック電圧CLKS2と同相、即ち、前記第1基準クロック電圧CLKS1と相反関係にある、クロック電圧を、第2クロック電圧(2)として第2PMOSトランジスタMP2のゲートに印加させる。また、第4クロックバッファ回路268は、第2基準クロック電圧CLKS2を反転させて、当該第2基準クロック電圧CLKS2と相反関係にある、即ち、第1基準クロック電圧CLKS1と同相のクロック電圧を、第1クロック電圧(1)として第4PMOSトランジスタMP4のゲートに印加させる。

【0116】

上述した構成の個別昇圧回路26aでは、相反関係にある第1基準クロック電圧CLKS1と第2基準クロック電圧CLKS2とが高電圧値と低電圧値との間で繰り返し変化している。その過程で、第1基準クロック電圧CLKS1が高電圧値であって、第2基準クロック電圧CLKS2が低電圧であると、第1クロックバッファ回路265から高電圧値の第1クロック電圧(1)としてのクロック電圧が第1PMOSトランジスタMP1のゲートに印加されるとともに、第4クロックバッファ回路268から高電圧値の第1クロック電圧(1)としてのクロック電圧が第4PMOSトランジスタMP4のゲートに印加され、第2クロックバッファ回路266から低電圧値の第2クロック電圧(2)としてのクロック電圧が第3PMOSトランジスタMP3のゲートに印加されるとともに、第3クロックバッファ回路267から低電圧値の第2クロック電圧(2)としてのクロック電圧が第2PMOSトランジスタMP2のゲートに印加される。これにより、第1PMOSトランジスタMP1及び第4PMOSトランジスタ

10

20

30

40

50

M P 4がオフ状態で、第2 PMOSトランジスタM P 2及び第3 PMOSトランジスタM P 3がオン状態になる。

【0117】

この状態では、図13Aに示す第2補助充電回路263により、オン状態の第3 PMOSトランジスタM P 3を通じた胃酸電池10の出力電圧による第2コンデンサC2(第2補助コンデンサ)への充電が行われる。これにより、第2コンデンサC2の充電電圧(図9における $V_{INSIDE2}$ に対応)が徐々に上昇する。また、同時に、図13Aに示す第1昇圧充電回路262により、オン状態の第2 PMOSトランジスタM P 2を通じた、既に充電されている第1コンデンサC1(第1補助コンデンサ)を介した、第1基準クロック電圧CLKS1(高電圧値:第1クロック電圧(1)に対応)による昇圧コンデンサCbtへの充電が行われる。これにより、第1コンデンサC1の充電電圧(図9における $V_{INSIDE1}$ に対応)が、第1基準クロック電圧CLKS1の高電圧値への立ち上がりによって一気に上昇した(かさ上げされた)後、昇圧コンデンサCbtへの充電のための放電によって徐々に低下するとともに、昇圧コンデンサCbtの充電電圧(図9におけるV1に対応)が徐々に上昇する。

10

【0118】

一方、第1基準クロック電圧CLKS1及び第2基準クロック電圧CLKS2が反転すると、第1クロックバッファ回路265から低電圧値の第1クロック電圧(1)としてのクロック電圧が第1 PMOSトランジスタM P 1のゲートに印加されるとともに、第4クロックバッファ回路268から低電圧値の第1クロック電圧(1)としてのクロック電圧が第4 PMOSトランジスタM P 4のゲートに印加され、第2クロックバッファ回路266から高電圧値の第2クロック電圧(2)としてのクロック電圧が第3 PMOSトランジスタM P 3のゲートに印加されるとともに、第3クロックバッファ回路267から高電圧値の第2クロック電圧(2)としてのクロック電圧が第2 PMOSトランジスタM P 2のゲートに印加される。これにより、第1 PMOSトランジスタM P 1及び第4 PMOSトランジスタM P 4がオン状態で、第2 PMOSトランジスタM P 2及び第3 PMOSトランジスタM P 3がオフ状態に切り換わる。

20

【0119】

この状態では、第1基準クロック電圧CLKS1の低電圧値への立下りによって、第1コンデンサC1の充電電圧(図9における $V_{INSIDE1}$ に対応)が急激に低下した後、図13Bに示す第1補助充電回路261により、第1コンデンサC1(第1補助コンデンサ)への胃酸電池10の出力電圧による充電が、オン状態の第4 PMOSトランジスタM P 4を通して行われる。これにより、前述したように一気に低下した第1コンデンサC1(第1補助コンデンサ)の充電電圧(図9における $V_{INSIDE1}$ に対応)が徐々に上昇する。また、同時に、図13Bに示す第2昇圧充電回路264により、オン状態の第1 PMOSトランジスタM P 1を通じた、既に充電されている第2コンデンサC2(第2補助コンデンサ)を介した、第2基準クロック電圧CLKS2(高電圧値:第2クロック電圧(2)に対応)による昇圧コンデンサCbtへの充電が行われる。これにより、第2コンデンサC2の充電電圧(図9における $V_{INSIDE2}$ に対応)が、第2基準クロックCLK2の高電圧値への立ち上がりによって一気に上昇した(かさ上げされた)後、昇圧コンデンサCbtの充電のための放電によって徐々に低下するとともに、昇圧コンデンサCbtの充電電圧(図9におけるV1)が徐々に上昇する。

30

40

【0120】

以後、第1基準クロック電圧CLKS1及び第2基準クロック電圧CLKS2のそれぞれが高電圧値と低電圧値とを繰り返す過程で、第1クロックバッファ回路265が第1基準クロック電圧CLKS1から生成する第1クロック電圧(1)としてのクロック電圧により第1 PMOSトランジスタM P 1が、第4クロックバッファ回路268が第2基準クロック電圧CLKS2から生成する第1クロック電圧(1)としてのクロック電圧により第4 PMOSトランジスタM P 4が、それぞれ、同相で、オン、オフ動作を繰り返す。一方、第2クロックバッファ回路266が第1基準クロック電圧CLKS1から生成する第2クロック電圧(2)としてのクロック電圧により第3 PMOSトランジスタM P 3が、第3クロックバッファ回路267が第2基準クロック電圧CLKS2から生成する第2クロック電圧(2)としてのクロック電圧によ

50

り第2 PMOSトランジスタM2が、それぞれ、同相で、即ち、第1 PMOSトランジスタMP1及び第4 PMOSトランジスタMP4のオン、オフ動作と相反的に、オン、オフ動作を繰り返す。

【0121】

このような第1 PMOSトランジスタMP1及び第4 PMOSトランジスタMP4のオン、オフ動作、及びそれらのオン、オフ動作と相反した、第2 PMOSトランジスタMP2及び第3 PMOSトランジスタMP3の上述したオフ、オン動作により、第2 コンデンサC2(第2補助コンデンサ)への胃酸電池10の出力電圧による充電、及び充電されている第1 コンデンサC1(第1補助コンデンサ)を通した第1基準クロック電圧CLKS1(高電圧値)による昇圧コンデンサCbtへの充電(図13A参照)と、放電された第1コンデンサC1(第1補助コンデンサ)への胃酸電池10の出力電圧による充電、及び前記充電された第2コンデンサC2(第2補助コンデンサ)を通した第2基準クロック電圧CLK2(高電圧値)による昇圧コンデンサCbtへの充電とが、交互に繰り返し行われる。それにより、昇圧コンデンサCbtの充電電圧(図9におけるV1に対応)が、第1基準クロック電圧CLKS1及び第2基準クロック電圧CLKS2それぞれの電気的特性(電圧値、周波数等)、第1コンデンサC1、第2コンデンサC2及び昇圧コンデンサCbtそれぞれの電気的特性(容量値等)に従った特性をもって徐々に上昇していく(昇圧)。具体的には、例えば、図10に示す特性Qに対応した特性に従って昇圧コンデンサCbtの充電電圧Vがある値(目標の電圧値)まで上昇する。

10

【0122】

上述したような個別昇圧回路26aによれば、第2の実施の形態に係る昇圧回路25の場合(図7、図8A、図8B参照)と同様に、微弱な胃酸電池10の出力電圧から確実に前記目標となる電圧まで昇圧することができ、また、第1コンデンサC1(第1補助コンデンサ)からと第2コンデンサC2(第2補助コンデンサ)からの2系統から昇圧コンデンサCbtへの充電が交互に行われるので、より効率的に昇圧コンデンサCbtの充電電圧を昇圧させることができる。また、個別昇圧回路26aを構成する第1スイッチングトランジスタ、第2スイッチングトランジスタ、第3スイッチングトランジスタ及び第4スイッチングトランジスタのそれぞれが、p型基板内のnウェルに形成されるPMOSトランジスタMP1、MP2、MP3、MP4で構成されているので、基板効果を抑制することができ、微弱なクロック電圧であっても、確実にオン、オフ動作することができる。その結果、胃酸電池10の微弱な出力電圧から更に確実に目標となる電圧まで昇圧させることができる。

20

30

【0123】

更に、上述したような個別昇圧回路26aによれば、第1基準クロック電圧CLKS1から第1クロックバッファ回路265及び第2クロックバッファ回路266によって増強的に生成される相反関係にある第1クロック電圧(1)及び第2クロック電圧(2)としての2つのクロック電圧によって、第1 PMOSトランジスタMP1及び第3 PMOSトランジスタMP3を更に確実にオン、オフ駆動させることができる。また、第1基準クロック電圧CLKS1と相反関係にある第2基準クロック電圧CLKS2から第3クロックバッファ回路267及び第4クロックバッファ回路268によって増強的に生成される相反関係にある第1クロック電圧(1)及び第2クロック電圧(2)としての2つのクロック電圧によって、第2 PMOSトランジスタMP2及び第4 PMOSトランジスタMP4を更に確実にオン、オフ駆動させることができる。その結果、胃酸電池10からの微弱な出力電圧を更に確実に昇圧させることができる。

40

【0124】

図12に戻って、直列的に接続される複数段の個別昇圧回路26a、26b、・・・のそれぞれもまた、第1 PMOSトランジスタMP1(第1スイッチングトランジスタ)、第2 PMOSトランジスタMP2(第2スイッチングトランジスタ)、第3 PMOSトランジスタMP3(第3スイッチングトランジスタ)、第4 PMOSトランジスタMP4(第4スイッチングトランジスタ)、第1コンデンサC1(第1補助コンデンサ)、第2コンデンサC2(第2補助コンデンサ)、昇圧コンデンサCbt、第1クロックバッファ回路265、第2クロック

50

バッファ回路266、第3クロックバッファ回路267及び第4クロックバッファ回路268を有し、前述した初段の個別昇圧回路25aと同じ回路構成になっている。そして、第2の実施の形態に係る昇圧回路25(図7参照)と同様に、初段の個別昇圧回路26a以外の個別昇圧回路26b、・・・のそれぞれは、前段の個別昇圧回路(25a)における昇圧コンデンサCbtに充電された電圧を、昇圧の対象となる、供給電圧として入力している。

【0125】

また、初段の個別昇圧回路26a以外の各段の個別昇圧回路26b、・・・のそれぞれにおいては、第1クロックバッファ回路265及び第2クロックバッファ回路266に、前段の個別昇圧回路(25a)における第1クロックバッファ回路265からのクロック電圧(第1クロック電圧(1):第1基準クロック電圧CLKS1と同相)が第1基準クロック電圧として入力している。また、第3クロックバッファ回路267及び第4クロックバッファ回路268に、前段の個別昇圧回路(25a)における第3クロックバッファ回路267からのクロック電圧(第2クロック電圧(2):第2基準クロック電圧CLKS2と同相)が第2基準クロック電圧として入力している。

10

【0126】

上述したような昇圧回路25によれば、本発明の第2の実施の形態に係る昇圧回路25と同様に、複数段の個別昇圧回路26a、26b、・・・のそれぞれが、確実に目標となる電圧まで昇圧することができるので、胃酸電池10の微弱な出力電圧からその数倍にもなる最終目標となる出力電圧を確実に得ることができる。また、各段の個別昇圧回路26a、26b、・・・が確実に目標となる電圧まで昇圧することができるので、ロスを考慮して設けるべき個別昇圧回路を減らす(省く)ことができ、その昇圧回路25の小型化を図ることができる。更に、各段の個別昇圧回路26a、26b、・・・のそれぞれが、第1コンデンサC1(第1補助コンデンサ)からと第2コンデンサC2(第2補助コンデンサ)からの2系統から昇圧コンデンサCbtへの充電が交互に行われることで、より効率的に昇圧できるので、胃酸電池10の微弱な出力電圧から最終目標の電圧まで、効率的に昇圧させることができる。

20

【0127】

また、更に、第1PMOSトランジスタMP1をオン、オフ動作させる第1クロック電圧(1)としてのクロック電圧及び第3PMOSトランジスタをオン、オフ動作させる第2クロック電圧のもとになる第1基準クロック電圧が、前段の第1クロックバッファ回路265で増強されたものとなるとともに、第2PMOSトランジスタをオン、オフ駆動させる第2クロック電圧としてのクロック電圧及び第4PMOSトランジスタをオン、オフ動作させる第1クロック電圧としてのクロック電圧のもとになる第2基準クロック電圧が、前段の第3クロックバッファ回路で増強されたものとなるので、各段の個別昇圧回路における第1PMOSトランジスタ、第2PMOSトランジスタ、第3PMOSトランジスタ及び第4PMOSトランジスタのそれぞれを確実にオン、オフ動作させることができるようになる。そして、そのクロック電圧の増強の程度は、後段の個別昇圧回路ほど大きくなる。その結果、胃酸電池10の微弱な出力電圧から最終目標の電圧まで、更に確実に昇圧させることができる。

30

【0128】

なお、第3の実施の形態に係る昇圧回路26の各段の個別昇圧回路26a、26b、・・・において、第1クロックバッファ回路265及び第2クロックバッファ回路266に第1基準クロック電圧CLKS1そのものを、また、第3クロックバッファ回路267及び第4クロックバッファ回路268に第2基準クロック電圧CLKS2そのものを入力させるようにしてもよい。

40

【0129】

また、第3の実施の形態に係る昇圧回路26の各段の個別昇圧回路26a、26b、・・・において、第1コンデンサC1に、第1基準クロック電圧CLKS1に代えて、前段の第1クロックバッファ回路265からの第1クロック電圧(1)としてのクロック電圧(第1基準クロック電圧と同相)を入力させるとともに、第2コンデンサC2に、第2基準クロ

50

ック電圧CLKS1に代えて、前段の第3クロックバッファ回路267からの第2クロック電圧(2)としてのクロック電圧(第2基準クロック電圧CLKS1と同相)を入力させるようにするにしてもよい。

【0130】

更に、第3の実施の形態に係る昇圧回路26の各段の個別昇圧回路26a、26b、
 ・ ・を4つのPMOSトランジスタではなく、2つのPMOSトランジスタを用いて構成することもできる。この場合、各段の個別昇圧回路は、例えば、図13A及び図13Bに示す第1PMOSトランジスタMP1及び第3PMOSトランジスタMP3、第1コンデンサC1、第2コンデンサC2及び昇圧コンデンサCbtによって、図3A及び図3Bに示すような回路に構成される。そして、第1基準クロック電圧CLKS1が第1コンデンサC1に入力し、第2クロック電圧CLKS2が第2コンデンサに入力する。更に、第1基準クロック電圧CLKS1から第1PMOSトランジスタMP1のゲートに入力する第1クロック電圧(1)としてのクロック電圧を生成する第1クロックバッファ回路(第1クロックバッファ回路265に相当)と、第2基準クロック電圧CLKS2から第3PMOSトランジスタMP3のゲートに入力する第2クロック電圧(2)としてのクロック電圧を生成する第2クロックバッファ回路(第3クロックバッファ回路267に相当)とが設けられる。

10

【0131】

なお、前述した各昇圧回路21、25、26の各段の個別昇圧回路におけるスイッチングトランジスタは、PMOSトランジスタで構成されたが、これに限定されず、他の構造のスイッチングトランジスタでもよい。例えば、n型基板上にpウェルを設け、その上にNMOSトランジスタを作成することで構成する等でも同様の効果を奏する回路が得られる。

20

【0132】

また、前述した各昇圧回路21、25、26の初段の個別昇圧回路に接続される外部電源は、胃酸電池10であったが、これに限定されず、どのような方式の電源であってもよい。更に、各昇圧回路21、25、26は、前述したいわゆる飲み込み型デバイス(図1参照)に搭載されるものに限られず、電源電圧によって動作する種々の電子機器に搭載できるものである。

【0133】

なお、本発明は、前述した実施の形態及びその変形例に限定されるものではない。本発明の趣旨に基づいて種々変形することが可能であり、これらを本発明の範囲から除外するものではない。

30

【産業上の利用可能性】

【0134】

本発明に係る昇圧回路によれば、小型化され得るとともに、微弱な電源電圧からより確実に最終目標となる出力電圧を得ることができるという効果を有し、コイル等を用いることなく昇圧する昇圧回路として有用である。

【符号の説明】

【0135】

- 10 胃酸電池
- 20 電源部
- 21、25、26 昇圧回路
- 21a~21d、25a~25d、26a、26b 個別昇圧回路
- 30 動作回路
- 211 補助充電回路
- 212、 昇圧充電回路
- 251、261 第1補助充電回路
- 252、262 第1昇圧充電回路
- 253、263 第2補助充電回路
- 254、264 第2昇圧充電回路
- 265 第1クロックバッファ回路

40

50

- 266 第2クロックバッファ回路
- 267 第3クロックバッファ回路
- 268 第4クロックバッファ回路

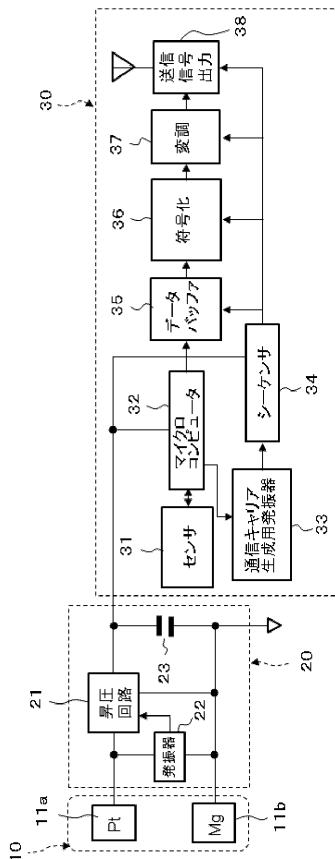
【要約】

微弱な電源電圧からより確実に目標となる電圧まで昇圧できる個別昇圧回路を提供することである。

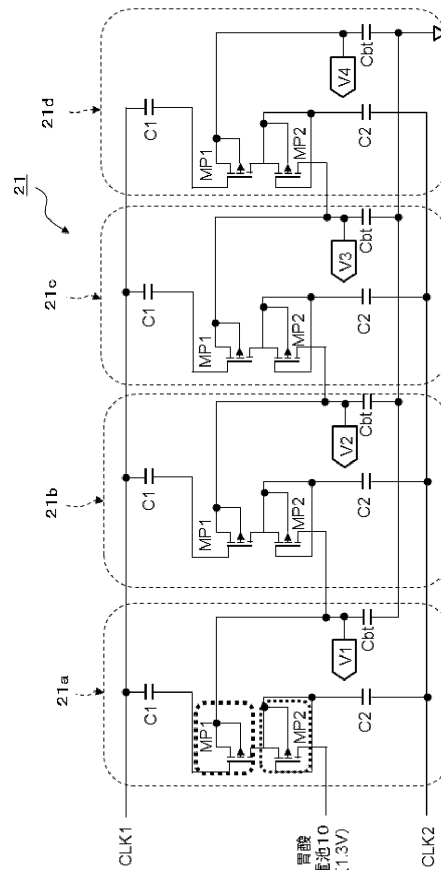
第1クロック電圧がゲートに印加されて、オン、オフ動作を行う第1PMOSトランジスタと、前記第1クロック電圧と相反関係にある第2クロック電圧がゲートに印加されて、オン、オフ動作を行う第2PMOSトランジスタと、補助コンデンサと、昇圧コンデンサと、第1PMOSトランジスタがオフ状態で、第2PMOSトランジスタがオン状態となるとときに、外部電源からの電源電圧によって第2PMOSトランジスタを通して補助コンデンサを充電させる補助充電回路211と、第1PMOSトランジスタがオン状態で、第2スイッチングトランジスタがオフ状態となるとときに、補助コンデンサを介して前記第2クロック電圧によって第1PMOSトランジスタを通して昇圧コンデンサを充電させる昇圧充電回路212と、を有する構成となる。

10

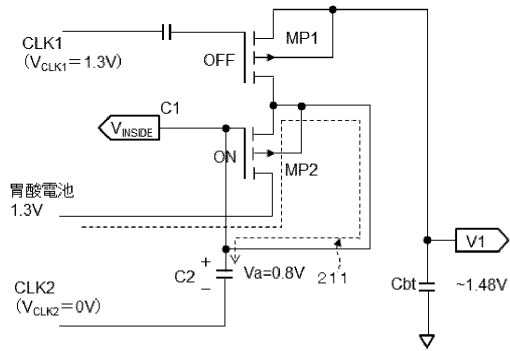
【図1】



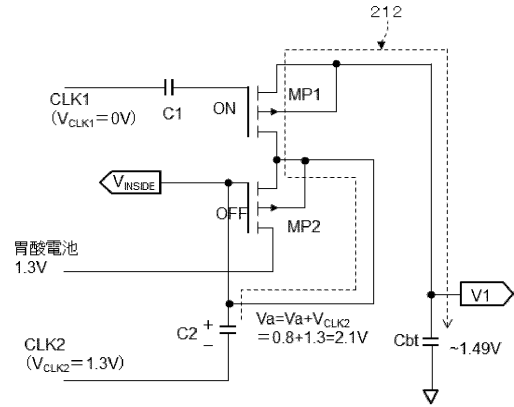
【図2】



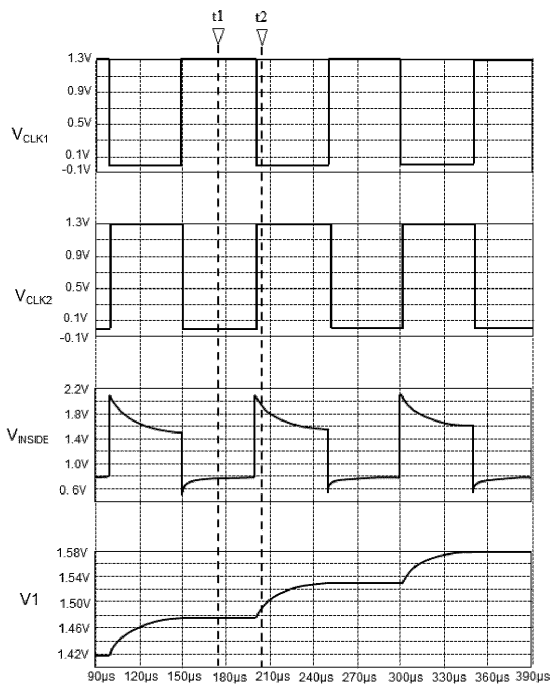
【図 3 A】



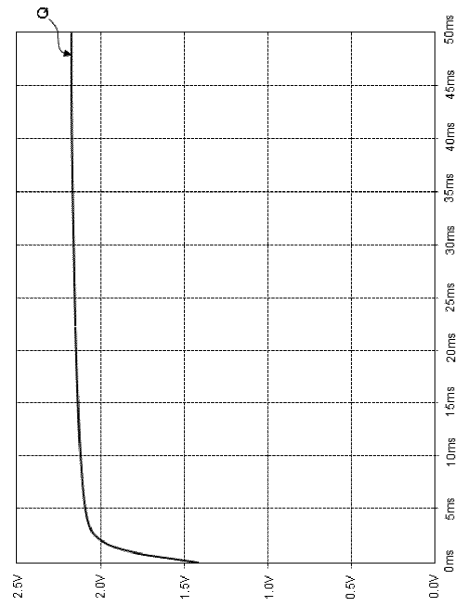
【図 3 B】



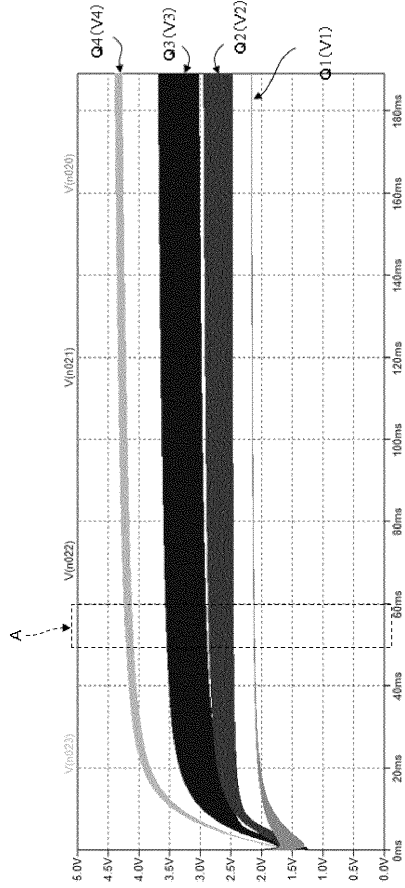
【図 4】



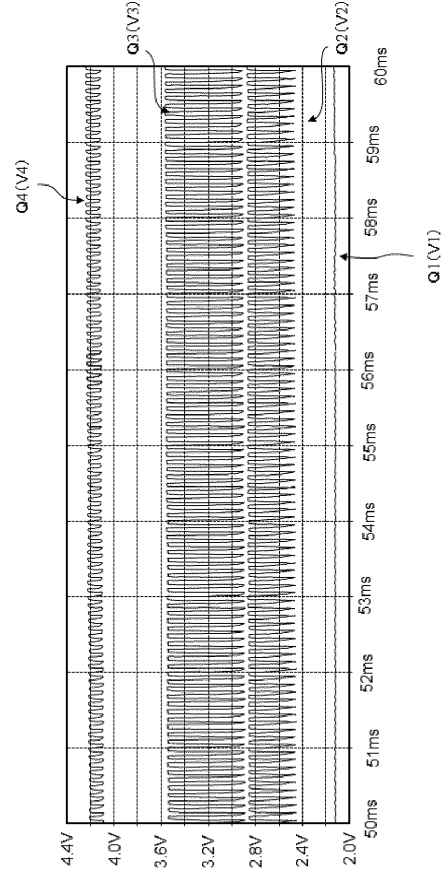
【図 5】



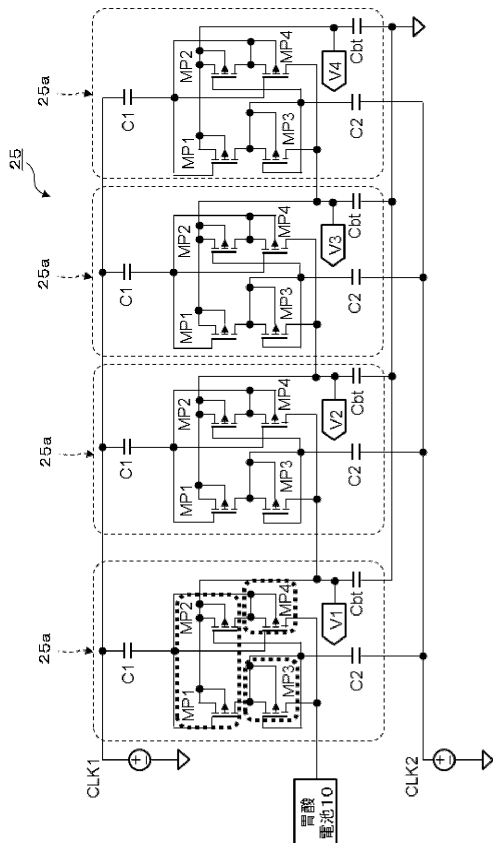
【図 6 A】



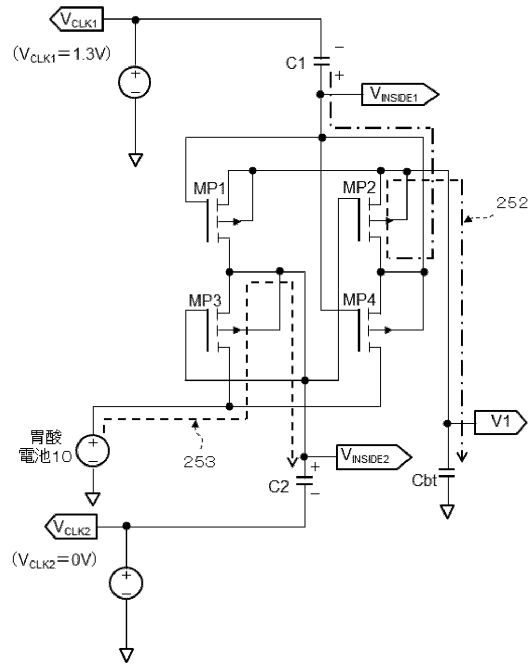
【図 6 B】



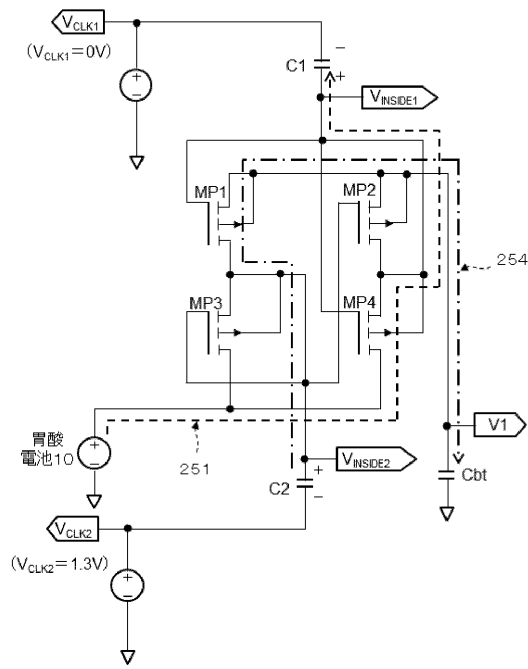
【図 7】



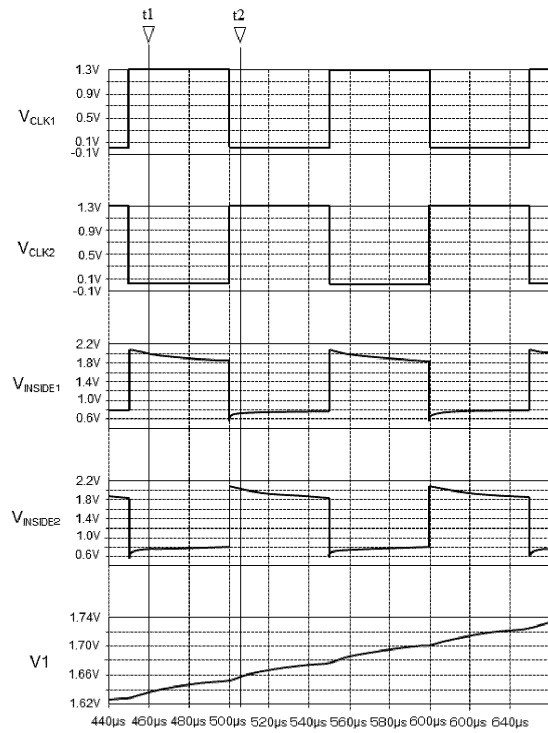
【図 8 A】



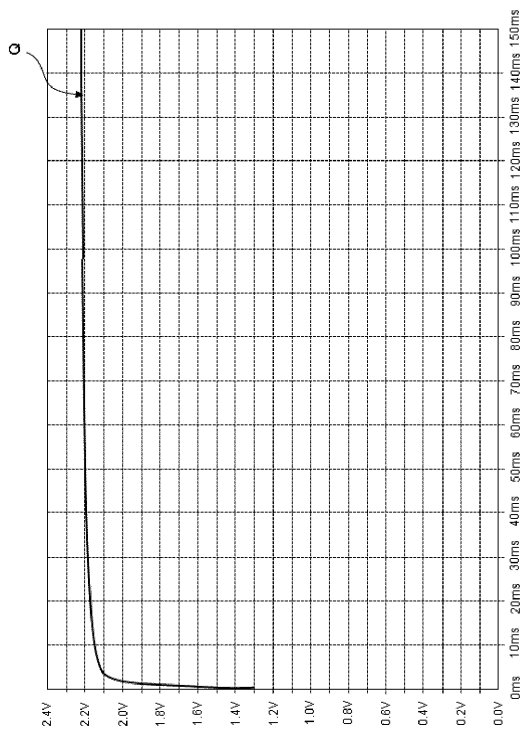
【図8B】



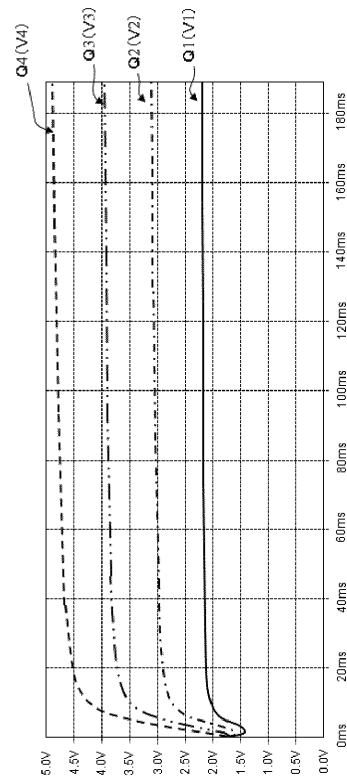
【図9】



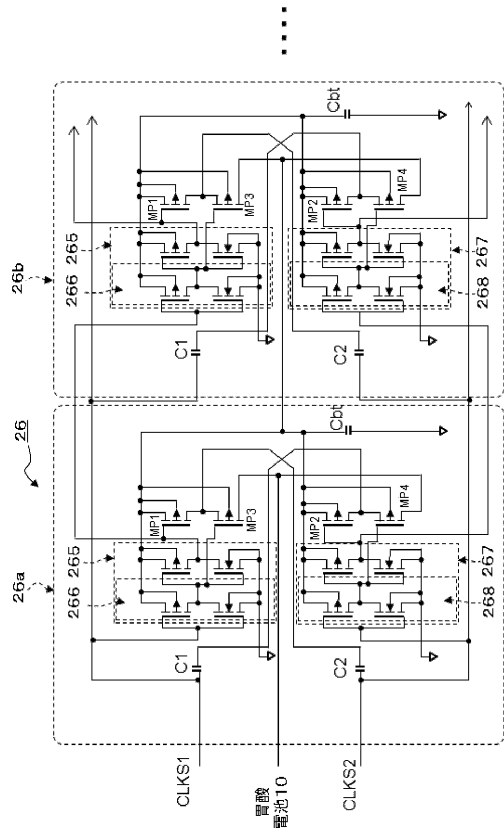
【図10】



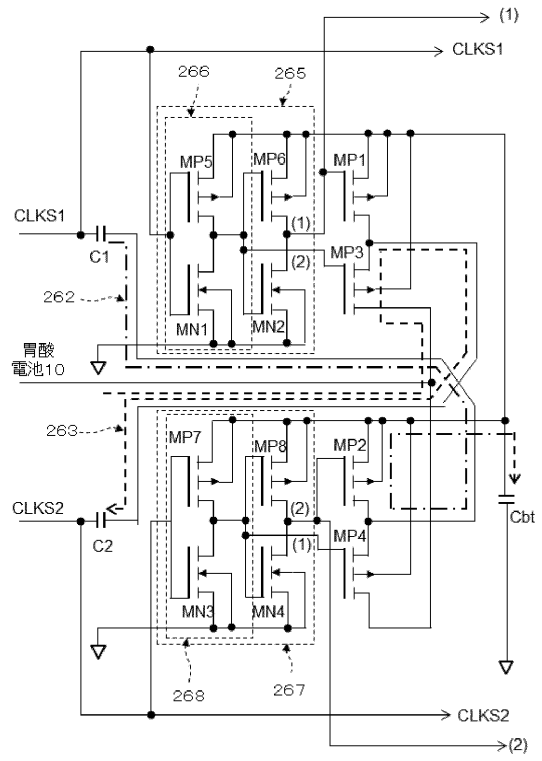
【図11】



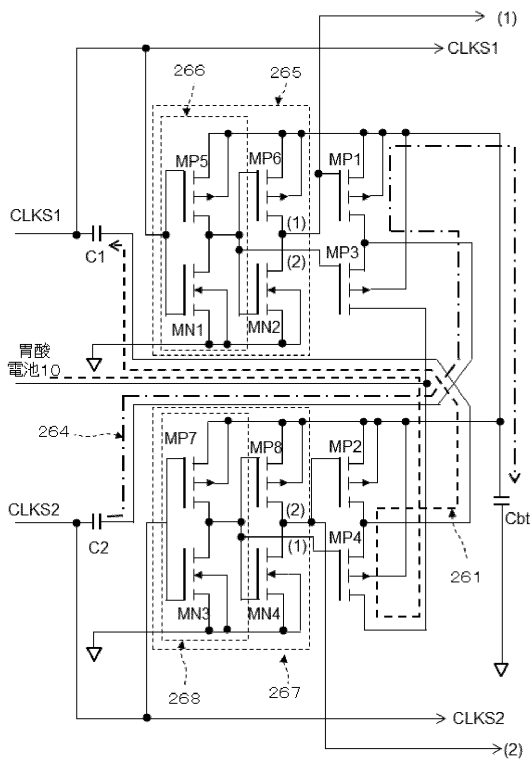
【図12】



【図13A】



【図13B】



フロントページの続き

早期審査対象出願

(56)参考文献 特開2017-41922(JP,A)
特開2010-148263(JP,A)
特開2009-136112(JP,A)
特開2018-27014(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/07