

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-9893

(P2021-9893A)

(43) 公開日 令和3年1月28日(2021.1.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11568 (2017.01)	HO 1 L 27/11568	5 F 0 5 8
HO 1 L 27/1159 (2017.01)	HO 1 L 27/1159	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 21/316 Y	
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2019-122028 (P2019-122028)
 (22) 出願日 令和1年6月28日 (2019.6.28)

(71) 出願人 304021417
 国立大学法人東京工業大学
 東京都目黒区大岡山2丁目12番1号
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (74) 代理人 100109047
 弁理士 村田 雄祐
 (74) 代理人 100109081
 弁理士 三木 友由
 (74) 代理人 100133215
 弁理士 真家 大樹
 (72) 発明者 大見 俊一郎
 東京都目黒区大岡山2丁目12番1号 国立大学法人東京工業大学内

最終頁に続く

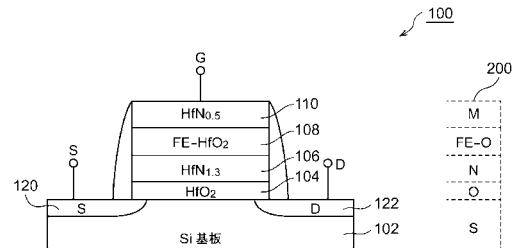
(54) 【発明の名称】 トランジスタおよび不揮発性メモリ、トランジスタの製造方法

(57) 【要約】

【課題】従来と異なる構造を有するトランジスタを提供する。

【解決手段】トンネル層104は、半導体基板102の上に形成され、トンネル層104の上には電荷蓄積層106が形成される。電荷蓄積層106の上には、強誘電性を有するブロック層108が形成される。強誘電性ブロック層108の上にはゲート層が形成される。トランジスタ100は、電荷蓄積層106に蓄積される電荷と、強誘電性ブロック層108の分極に応じて、その電気的特性が制御可能である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板の上に形成されるトンネル層と、
前記トンネル層の上に形成される電荷蓄積層と、
前記電荷蓄積層の上に形成される強誘電性ブロック層と、
前記強誘電性ブロック層の上に形成されるゲート層と、
を備え、前記電荷蓄積層に蓄積される電荷と、前記強誘電性ブロック層の分極に応じて、トランジスタの電気的特性が制御可能に構成されることを特徴とするトランジスタ。

【請求項 2】

前記トンネル層、前記電荷蓄積層、前記強誘電性ブロック層、前記ゲート層は、Hfの化合物であることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】

前記トンネル層は HfO_2 、前記電荷蓄積層は $\text{HfN}_{1.3}$ 、前記強誘電性ブロック層は FE-HfO_2 、前記ゲート層は $\text{HfN}_{0.5}$ であることを特徴とする請求項 1 に記載のトランジスタ。

【請求項 4】

ゲート層、ブロック層、電荷蓄積層、トンネル層を含む MONOS (Metal-Oxide-Nitride-Oxide-Silicon) 構造を備え、

前記ブロック層が強誘電性を有し、前記ブロック層の分極に応じて電気的特性が制御可能に構成されることを特徴とするトランジスタ。

【請求項 5】

前記分極は、前記ゲート層に印加するパルス状の制御電圧に応じて制御されることを特徴とする請求項 1 から 4 のいずれかに記載のトランジスタ。

【請求項 6】

請求項 1 から 5 のいずれかに記載のトランジスタを含むことを特徴とする不揮発性メモリ。

【請求項 7】

$\text{HfN}_{1.3}$ を含む電荷蓄積層、 HfO_2 を含むトンネル層、 $\text{Si}(100)$ の積層構造を形成するステップと、

前記電荷蓄積層の上に、スパッタ時の酸素流量比を制御して FE-HfO_2 を含む強誘電性ブロック層を形成するステップと、

前記強誘電性ブロック層の上にゲート層を形成するステップと、

を備えることを特徴とするトランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリ等に利用可能なトランジスタに関する。

【背景技術】

【0002】

近年、ポータブルな情報通信機器の高性能化・低消費電力化に伴い、集積回路に用いられる半導体メモリとしてフラッシュメモリに代表される不揮発性メモリの、大容量化、高速化、低消費電力化が重要な課題となっている。

【0003】

しかし、従来用いられてきた浮遊ゲート型不揮発性メモリデバイスでは、制御ゲートと浮遊ゲート間の容量カップリング比の低下、蓄積電荷のばらつきやセル間のディスタープなどの課題により、微細化および高集積化が困難となってきた。

【0004】

この課題を解決するために、近年、電荷蓄積型の不揮発性多値メモリデバイスに関する研究が活発化し実用化が進められている（非特許文献 1, 2）。電荷蓄積型の不揮発性メ

10

20

30

40

50

モリデバイスは、poly-Si浮遊電極を上部の制御酸化膜と下部のトンネル酸化膜となるSiO₂絶縁膜(バンドギャップ: 9 eV、比誘電率: 3.9)で挟んだ浮遊ゲート構造の代わりに、バンドギャップの狭いSiNなどの窒化膜(バンドギャップ: 5.1 eV、比誘電率7.5)を導入した、金属/酸化膜/窒化膜/酸化膜/Si(MONOS)多層構造を用いたデバイスである。浮遊ゲート型と比較して浮遊電極層のかわりに電荷蓄積層を用いるため、膜厚を1/10以下とすることができる。さらに、電荷蓄積層中の捕獲準位に電荷を蓄積させるため、トンネル層の膜厚も浮遊ゲート型の場合10 nm程度であるものを3 nm程度まで薄膜化でき、ゲート積層構造の薄膜化による高集積化と低電圧動作化が可能となる。さらに、MONOS構造の多層絶縁膜に高誘電率薄膜を導入することにより、ゲート積層構造のSiO₂換算膜厚(EOT)を低減し、さらなる低電圧動作化に関する検討が行われている。

10

【0005】

現状では高誘電率絶縁膜として、Al₂O₃やHfO₂などの高誘電率ゲート絶縁膜として研究されてきた材料を用いた報告がなされている。しかし、従来の高誘電率薄膜を用いたMONOS多層構造の形成においては、例えばトンネル層には熱酸化法、電荷蓄積層にはALD(原子層堆積)法、制御層にはLPCVD(減圧CVD)法など異なる薄膜形成法を用いる必要がある。このため、各薄膜の形成後に試料を装置間もしくはチャンパー間で移動するため薄膜形成後の表面汚染による電気特性の劣化のため、十分な薄膜化が実現されず書き込み/消去電圧として10 V以上が必要となっている。

20

【0006】

一方、本発明者らは、近年、高誘電率ゲート絶縁膜としてすでに実用化されているHfO₂が、ドーパントであるZrやYなどの元素を添加することで、通常のプロセスでは形成が困難な準安定相である斜方晶に結晶化し強誘電性を示すという報告例を踏まえ、O₂堆積時の酸素量を制御することによりドーパントを添加せずに強誘電体性のHfO₂が低温の熱処理で形成できることを見いだした(非特許文献3)。

【0007】

代表的な強誘電体であるPZT(Pb(Zr, Ti)O₃)やSrBi₂Ta₂O₉(SBT)と異なり、HfO₂はSiプロセスと整合性があり、10 nm以下に薄膜化しても強誘電性を示すことから、微細化・高集積化に適している。かかる特性から、FE-HfO₂をゲート絶縁膜に用いたトランジスタ(Hf系強誘電体ゲートトランジスタ)に関する研究が盛んに行われている。

30

【0008】

しかし、ドーパントを添加したHfO₂では結晶化温度が1000 程度と高く、Si基板上に直接形成した場合、SiO₂界面層が形成されメモリ保持特性が劣化するという課題がある。

【先行技術文献】

【非特許文献】

【0009】

【非特許文献1】M.G. Kim and S. Ohmi, "Ferroelectric properties of undoped HfO₂ directly deposited on Si substrates by RF magnetron sputtering", Jpn. J. Appl. Phys., 57, 11UF09 (2018).

40

【非特許文献2】S. Kudoh, and S. Ohmi, "In situ formation of Hf-based metal/oxide/nitride/oxide/silicon structure for nonvolatile memory application", Jpn. J. Appl. Phys., 57, 114201 (2018).

【非特許文献3】T. Mimura, T. Shimizu, H. Uchida, O. Sakata, and H. Funakubo, "Thickness-dependent crystal structure and electric properties of epitaxial ferroelectric Y2O3-HfO₂ films", Appl. Phys. Lett., 113, 102901 (2018).

【非特許文献4】S. Kudoh and S. Ohmi, "In-situ formation of Hf-based metal/oxide/nitride/oxide/silicon structure for nonvolatile memory application", Jpn. J. Appl. Phys. 57, 114201 (2018)

50

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明は、このような状況においてなされたものであり、そのある態様の例示的な目的のひとつは、新規な構造を有するトランジスタおよび不揮発性メモリの提供にある。

【課題を解決するための手段】

【0011】

本発明のある態様はトランジスタに関する。トランジスタは、半導体基板と、半導体基板の上に形成されるトンネル層と、トンネル層の上に形成される電荷蓄積層と、電荷蓄積層の上に形成される強誘電性ブロック層と、強誘電性ブロック層の上に形成されるゲート層と、を備え、電荷蓄積層に蓄積される電荷と、強誘電性ブロック層の分極に応じて、トランジスタの電気的特性が制御可能に構成される。

10

【0012】

このトランジスタを用いて不揮発性メモリを形成すれば、電荷と分極の組み合わせによって多値化が可能となる。また分極した強誘電性ブロック層は、電荷蓄積層からの電荷の漏れを、分極のない通常のブロック層よりも強固に阻止できるため、トランジスタの特性を安定化でき、メモリとしても用いたときのリテンションを改善できる。

【0013】

トンネル層、電荷蓄積層、強誘電性ブロック層、ゲート層は、Hfの化合物であってもよい。

20

【0014】

トンネル層は HfO_2 、電荷蓄積層は $\text{HfN}_{1.3}$ 、強誘電性ブロック層は FE-HfO_2 、ゲート層は $\text{HfN}_{0.5}$ であってもよい。

【0015】

本発明の別の態様もまた、トランジスタである。このトランジスタは、ゲート層、ブロック層、電荷蓄積層、トンネル層を含むMONOS (Metal-Oxide-Nitride-Oxide-Silicon) 構造を備える。ブロック層が強誘電性を有し、ブロック層の分極に応じて電気的特性が制御可能に構成される。

【0016】

分極は、ゲート層に印加するパルス状の制御電圧に応じて制御されてもよい。これにより、電荷蓄積層の電荷に影響を与えずに、分極のみを変化させることができる。

30

【0017】

本発明のさらに別の態様は、トランジスタの製造方法である。この方法は、 $\text{HfN}_{1.3}$ を含む電荷蓄積層、 HfO_2 を含むトンネル層、 $\text{Si}(100)$ の積層構造を形成するステップと、電荷蓄積層の上に、スパッタ時の酸素流量比を制御して FE-HfO_2 を含む強誘電性ブロック層を形成するステップと、強誘電性ブロック層の上にゲート層を形成するステップと、を備える。

【発明の効果】

【0018】

本発明のある態様によれば、新規な構造を有するトランジスタを提供できる。

40

【図面の簡単な説明】

【0019】

【図1】実施の形態に係るトランジスタの構造を示す断面図である。

【図2】図1のトランジスタの状態の制御を説明する図である。

【図3】図3(a)、(b)は、トランジスタの状態制御のためのゲート電圧波形の一例を示す図である。

【図4】トランジスタの電気的特性(ゲート電圧 V_G 対ドレイン電流 I_{D_S} 特性)を説明する図である。

【図5】変形例に係るトランジスタの断面図である。

【図6】図6(a)~(c)は、トランジスタの製造方法を示す図である。

50

【発明を実施するための形態】

【0020】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0021】

本明細書において、「部材Aが、部材Bに接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

10

【0022】

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

【0023】

また、各図面における部材の寸法は、理解を容易にするために適宜拡大、縮小して示される。

20

【0024】

図1は、実施の形態に係るトランジスタ100の構造を示す断面図である。トランジスタ100は、半導体基板102、トンネル層104、電荷蓄積層106、強誘電性ブロック層108、ゲート層110、ドレイン電極120、ソース電極122を備える。

【0025】

トンネル層104は、半導体基板102の上に形成される。電荷蓄積層106は、トンネル層104の上に形成される。強誘電性ブロック層108は、電荷蓄積層106の上に形成される。ゲート層110は、強誘電性ブロック層108の上に形成される。

【0026】

トンネル層104、電荷蓄積層106、強誘電性ブロック層108、ゲート層110は、Hfの化合物である。具体的にはトンネル層104は HfO_2 、電荷蓄積層106は $\text{HfN}_{1.3}$ 、強誘電性ブロック層108は FE-HfO_2 、ゲート層110は $\text{HfN}_{0.5}$ である。

30

【0027】

強誘電性ブロック層108に関しては、 HfO_2 に不純物をドーピングすることによって、強誘電性を持つ FE-HfO_2 を形成してもよいが、ノンドープで FE-HfO_2 を形成することが望ましい。

【0028】

ドレイン電極120およびソース電極122は、ゲート電極を挟むようにして、半導体基板102上に形成される。

40

【0029】

図1のトランジスタ100は、ゲート層110、ブロック層108、電荷蓄積層106、トンネル層104および半導体基板102を有するMONOS (Metal-Oxide-Nitride-Oxide-Silicon) 構造200を有するMONOSトランジスタと把握でき、そのブロック層108に、強誘電体性をもたせたものと把握することができる。

【0030】

以上がトランジスタ100の構成である。このトランジスタ100は、電荷蓄積層106に蓄積される電荷と、強誘電性ブロック層108の分極に応じて、トランジスタ100の電氣的特性(しきい値電圧 $V_{gs(th)}$ やI-V特性)が制御可能に構成される。

【0031】

50

図2は、図1のトランジスタ100の状態の制御を説明する図である。トランジスタ100は、そのゲート領域の状態を、チャンネル方向(図2のX方向)に、複数(この例では2個)の部分b1, b2に分割して制御される。具体的には電荷蓄積層106において、部分b1, b2ごとに独立に、電荷を保持した状態と、電荷を保持しない状態を制御することができる。各状態の切り替えは、従来のMONOSトランジスタと同様に、ゲートソース間あるいはゲートドレイン間に印加する電圧の電圧値や波形によって選択可能である。以下、電荷を蓄積した状態を1、蓄積しない状態を0と表記する。

【0032】

また強誘電性ブロック層108において、部分b1, b2ごとに独立に、分極の向きを制御することができる。図2の例では部分b1において、上向き分極が与えられ、部分b2において下向き分極が与えられている。このような局所的な分極制御を、部分分極反転という。分極状態の制御は、従来の強誘電体トランジスタと同様に、ゲートソース間あるいはゲートドレイン間に印加する電圧の電圧値や波形によって選択可能である。ただし、各部分b1, b2の分極を制御する際に、電荷蓄積層106の電荷の状態を崩すと、好ましくない。そこで電荷制御の場合と分極制御の場合とで、各電極G, D, S間への電圧の印加方法を異ならしめることが有効である。図3(a)、(b)は、トランジスタ100の状態制御のためのゲート電圧波形の一例を示す図である。図3(a)には、電荷制御のためのゲート電圧の波形の一例が示され、直流波形によって、電荷状態を変化させる。図3(b)には、分極制御のためのゲート電圧の波形の一例が示される。分極制御の場合には、ゲート電圧をパルス波形とし、パルスの印加回数や、デューティ比にもとづいて分極状態を制御してもよい。これにより、強誘電性ブロック層108の部分b_#(# = 1, 2)の分極を変化させつつ、その直下の電荷蓄積層106の対応する部分b_#の電荷の状態を保持することができる。

【0033】

図4は、トランジスタ100の電気的特性(ゲート電圧 V_G 対ドレイン電流 I_{DS} 特性)を説明する図である。破線で示す特性(i)~(iv)は、強誘電性ブロック層108に分極を発生させない状態、すなわち従来のMONOSトランジスタの特性を示しており、2つの部分b1, b2の電荷の蓄積状態の組み合わせ(00)、(01)、(10)、(11)に応じて、異なる特性を示す。

【0034】

実施の形態に係るトランジスタ100では、この電荷制御にもとづく4状態に加えて、部分分極反転制御が組み合わされる。部分分極反転の方向によって、(i)~(iv)のIV特性を変化させることができる。具体的には、強誘電性ブロック層108の部分分極反転の状態に応じて、各特性をシフトさせることができる。具体的には、シフトの向き(極性)と、シフト量を、2つの部分b1, b2の分極状態によって制御可能である。

【0035】

以上がトランジスタ100の動作である。このトランジスタ100によれば、電荷蓄積状態と分極の状態を制御することにより、トランジスタ100の特性を変化させることができる。

【0036】

ここで、トランジスタ100をメモリセルとして用いる場合、各部分b1, b2の電荷状態および分極状態それぞれをビットに対応付けることができる。したがって理想的には1個のトランジスタ100で、最大、4ビットのメモリセルを構成することができ、大容量化に貢献できる。

【0037】

なお強誘電性ブロック層108の部分分極反転を、メモリセルの大容量化のためでなく、メモリセルの特性改善のために利用してもよい。たとえば図4には、電荷の状態に応じた4つの特性(i)~(iv)が等間隔に示されるが、実際には、その中のいくつかは、非常に近接する場合もあり得る。この場合、読み出しエラーが発生することとなる。そこで、部分分極反転を組み合わせることで、近接するIV特性を引き離すことができ、読み出し

10

20

30

40

50

エラーを防止することができる。

【0038】

図5は、変形例に係るトランジスタ100Aの断面図である。このトランジスタ100Aは、電荷蓄積層106および強誘電性ブロック層108の状態が、チャンネル方向に3つの部分b1~b3に分割して制御される。中央の部分b3の状態は、ゲートGとバックゲートBG(基板SUB)間の電圧を制御することにより変化させることができる。このトランジスタ100Aによれば、電荷蓄積層106の電荷の状態で3ビットの情報を保持することができ、さらに、強誘電性ブロック層108の分極状態によって3ビットの情報を保持することができ、6ビットのメモリセルを実現できる。

【0039】

続いてトランジスタ100(100A)の製造方法を説明する。図6(a)~(c)は、トランジスタ100の製造方法を示す図である。図6(a)に示すように、はじめに電荷蓄積層106、トンネル層104、半導体基板102の積層構造130を形成する。

【0040】

続いて、図6(b)に示すように、スパッタ時の酸素流量比を制御して、電荷蓄積層106の上に、強誘電性を有する結晶化した HfO_2 薄膜を形成する。

【0041】

最後に、図6(c)に示すように、強誘電性ブロック層108の上に、ゲート電極110として耐熱性に優れた $\text{HfN}_{0.5}$ 薄膜を形成する。

【0042】

この製造方法では、MONOS構造のすべての層を、高誘電率薄膜を用いて形成することとなる。したがって、従来構造と比較して非常に低い電圧(1/5程度)でトランジスタを動作させることが可能となる。

【0043】

実施の形態で説明したトランジスタ100の各層の材料は例示であってそれに限定されない。たとえば、(i)半導体基板102はGeなどの他の元素半導体、SiC, GaAsなどの化合物半導体、InGaZnOなどの酸化物半導体、ペントセンなどの有機半導体であってもよい。(ii)トンネル層104は Al_2O_3 などの他の酸化膜、 HfON などの酸窒化膜、またはそれらの積層膜、さらには FE-HfO_2 などの強誘電体膜であってもよい。(iii)電荷蓄積層106は、窒素組成の異なる HfN や AlN などの窒化膜、またはそれらの積層膜であってもよい。(iv)強誘電性ブロック層108は、ZrやSiなどを添加した HfO_2 , HfN , AlN , PZT, SBTなどの無機強誘電体、ポリフッ化ビニリデントリフロロエチレンなどの有機強誘電体であってもよい。(v)またゲート層110は、ポリシリコンなどの低抵抗半導体膜、TiNやWなどの他の耐熱性金属膜であってもよい。

【0044】

またトランジスタ100の用途は不揮発性メモリには限定されず、入力信号の重み付け演算を行う人間の脳を模倣したニューロデバイスなどへの応用が期待される。

【0045】

実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

【符号の説明】

【0046】

- 100 トランジスタ
- 102 半導体基板
- 104 トンネル層
- 106 電荷蓄積層
- 108 強誘電性ブロック層
- 110 ゲート層

10

20

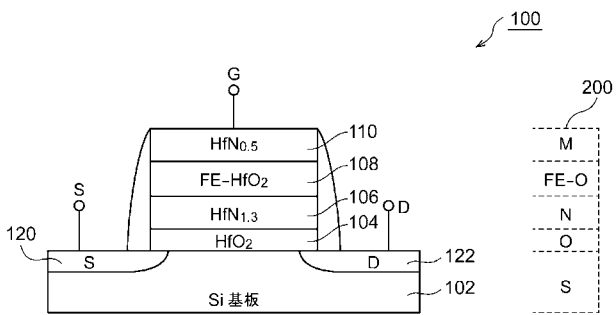
30

40

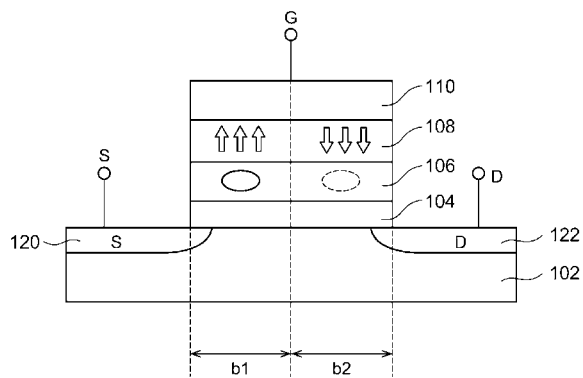
50

1 2 0 ドレイン電極
1 2 2 ソース電極

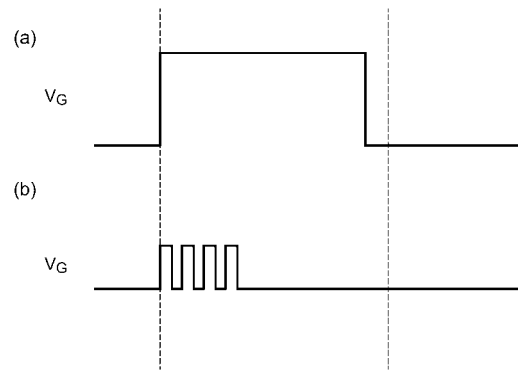
【 図 1 】



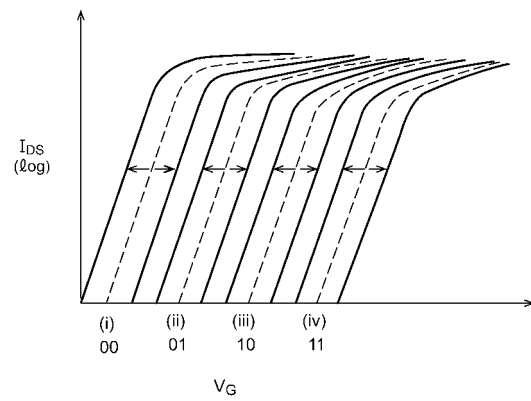
【 図 2 】



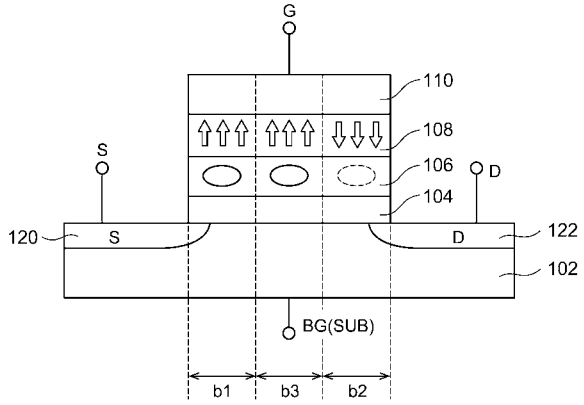
【 図 3 】



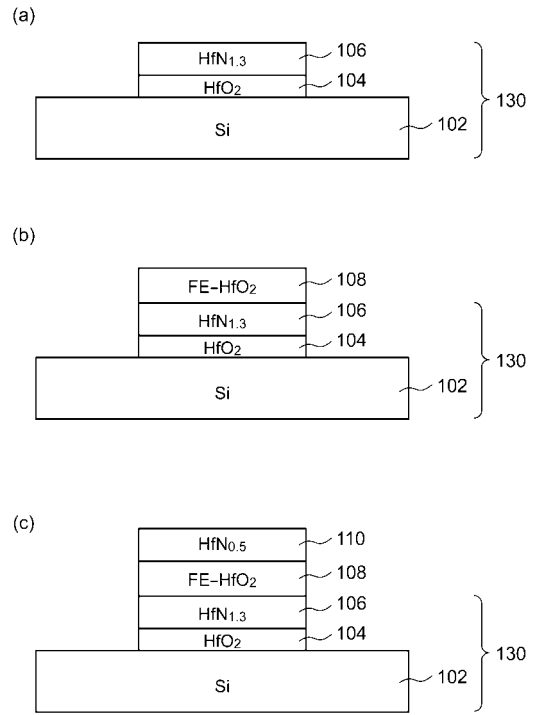
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 21/316 (2006.01)

Fターム(参考) 5F058 BC03 BC09 BD02 BD05 BD12 BF12
5F083 EP18 EP22 ER21 FR05 GA05 GA09 GA11 HA06 JA01 JA02
JA03 JA05 JA14 JA15 JA39 JA40 JA60 ZA21
5F101 BA46 BA47 BA62 BB02 BD02 BE07 BF05