

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3297738号
(P3297738)

(45)発行日 平成14年7月2日(2002.7.2)

(24)登録日 平成14年4月19日(2002.4.19)

(51)Int.Cl.⁷

識別記号

F I

H 0 3 K 19/23

H 0 3 K 19/23

請求項の数7(全 8 頁)

(21)出願番号 特願2000-38280(P2000-38280)
(22)出願日 平成12年2月16日(2000.2.16)
(65)公開番号 特開2001-230665(P2001-230665A)
(43)公開日 平成13年8月24日(2001.8.24)
審査請求日 平成12年2月16日(2000.2.16)

特許法第30条第1項適用申請有り 電子情報通信学会エレクトロニクスソサイエティ大会講演論文集2(1999年9月7日~10日)、C-12-28、P.98に発表

特許法第30条第1項適用申請有り 電子情報通信学会技術研究報告(1999年11月5日)、NLP99-114、p.25-30に発表

(73)特許権者 391012394
東北大学長
宮城県仙台市青葉区片平2丁目1番1号
(72)発明者 中島 康治
宮城県仙台市青葉区片平二丁目1番1号
東北大学電気通信研究所内
(72)発明者 佐藤 茂雄
宮城県仙台市青葉区片平二丁目1番1号
東北大学電気通信研究所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外5名)

審査官 野元 久道

最終頁に続く

(54)【発明の名称】 CMOS多数決回路

(57)【特許請求の範囲】

【請求項1】 複数の2値信号に対する入力部となるゲートをそれぞれ有する複数の並列接続された第1のCMOS回路を有し、前記第1のCMOS回路を構成する各第1ゲート導電型および第2ゲート導電型のトランジスタはそれぞれ対応する同一導電型の電流制御MOSトランジスタと直列接続されており、前記第1のCMOS回路の出力部がそれぞれ接続されたノードの電位が前記複数の2値信号の“1”および“0”の組み合わせによって変化する2値信号検出部と、前記2値信号検出部の前記ノードの電位の変化に応じて、前記複数の2値信号の多数決出力である2値出力を生成する出力回路と、前記各電流制御MOSトランジスタのゲートを制御するバイアス回路とを有することを特徴とする多数決回路。

【請求項2】 前記出力回路は第2のCMOS回路を含み、前記第2のCMOS回路を構成する各第1ゲート導電型および第2ゲート導電型のトランジスタはそれぞれ対応する同一導電型のMOSトランジスタと直列接続されていることを特徴とする請求項1記載の多数決回路。

【請求項3】 前記バイアス回路は第3のCMOS回路を含み、前記第3のCMOS回路を構成する第1ゲート導電型および第2ゲート導電型のトランジスタはそれぞれ対応する同一導電型のMOSトランジスタと直列接続されていることを特徴とする請求項1記載の多数決回路。

【請求項4】 前記第3のCMOS回路およびその第1ゲート導電型および第2ゲート導電型のトランジスタと直列接続されたそれぞれ対応する同一導電型のMOSトランジスタとにより構成されるインバータ回路の反転閾

値電圧が前記出力回路の反転閾値電圧に等しいことを特徴とする請求項3記載の多数決回路。

【請求項5】 第1および第2の第1ゲート導電型MOSトランジスタと第1および第2の第2ゲート導電型MOSトランジスタとが直列に接続されており、第1の第1ゲート導電型MOSトランジスタのソースと第2の第2ゲート導電型MOSトランジスタのゲートが電源電圧に接続され、第1の第1ゲート導電型MOSトランジスタのゲートと第2の第2ゲート導電型MOSトランジスタのソースが接地されており、第2の第1ゲート導電型MOSトランジスタのゲートおよびドレインと第1の第2ゲート導電型MOSトランジスタのゲートおよびドレインが所定のバイアス電圧に接続されているバイアス回路と、

複数の並列回路を構成する、それぞれ第3および第4の第1ゲート導電型MOSトランジスタと第3および第4の第2ゲート導電型MOSトランジスタとが直列接続されており、第3の第1ゲート導電型MOSトランジスタのソースが電源電圧に接続され、第4の第2ゲート導電型MOSトランジスタのソースが接地されており、そして、第3の第1ゲート導電型MOSトランジスタのゲートおよび第4の第2ゲート導電型MOSトランジスタのゲートが接続された各入力部にはそれぞれ複数の2値入力信号が入力され、第4の第1ゲート導電型MOSトランジスタのゲートおよび第3の第2ゲート導電型MOSトランジスタのゲートはそれぞれ前記バイアス電圧と接続されており、第4の第1ゲート導電型MOSトランジスタのドレインと第3の第2ゲート導電型MOSトランジスタのドレインの結合点がノードに接続されている複数の検出回路を有する2値信号検出部と、

第5および第6の第1ゲート導電型MOSトランジスタと第5および第6の第2ゲート導電型MOSトランジスタとが直列接続されており、第5の第1ゲート導電型MOSトランジスタのソースと第6の第2ゲート導電型MOSトランジスタのゲートは電源電圧に接続され、第5の第1ゲート導電型MOSトランジスタのゲートと第6のMOSトランジスタのソースは接地されており、第6の第1ゲート導電型MOSトランジスタのゲートと第5の第2ゲート導電型MOSトランジスタのゲートは前記ノードに接続されており、そして、第6の第1ゲート導電型MOSトランジスタのドレインと第5の第2ゲート導電型MOSトランジスタのドレインの結合点が出力部に接続され多数決の結果を2値信号により出力するインバータ回路とを有することを特徴とする多数決回路。

【請求項6】 前記バイアス電圧は前記インバータ回路の反転閾値電圧であることを特徴とする請求項5記載の多数決回路。

【請求項7】 複数の2値信号が入力する入力層と、前記入力層からの所定の複数の出力信号が入力する請求項1または請求項5に記載の多数決回路を含む中間層

と、

前記中間層からの所定の複数の出力信号が入力する請求項1または請求項5に記載の多数決回路を含む出力層とを有する3層構成の論理演算回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、符号化システム、ニューロチップ、論理回路、または故障許容システム(fault tolerant system)などに好適に使用可能な多数決回路に関するものであり、より詳しくはCMOSインバータを用いて構成される多数決回路に関するものである。

【0002】

【従来の技術】多数決論理は符号化技術や人工神経回路で必要となる基本演算である。多数決論理は、その入力を“1”または“0”の2値とすると“1”の入力数が“0”の入力数よりも大きいときに“1”を出力し、その逆の場合には“0”を出力する論理であると表現できる。“1”は論理の「真」、 “0”は「偽」に対応し、電子回路では通常“1”はV_{DD}(電源電圧)[V]、“0”は0(接地電圧)[V]に対応させる。

【0003】従来のデジタル回路による多数決回路は、一般に排他的論理和を複数個組み合わせることにより構成するものであった(図示せず)。しかし、デジタル回路においては多入力ゲートの実現が難しいため、多入力の多数決論理を形成する場合は複数段による構成とせざるを得ず、このため段数の増加と遅延の問題が生ずる。

【0004】この問題を解決する1つの方法として、図4に示すようなCMOSインバータ回路を用いた選択回路が提案されている(Charnng Long Lee et al. “A novel design of binary majority gate and its application to median filtering” 1990 IEEE International Symposium on Circuits and Systems, 570-3 vol.1,4 vol.1.xxix+3289 1990 pp570-573)。

【0005】この回路は電圧分割器(初段)と出力バッファ(最終段)とからなる。電源電圧V_{dd}と接地との間にpMOSトランジスタ21とnMOSトランジスタ22を直列に接続し、双方のゲート23、24を接続して入力端子とするCMOSインバータ27を並列に複数個(図2においてはN個)接続し、それぞれのCMOSインバータの各出力を結合してノードMとしている。そして、ノードMは、pMOSトランジスタ25およびnMOSトランジスタ26よりなる出力CMOSインバータ28の入力部29と接続されている。この出力CMOSインバータ28の出力部から多数決の判定結果の出力(V_{out})30を得るものである。

【0006】この回路においては、入力(x₁、x₂、・・・x_N)に“1”が入力されたCMOSインバータのnMOSトランジスタのオン抵抗と、“0”が

入力されたCMOSインバータのpMOSトランジスタのオン抵抗に比によって分割された電位がノードMに生ずる。

【0007】pMOSトランジスタのオン抵抗とnMOSトランジスタのオン抵抗が等しければ入力“1”の増加にともないノードMの電位は順次 V_{dd}/n づつ降下することになる筈であるが、実際にはpMOSトランジスタ及びnMOSトランジスタの非線型特性に起因してノードMの電位が「大きく変化する部分」が存在する。

【0008】一方多数決の出力を得るため、出力CMOSインバータ28の反転閾値 V_{th} は、“1”の入力数が“0”の入力数に比べ、「1つだけ大きい場合」（この場合のノードMの電位 V_{M1} とする）と「1つだけ少ない場合」（この場合のノードMの電位を V_{M2} とする）の間に設定される。この多数決回路が正常に動作するためには、(1) $V_{M1} < V_{th} < V_{M2}$ であり、(2) ノードMの電位が「大きく変化する部分」を V_{M1} と V_{M2} の間に設定する必要がある。

【0009】上記(1)の条件に適合するためには、電圧を分割する初段のnMOSトランジスタとpMOSトランジスタとの間の特性を調節する必要が生じ、(2)の条件に適合するためには、電圧を分割する初段と出力バッファの最終段のMOSトランジスタ間の調整が必要である。しかし、MOSトランジスタの特性は個々の製造条件等により回路ごとにその特性が異なるため、設計段階においてかかる調整を行うことは実質的に不可能である。このためこの回路においては、入力数が増加することによりマージンが小さくなった場合に、必要とされる精度の高い演算処理が困難になるという問題が生ずる。

【0010】

【発明が解決しようとする課題】上記のように、多数決論理は符号化技術や神経回路で必要となる基本演算である。多数決論理回路を形成する場合、従来技術による、デジタル回路を利用して排他的論理和素子を複数個組み合わせる方法や、複数のCMOSインバータの並列接続部と出力バッファとを含む回路構成を用いる方法により、多数決論理回路を構成することが可能である。

【0011】しかし、論理回路素子を使用する場合では多入力ゲートの実現が難しいため、多入力の多数決論理を構成する必要がある場合は段数の増加と遅延の問題が生じる。また、CMOSインバータの組み合わせによる選択回路においては、入力数の増加とともに動作マージンが小さくなり、構成要素であるnMOSトランジスタとpMOSトランジスタの特性上のばらつきとそれらの調整の困難性から、精度の低下という問題が生じる

したがって、本発明は、上記従来技術の問題点を鑑みてなされたもので、アナログ回路を含むCMOSインバータ回路を用いて多数決論理回路を構成し、製造上必然的

に生ずるMOS特性のばらつきを自動的に調整する回路構成とし、例えば通信用LSI、ニューロチップ、フォールトレラントシステムなどに好適に利用可能な、高速かつ小面積の集積化された大きなファンインを実現する多数決回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、電流制御付きのCMOSインバータを用いた多数決回路であり、アナログCMOS回路を用いることで、小面積で、高速性を有し、さらに大きなファンインを有する多数決回路を実現するものである。即ち、CMOSインバータに追加の電流制御MOSトランジスタを組み込むことにより、入力部のpMOSおよびnMOSトランジスタ間のコンダクタンスのバランスをとることで大きな動作マージンを得るものである。

【0013】本発明は、複数の2値信号に対する入力部となるゲートをそれぞれ有する複数の並列接続された第1のCMOS回路を有し、第1のCMOS回路を構成する各第1ゲート導電型および第2ゲート導電型のトランジスタはそれぞれ対応する同一導電型の電流制御MOSトランジスタと直列接続されており、第1のCMOS回路の出力部がそれぞれ接続されたノードの電位が複数の2値信号の“1”および“0”の組み合わせによって変化する2値信号検出部と、2値信号検出部のノードの電位の変化に応じて、複数の2値信号の多数決出力である2値出力を生成する出力インバータ回路と、各電流制御MOSトランジスタのゲートを制御するバイアス回路とを有する多数決回路である。

【0014】そして、上記出力回路は第2のCMOS回路を含み、第2のCMOS回路を構成する各第1ゲート導電型および第2ゲート導電型のトランジスタはそれぞれ対応する同一導電型のMOSトランジスタと直列接続されている多数決回路である。

【0015】また、上記バイアス回路は第3のCMOS回路を含み、第3のCMOS回路を構成する第1ゲート導電型および第2ゲート導電型のトランジスタはそれぞれ対応する同一導電型のMOSトランジスタと直列接続されている多数決回路である。

【0016】さらに、第3のCMOS回路およびその第1ゲート導電型および第2ゲート導電型のトランジスタと直列接続されたそれぞれ対応する同一導電型のMOSトランジスタとにより構成されるインバータ回路の反転閾値電圧が上記出力回路の反転閾値電圧に等しい多数決回路である。

【0017】また本発明は、第1および第2の第1ゲート導電型MOSトランジスタと第1および第2の第2ゲート導電型MOSトランジスタとが直列に接続されており、第1の第1ゲート導電型MOSトランジスタのソースと第2の第2ゲート導電型MOSトランジスタのゲートが電源電圧に接続され、第1の第1ゲート導電型MOSト

ランジスタのゲートと第2の第2ゲート導電型MOSトランジスタのソースが接地されており、第2の第1ゲート導電型MOSトランジスタのゲートおよびドレインと第1の第2ゲート導電型MOSトランジスタのゲートおよびドレインが所定のバイアス電圧に接続されているバイアス回路と、複数の並列回路を構成する、それぞれ第3および第4の第1ゲート導電型MOSトランジスタと第3および第4の第2ゲート導電型MOSトランジスタとが直列接続されており、第3の第1ゲート導電型MOSトランジスタのソースが電源電圧に接続され、第4の第2ゲート導電型MOSトランジスタのソースが接地されており、そして、第3の第1ゲート導電型MOSトランジスタのゲートおよび第4の第2ゲート導電型MOSトランジスタのゲートが接続された各入力部にはそれぞれ複数の2値入力信号が入力され、第4の第1ゲート導電型MOSトランジスタのゲートおよび第3の第2ゲート導電型MOSトランジスタのゲートはそれぞれ前記バイアス電圧と接続されており、第4の第1ゲート導電型MOSトランジスタのドレインと第3の第2ゲート導電型MOSトランジスタのドレインの結合点がノードに接続されている複数の検出回路を有する2値信号検出部

と、第5および第6の第1ゲート導電型MOSトランジスタと第5および第6の第2ゲート導電型MOSトランジスタとが直列接続されており、第5の第1ゲート導電型MOSトランジスタのソースと第6の第2ゲート導電型MOSトランジスタのゲートは電源電圧に接続され、第5の第1ゲート導電型MOSトランジスタのゲートと第6のMOSトランジスタのソースは接地されており、第6の第1ゲート導電型MOSトランジスタのゲートと第5の第2ゲート導電型MOSトランジスタのゲートは前記ノードに接続されており、そして、第6の第1ゲート導電型MOSトランジスタのドレインと第5の第2ゲート導電型MOSトランジスタのドレインの結合点が出力部に接続され多数決の結果を2値信号により出力するインバータ回路とを有する多数決回路である。

【0018】さらに、バイアス電圧は上記インバータ回路の反転閾値電圧である多数決回路である。

【0019】また本発明は、複数の2値信号が入力する入力層と、この入力層からの所定の複数の出力信号が入力する上記多数決回路を含む中間層と、この中間層からの所定の複数の出力信号が入力する上記多数決回路を含む出力層とを有する3層構成の論理演算回路である。

【0020】

【発明の実施の形態】多数決処理は、故障許容システムや人工ニューラルネットワーク (artificial neural networks) などにおける基本原理である。さらに、多数決回路を誤り訂正や中間値の算出 (Median filtering) 等の様々な様々な情報処理に効率良く用いることで、情報処理装置の諸性能の向上が期待できる。例えば3つのバイナリ入力、 a 、 b 、 c があるとき、多数決の論理演算

は $U = ab + bc + ca$ となる。このような場合は簡単だが、入力数が多くなると論理演算回路は非常に大きくなり、従来のデジタル的手法では多数決回路を作るのに大きな回路が必要となる。

【0021】本発明は、バイナリの電圧モードで簡単に動作する多数決回路を提供するもので、非常に大きな入力数に対しても高い精度と安定な動作を有するCMOS多数決回路を提供するものである。CMOS回路は、直列に接続されたpMOSトランジスタとnMOSトランジスタを含み、このpMOSトランジスタ及びnMOSトランジスタのゲートが互いに接続されて入力部をなし、pMOSトランジスタとnMOSトランジスタの間に出力部を有する。

【0022】本発明の回路においては、複数の並列接続された2値入力CMOSインバータ回路のpおよびnMOSにそれぞれ対応する電流制御MOSトランジスタを直列に接続し、この電流制御MOSトランジスタのゲートをCMOS出力バッファ回路の反転電位と同じ電位によりバイアスする。そして、上記各CMOSインバータ回路の出力を結合してノードMとし、ノードMをCMOS出力バッファ回路のゲートと接続し、出力バッファ回路の出力において多数決の判定を得るものである。

【0023】本発明に係る多数決回路は、標準的な製造方法を用いて形成されるCMOS回路素子を用いて実現でき、入力数が増加した場合でも論理の段数を増加する必要がない。このため並列演算が行われている多数決回路の各遅延時間は一定である。そして、使用されるp及びnMOSトランジスタ間のパラメータのずれを自動調整するため、nMOSトランジスタとpMOSトランジスタのコンダクタンスの不一致から生ずるノードMの電位のオフセットはキャンセルされる。さらに、MOSトランジスタを飽和領域で動作させるため動作マージンを大きく保つことができる。

【0024】本発明の実施の形態を以下に図面を参照して説明する。以下の説明および図面の記載において、同様の要素は同様の参照番号により表される。

【0025】図1に本発明の多数決回路の回路構成を示す。回路素子はすべてMOSトランジスタにより構成することができる。

【0026】図1において、A部13はC部15のCMOSインバータの反転閾値電圧と同じ電圧を発生するバイアス回路である。第1および第2のpMOSトランジスタ1、2と第1および第2のnMOSトランジスタ3、4とが直列接続されている。第1のpMOSトランジスタ1のソースと第2のnMOSトランジスタ4のゲートは V_{dd} に接続され、第1のpMOSトランジスタ1のゲートと第2のnMOSトランジスタ4のソースは接地されている。第2のpMOSトランジスタ2のゲートおよびドレインと第1のnMOSトランジスタ3のゲートおよびドレインは V_{ref} に接続されている。

【0027】A部13を構成するトランジスタは対応するC部15を構成する各トランジスタと実質的に同じ形状および不純物濃度分布を有し、 V_{ref} に発生する電圧がC部インバータの反転閾値電圧と同じ電圧となるようにする。

【0028】B部14はN個の信号(“1”または“0”)のCMOS入力部である。N個の信号の組み合わせによってノードMの電位 V_M が変化する。各入力部は並列回路を構成し、それぞれ第3および第4のpMOSトランジスタ5、6と第3および第4のnMOSトランジスタ7、8とが直列接続されている。スイッチ用のトランジスタである第3のpMOSトランジスタ5のソースは V_{dd} に接続され、同じくスイッチ用のトランジスタである第4のnMOSトランジスタ8のソースは接地されている。そして、第3のpMOSトランジスタ5のゲートおよび第4のnMOSトランジスタ8のゲートには各入力信号($x_1, x_2 \dots x_N$)が入力される。 $x_1, x_2 \dots x_N$ は2値入力である。電流制御トランジスタである第4のpMOSトランジスタ6のゲートおよび同じく電流制御トランジスタである第3のnMOSトランジスタ7のゲートはそれぞれ V_{ref} と接続されている。第4のpMOSトランジスタ6のドレインと第3のnMOSトランジスタ7のドレインの結合点はノードMに接続されている。

【0029】B部14において“1”の入力数をmとした場合に、 $m = N/2$ (Nは入力の総数)の時のノードMの電位(V_M)は、A部と組み合わせられることにより、A部において生成された電圧 V_{ref} に等しくなる。

【0030】電流制御トランジスタである第4のpMOSトランジスタ6、同じく電流制御トランジスタである第3のnMOSトランジスタ7はそれぞれ能動負荷として働き、“1”(もしくは“0”)の入力数の変化に対して $N/2$ 近傍における変化を急峻にするよう作用する。つまり、“1”と“0”の数があまり変わらない場合における $|V_M - V_{ref}|$ を大きくする。

【0031】C部15は電位 V_M に応じて多数決出力を発生するインバータ回路である。第5および第6のpMOSトランジスタ9、10と第5および第6のnMOSトランジスタ11、12とが直列接続されている。第5のpMOSトランジスタ1のソースと第6のnMOSトランジスタ12のゲートは V_{dd} に接続され、第5のpMOSトランジスタ1のゲートと第6のnMOSトランジスタ4のソースは接地されている。第6のpMOSト

ランジスタ10のゲートと第5のnMOSトランジスタ11のゲートはノードMに接続されている。そして第6のpMOSトランジスタ10のドレインと第5のnMOSトランジスタ11のドレインの結合点は出力 V_{out} に接続され多数決の結果を2値信号により出力する。

【0032】入力信号を $x_1, x_2 \dots x_N$ とし、それぞれに“1”= V_{dd} または“0”=接地(0)の信号を入力する。“1”入力の数が“0”入力の数よりも多い場合C部15のインバータは“1”を出力する。逆に“0”入力の数の多い場合には“0”を出力する。即ち、Nを総入力数、mを“1”の入力数をすると、 $m > N/2$ (N:奇数)のときのみ V_{out} は“1”を出力する。

【0033】図1の実施の態様において、各pMOS(1, 2; 5, 6; 9, 10)とnMOS(4, 3; 8, 7; 12, 11)はノードMに対して対称に配置されており、それぞれ電流制御MOSトランジスタ(ノードMの側)とスイッチ用MOSトランジスタ(V_{dd} および接地側)の縦列接続となっている。そして、 V_{ref} はノードMの次段のバッファ(C部のインバータ)の反転閾値電圧と同じ電圧であり、“1”の入力数 $m = N/2$ のときのMの電位(V_M)は V_{ref} に一致する。このとき、B部14の“1”が入力されたpMOSと、“0”が入力されたnMOSを流れる電流は等しくなり、この回路の分解能が最大となる。

【0034】総入力数をN、“1”の入力数をm、nMOSとpMOSの特性が一致しているとして、 $N = 2n - 1$ とした場合の動作マージンを求める。

【0035】総入力数Nが比較的小さい場合、各cMOSインバータの出力 V_M は理想的なMOS特性を示すものとする。 $m = n$ のときの電流制御MOSトランジスタの $V_M - I_D$ 特性を図2に示す。ここで、 I_{Dp} 、 I_{Dn} をそれぞれpMOS、nMOSを流れる電流の総和とし、 V_{Tp} 、 V_{Tn} をそれぞれ電流制御pMOSトランジスタおよびnMOSトランジスタの閾値電圧とする。この場合、スイッチ用nおよびpMOSトランジスタは、電流制御n及びpMOSトランジスタとの比較において、オン時にはその抵抗は0でありオフ時には無限大と仮定することができる。

【0036】図2から明らかなように、pMOSは定電流領域、nMOSは抵抗性領域で動作する。この場合次に式が成り立つ。

【0037】

【数1】

$$I_{Dp} = (N - m)K_p(V_{DD} - V_{ref} - V_{Tp})^2 \quad (1)$$

$$I_{Dn} = mK_n \{2(V_{ref} - V_{Tn})V_M - V_M^2\} \quad (2)$$

$$I_{Dp} = I_{Dn} \quad (3)$$

【0038】(1)、(2)、(3)式から V_M を求める。

【0039】

【数2】

$$V_M = V_{ref} - V_{Tn} - \sqrt{(V_{ref} - V_{Tn})^2 - \frac{(N-m)K_p}{mK_n} (V_{DD} - V_{ref} - V_{Tp})^2} \quad (4)$$

【0040】簡単化するために、 $K_p = K_n$ 、 $V_{Tn} = V_{Tp} = V_T$ 、 $V_{ref} = V_{DD}/2$ とすると、

【0041】

【数3】

$$V_M = (V_{ref} - V_T) \left(1 - \sqrt{\frac{1}{m}} \right) \quad (5)$$

【0042】となる。“1”の入力数と“0”の入力数の差が1のとき、つまり $m = n$ のとき、

【0043】

【数4】

$$V_M = (V_{ref} - V_T) \left(1 - \sqrt{\frac{2}{N+1}} \right) \quad (6)$$

【0044】となる。一方総入力数 N が比較的大きい場合は、チャンネル長変調効果、基板バイアス効果を考慮して、 $V_M - V_{ref}$ は次式で近似できる。

【0045】

【数5】

$$V_M - V_{ref} \cong \frac{N - 2n}{n \cdot \Delta n - (N - n) \cdot \Delta p} \quad (7)$$

【0046】ここで、 I_{0n} 、 I_{0p} 、(I_0 は定数)は、それぞれ n MOS及び p MOSを流れる電流のノード電圧 V_M に対する変化量に対応する。また n は

【0047】

【数6】

$$\Delta n \cong \lambda_n - \frac{2 \left(1 + \frac{d\delta_n}{dV_n} \right)}{V_{ref} - V_n - V_{Tn} - \delta_n} \frac{\partial V_n}{\partial V_M} \quad (8)$$

【0048】で示され、 n と n はそれぞれ電流制御 n MOSのチャンネル変調係数と基板バイアス効果による閾値の増加量、 V_n は電流制御 n MOSとスイッチ n MOS間のノードの電位である。なお、基板バイアス効

果が動作マージンを上げる方向に働く。 $n = -p$ ($=$)と仮定すると、マージンは次式で近似できる。

【0049】

【数7】

$$|V_M - V_{ref}| \cong \frac{1}{N \cdot \Delta} \quad (9)$$

【0050】はMOSのチャンネル長変調効果や基板バイアス効果から決まる値で、 $V_{DD} = 5$ [V]、 $V_{ref} = V_{DD}/2$ 、 $V_{Tn} = 0.9$ [V]、 $n = 0.06$ [V⁻¹]と仮定したとき、特定の制作条件においては $10^{-3} \sim 10^{-2}$ [V⁻¹]程度である。このことから非常に大きい N に対しても十分なマージンを保つことがわかる。

【0051】図1のB部を通常のCMOSで構成した場合、通常 n MOSと p MOSのコンダクタンスは一致せず、入力信号の“1”及び“0”の数の組み合わせによりコンダクタンスは大きく変化する。このことが図1に示す従来例のCMOS構成の選択回路の動作マージンを低下させる原因の1つである。

【0052】選択回路の動作マージンは“1”信号と“0”信号の数の差が1の時に、ノードMの電位(V_M)がインバータ15の反転閾値(V_{ref})からど

の程度離れているかによって決まる。本発明の回路では上記のような構成をとることにより、B部14の各直列接続された n MOSと p MOSの全体のコンダクタンスは等しくなり、動作マージンは最大となる。この構成によれば、熱雑音を考慮しても1000程度の入力数が可能であることがわかった。

【0053】また演算速度に関しては10ns以下の動作が可能であることがわかった。入出力は2値のデジタル信号であるが、回路内部の処理はむしろアナログ的動作であるため、高速動作と大きなファンインが可能となる。

【0054】消費電力に関しては、本発明による多数決回路は常に貫通電流を流しているため、ワーストケースでの消費電力は動作周波数に関係しない。このため速度が速くなり高周波になればなるほど多数決回路の周波数に対する消費電力は減少する。

【0055】図3に本発明による多数決回路を用いた多数決論理演算回路を示す。入力層16と多数決回路を用いた中間層17、出力層18からなる3層構成の回路よりなる。それぞれの多数決回路の入力数はN個（奇数）である。入力信号は入力層16を介してそれぞれ中間層16の多数決回路に入り、その中間層16の多数決回路の出力が出力層18の多数決回路の入力に入る。出力層18からの出力が最終的な結果となる。このときそれぞれの多数決回路の結合荷重値を変更することによって、様々な演算を行うことができる。EXOR回路を使用する多数決回路においては入力数NのときlogN段の計算が必要となるようなパリティ演算でも、本発明に係る上記多数決論理演算回路では入力数に関係なく3段で計算を実行することができる。

【0056】以上本発明に係る実施の態様について説明したが、ここに記載した多数決回路および多数決論理演算回路の実施の形態は単なる一例であり、本回路の実施の形態は本発明の技術的範囲を逸脱せずに多様に变形することが可能である。

【0057】

【発明の効果】以上説明したように、本発明によれば、従来の多数決回路と比較しアナログCMOS回路を用いることで小面積、高速性及び大きなファンインを実現することが可能となった。CMOS回路に電流制御MOSトランジスタを組み込んだ多数決回路を形成することに

より、自動的に入力部のコンダクタンスのバランスをとることが可能となり、大きな動作マージンが実現できる。理論的には電源電圧の3%程度のマージンが必要な場合でも、1000程度の入力数が可能である。

【図面の簡単な説明】

【図1】本発明の多数決回路を示す図である。

【図2】本発明のインバータを用いた多数決回路の $V_M - I_D$ 特性を示す図である。

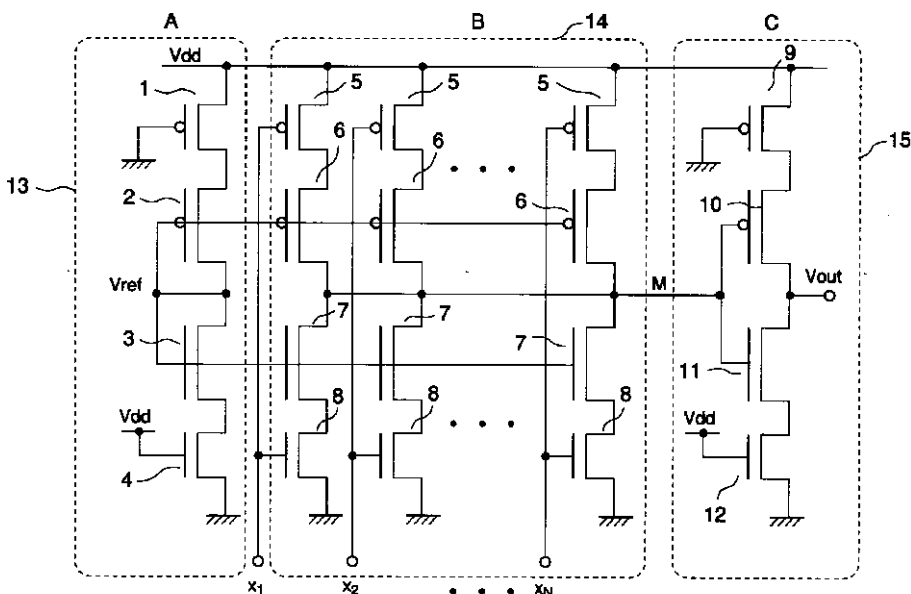
【図3】本発明の多数決論理演算回路を示す図である。

【図4】従来技術を示す図である。

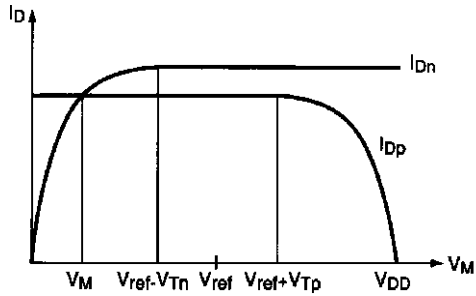
【符号の説明】

- 1、2、5、6、9、10...pMOSトランジスタ
- 3、4、7、8、11、12...nMOSトランジスタ
- 13...バイアス回路
- 14...2値信号検出部
- 15...出力回路
- 16...入力層
- 17...中間層
- 18...出力層
- 21、25...pMOSトランジスタ
- 22、26...nMOSトランジスタ
- 23、24...ゲート
- 27、28...CMOSインバータ
- 29...入力
- 30...出力

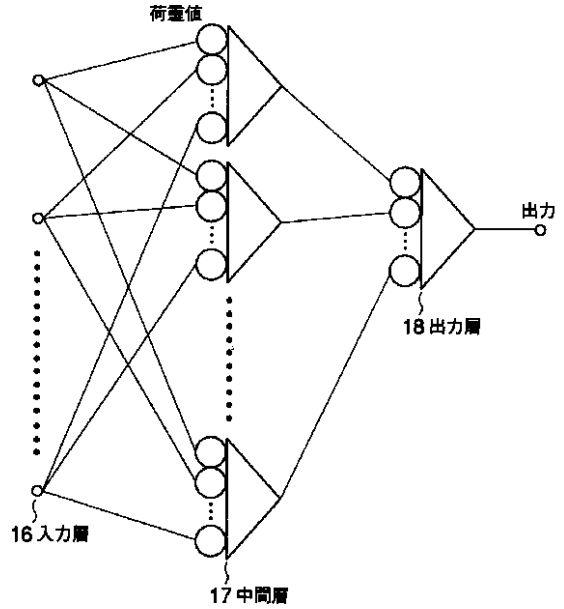
【図1】



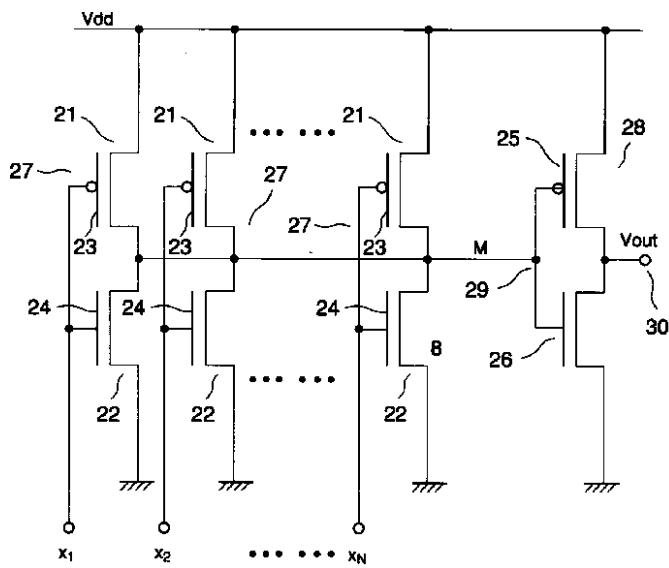
【図2】



【図3】



【図4】



フロントページの続き

(56) 参考文献 特開 昭48 - 52461 (J P , A)
 特開 昭59 - 11036 (J P , A)
 特開 平 2 - 243019 (J P , A)
 特開 平10 - 40074 (J P , A)
 特開 平11 - 220037 (J P , A)
 特開2000 - 57244 (J P , A)

(58) 調査した分野 (Int.Cl.7, D B 名)
 H03K 19/23