

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-351862  
(P2001-351862A)

(43) 公開日 平成13年12月21日 (2001.12.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L	21/20	H 0 1 L	5 F 0 5 2
	21/203		Z 5 F 1 0 3

審査請求 有 請求項の数 9 O L (全 5 頁)

(21) 出願番号 特願2000-172876(P2000-172876)

(22) 出願日 平成12年6月9日(2000.6.9)

特許法第30条第1項適用申請有り 平成12年3月28日～31日 社団法人応用物理学会主催の「2000年(平成12年)春季第47回応用物理学関係連合講演会」において文書をもって発表

(71) 出願人 391012224

名古屋大学長

愛知県名古屋市千種区不老町(番地なし)

(72) 発明者 安田 幸夫

愛知県愛知郡長久手町五合池103

(72) 発明者 財満 鎮明

愛知県春日井市高座台5-5-64

(72) 発明者 酒井 朗

愛知県名古屋市緑区篠の風3-252 滝ノ水住宅6-205

(74) 代理人 100059258

弁理士 杉村 暁秀 (外2名)

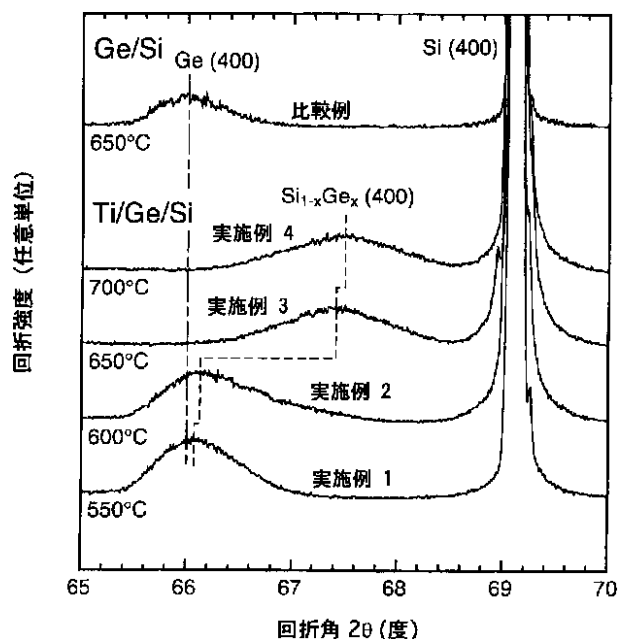
最終頁に続く

(54) 【発明の名称】 半導体混晶膜の形成方法

(57) 【要約】

【課題】 結晶安定性及び再現性に優れるとともに、膜厚方向において構成成分濃度が連続的に変化してなる半導体混晶膜を形成する新規な方法を提供する。

【解決手段】 Si基板上にGe薄膜をエピタキシャル成長させることによって堆積させた後、このGe薄膜上にTi膜を堆積させる。そして、これらを好ましくは  $1.3 \times 10^{-8}$  Paの真空雰囲気下において、550～700、30分間の熱処理を行う。



## 【特許請求の範囲】

【請求項 1】 第 1 の半導体材料からなる基板上に、第 2 の半導体材料からなる薄膜をエピタキシャル成長によって形成した後、この薄膜上に金属膜を形成し、これらを熱処理することにより、前記第 1 の半導体材料からなる基板と前記第 2 の半導体材料からなる薄膜との界面に、前記第 1 の半導体材料と前記第 2 の半導体材料とからなる混晶膜を形成することを特徴とする、半導体混晶膜の形成方法。

【請求項 2】 前記熱処理は、真空雰囲気中において、400～900 の温度で 1～120 分間行うことを特徴とする、請求項 1 に記載の半導体混晶膜の形成方法。

【請求項 3】 前記第 1 の半導体材料からなる基板が Si 基板であり、前記第 2 の半導体材料からなる薄膜が Ge 膜であって、前記半導体混晶膜が SiGe 混晶膜であることを特徴とする、請求項 1 又は 2 に記載の半導体混晶膜の形成方法。

【請求項 4】 前記金属膜は Ti 膜であることを特徴とする、請求項 3 に記載の半導体混晶膜の形成方法。

【請求項 5】 前記熱処理における真空雰囲気は、 $1.3 \times 10^{-8}$  Pa 以下の圧力であり、前記熱処理における温度が 550～700 であり、前記熱処理における熱処理時間が 10～60 分であることを特徴とする、請求項 4 に記載の半導体混晶膜の形成方法。

【請求項 6】 前記 Ti 膜の厚さが、10～200 nm であることを特徴とする、請求項 4 又は 5 に記載の半導体混晶膜の形成方法。

【請求項 7】 前記 Ge 膜の厚さが、30～600 nm であることを特徴とする、請求項 6 に記載の半導体混晶膜の形成方法。

【請求項 8】 前記 SiGe 混晶膜において、Si 濃度が前記 Si 基板から前記 Ge 膜へ向かって連続的に減少するとともに、Ge 濃度が前記 Ge 膜から前記 Si 基板へ向かって連続的に減少することを特徴とする、請求項 3～7 のいずれか一に記載の半導体混晶膜の形成方法。

【請求項 9】 Si 濃度及び Ge 濃度が膜厚方向で連続的に変化してなることを特徴とする、SiGe 混晶膜。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体混晶膜の形成方法に関し、さらに詳しくは、超高速デバイスや量子デバイスの基幹構造として、Si デバイスに代わる次世代の半導体素子である SiGe 混晶膜などの半導体混晶膜の形成方法に関する。

## 【0002】

【従来の技術】Si デバイスに代わる次世代の半導体素子として期待される超高速デバイスや量子デバイスの基幹構造として、SiGe 混晶膜は有力な候補であり、したがって、この SiGe 混晶膜の形成技術の開発が盛んに行われている。しかしながら、従来におけるこの Si

Ge 混晶膜の形成技術として確立されているのは、分子線エピタキシャル成長 (MBE) 法又は化学的気相成長 (CVD) 法などである。

【0003】これらの方法においては、供給する Si 及び Ge の量を制御することにより混晶膜の組成を制御するものであるため、混晶膜の結晶安定性及び再現性を十分に高めることが困難であった。さらには、Si 濃度及び Ge 濃度が膜厚方向で連続的に変化した混晶膜を形成することは困難を極めていた。

## 【0004】

【発明が解決しようとする課題】本発明は、SiGe 混晶膜などの半導体混晶膜を形成する新規な方法を提供し、これによって上記問題を解決することを目的とする。

## 【0005】

【課題を解決するための手段】上記目的を達成すべく、本発明の半導体混晶膜の形成方法は、第 1 の半導体材料からなる基板上に、第 2 の半導体材料からなる薄膜をエピタキシャル成長によって形成した後、この薄膜上に金属膜を形成し、これらを熱処理することにより、前記第 1 の半導体材料からなる基板と前記第 2 の半導体材料からなる薄膜との界面に、前記第 1 の半導体材料と前記第 2 の半導体材料とからなる混晶膜を形成することを特徴とする。

【0006】本発明者らは、上記問題点を解決すべく、SiGe 混晶膜などの半導体混晶膜を形成する新規な方法を見出すべく鋭意検討を行った。その結果、目的とする混晶膜を構成する半導体成分からなる基板上に、同じく混晶膜を構成する他の半導体成分からなる薄膜をエピタキシャル成長させて形成した後、この薄膜上に金属膜を形成する。そして、このようにして形成したアセンブリに対して所定の条件で熱処理を施すことにより、基板と薄膜との間に目的とする混晶膜が形成されることを見出した。

【0007】そして、半導体成分からなる薄膜及び金属膜の厚さ、さらには熱処理温度及び時間などを適宜に調節することにより、半導体成分が膜厚方向において連続的に変化した混晶膜を形成できることを見出した。

【0008】本発明によれば、従来の MBE 法及び CVD 法などのように、混晶膜を構成する半導体成分の複雑な制御を行うことなく、所定の基板上における膜形成と基板及び膜の熱処理とのみによって、目的とする混晶膜を形成することができる。したがって、混晶膜の安定性及び再現性が格段に向上するとともに、膜厚方向において組成が連続的に変化した混晶膜をも簡易に得ることができる。

【0009】本発明の方法によって混晶膜が形成されるメカニズムについては、次のように考えることができる。なお、以下においては、本発明者らが主として研究を行っている SiGe 混晶を例にとりて説明する。Si

Ge混晶膜を本発明によって形成する場合は、例えば、Si基板上にGe薄膜をエピタキシャル成長によって堆積させた後、このGe薄膜上にTi膜を形成する。そして、これらを「発明の実施の形態」で示す条件において熱処理し、Si基板とGe薄膜との界面にSiGe混晶膜を形成する。

【0010】一方、本発明と対比させるべく、Ge薄膜上にTi膜を形成することなく、以下に示す条件で熱処理を実施した。しかしながら、この場合においては、Si基板とGe薄膜との界面にSiGe混晶膜が形成されなかった。すなわち、本発明にしたがって、Ge薄膜上に金属膜であるTi膜を形成しない場合は、SiGe混晶膜が形成されないことが判明した。このことから、本発明の形成方法に従うことにより、以下の現象が生じていることが推察される。

【0011】すなわち、Ge薄膜上に形成されたTi膜は、熱処理によってGe薄膜と反応し、GeとTiとからなる化合物を形成する。この際、Ge薄膜を構成するGe原子がTi膜中へ拡散し、Ge薄膜には多数の空孔が形成される。そして、この空孔がSi基板中へと拡散するため、結果としてSi基板を構成するSi原子が表面へ拡散し、Si基板とGe薄膜との原子間混合が促進されるためと考えられる。

【0012】

【発明の実施の形態】以下、本発明を発明の実施の形態に基づいて詳細に説明する。本発明の半導体混晶膜の形成方法においては、半導体混晶膜を構成する一方の半導体成分（第1の半導体材料）から基板を構成するとともに、半導体混晶膜を構成する他方の半導体成分（第2の半導体材料）からなる薄膜を、前記基板上にエピタキシャル成長によって形成することが必要である。

【0013】前記基板及び前記薄膜は、半導体混晶膜を構成する半導体成分のいずれからも構成することができる。しかしながら、半導体混晶膜においてSi成分を含有する、例えば、SiGe混晶膜を形成する場合は、入手のし易さなどを考慮し、前記基板をSiから構成する、いわゆるSi基板とし、前記薄膜をGeから構成するGe薄膜とすることが好ましい。

【0014】また、本発明の半導体混晶膜の形成方法においては、第2の半導体材料からなる薄膜上に金属膜を形成する。金属膜の種類については、上記推定される原因に基づいて、第2の半導体材料と化合物を形成して前記薄膜中に十分な量の空孔を形成することができれば、特に限定されない。しかしながら、上記SiGe混晶膜を形成する場合は、前記金属膜をTi膜から構成することが好ましい。これにより、前記Ge薄膜中に多量の空孔が形成されると推定され、結晶安定性及び再現性に優れるとともに、膜厚方向において任意の組成傾斜を有するSiGe混晶膜を簡易に形成することができる。

【0015】本発明の形成方法における熱処理は、本発

明にしたがって第1の半導体材料からなる基板と第2の半導体材料からなる薄膜との界面に、これら半導体材料からなる半導体混晶膜を形成することができれば、特に限定されない。しかしながら、混晶膜への不純物混入を防止すべく、前記熱処理は真空中で行うことが好ましい。特に、超高速デバイスや量子デバイスの基幹構造として着目されているSiGe混晶膜を形成する場合には、 $1.3 \times 10^{-8}$  Pa以下の圧力の真空中において熱処理することが好ましい。

【0016】そして、上述のように推定される本発明の半導体混晶膜の形成原理に基づいて、第2の半導体材料中に十分な量の空孔を形成するとともに、この空孔を第1の半導体材料からなる基板中へ十分に拡散させるべく、熱処理温度は、400~900であることが好ましく、さらには500~800であることが好ましい。そして、特に、上記SiGe混晶膜を形成するに際しては、上記圧力下において550~700で熱処理することが好ましい。

【0017】また、上記空孔を第1の半導体材料からなる基板中へ十分な量で拡散させるとともに、本発明の目的である膜厚方向に任意の組成勾配を有する半導体混晶膜を形成すべく、熱処理時間は1~120分間であることが好ましく、さらには10~90分間であることが好ましい。そして、特に上記SiGe混晶膜を形成するに際しては、上記圧力下及び温度範囲において10~60分間熱処理することが好ましい。

【0018】本発明の形成方法における金属膜の厚さについては、本発明にしたがって第1の半導体材料からなる基板と第2の半導体材料からなる薄膜との界面において、これら半導体材料からなる半導体混晶膜が形成されれば、特に限定されない。しかしながら、Ge薄膜を用いてSiGe混晶膜を形成するに際して用いるTi膜は、10~200nmであることが好ましい。これによって、Ge薄膜中に多量の空孔が形成されると推定され、結晶安定性及び再現性に優れるとともに、膜厚方向に任意の組成傾斜を有するSiGe混晶膜を形成することができる。

【0019】また、本発明の形成方法における第2の半導体材料からなる薄膜の厚さも、本発明にしたがって上記半導体混晶膜が形成されれば特に限定されない。しかしながら、金属膜として上記厚さのTi膜を用いる場合は、その厚さが30~600nmであることが好ましい。これによって、上記同様にして、結晶安定性及び再現性に優れるとともに、膜厚方向に任意の組成傾斜を有するSiGe混晶膜を形成することができる。

【0020】なお、本発明の形成方法によって得ることのできる半導体混晶膜は、上記SiGe混晶膜の他に、SiGe混晶膜、SiSn混晶膜、及びSiGeC混晶膜を例示することができる。

【0021】

【実施例】本発明の具体例を以下の実施例において示す。

(実施例1~4)本実施例では、SiGe混晶膜の形成を試みた。第1の半導体材料から基板として、(100)Si基板を用いた。このSi基板を硫酸、塩酸及び弗酸を用いて洗浄した後、薄膜形成装置の真空チャンバー内に設置した。その後、真空チャンバー内を $1.3 \times 10^{-8}$  Pa以下の圧力まで真空排気した。

【0022】次いで、Si基板を850℃まで加熱するとともに、この温度で5分間保持して基板表面を洗浄した後、基板温度を560℃とし、電子銃蒸着法によりGe薄膜をエピタキシャル成長させることによって厚さ100nmに形成した。次いで、同じく電子銃蒸着法によって前記Ge薄膜上にTi膜を厚さ30nmに形成した。そして、これら基板及び薄膜を、前記真空雰囲気中において、550℃、600℃、650℃、及び700℃の温度で30分間熱処理した。熱処理後のアセンプリに対して薄膜側からX線を照射して、その結晶性を評価した。得られた結果を図1に示す。

【0023】(比較例)実施例同様に形成したGe薄膜上にTi膜を形成することなく、上記同様に $1.3 \times 10^{-8}$  Pa以下の圧力下で、650℃、30分間の熱処理を行った。熱処理後のアセンプリの結晶性は実施例と同様にX線回折によって評価し、図1に得られた結果を示した。

【0024】本発明にしたがって、Ge薄膜上にTi膜を形成した後に熱処理を施した上記実施例においては、Si基板に起因する69度付近のSi(400)面に関するピークの他に、低角側においてSiGe(400)面に関するピークが観測される。したがって、Si基板とGe薄膜との間にSiGe混晶膜の形成されていることが分かる。

【0025】また、熱処理温度の上昇に伴って、SiGe(400)面に関するピークが高角側に移動し、Si(400)面に関するピークに近づいていること、及び

SiGe(400)面に起因するピークの半値幅が増大していることから、Si原子とGe原子との混合が促進されて、SiGe混晶膜の厚さが増大していること、及び混晶膜中におけるSi原子及びGe原子の拡散が進行して、これら組成の濃度が連続的に変化していることが分かる。

【0026】一方、Ti膜を形成することなく熱処理を施した本比較例においては、SiGe混晶に起因したピークは観測されず、Ge(400)面に関するピークが観測されることが分かる。このピーク位置より面間隔を算出して組成比を求めた結果、Ge組成比は約1であって、Ti膜を形成しない本比較例においては、Si基板とGe薄膜との界面において、これらの混晶が全く形成されていないことも判明した。

【0027】以上、具体例を挙げながら発明の実施の形態に基づいて本発明を詳細に説明してきたが、本発明は上記内容に限定されるものではなく、本発明の範疇を逸脱しない限りにおいてあらゆる変形や変更が可能である。例えば、上述したように第1の半導体材料からなる基板と第2の半導体材料からなる薄膜とを用いて、2成分系の半導体混晶膜を形成する他に、半導体材料及び熱処理条件を適宜に選択することにより、3成分系以上の半導体混晶膜を作製することもできる。

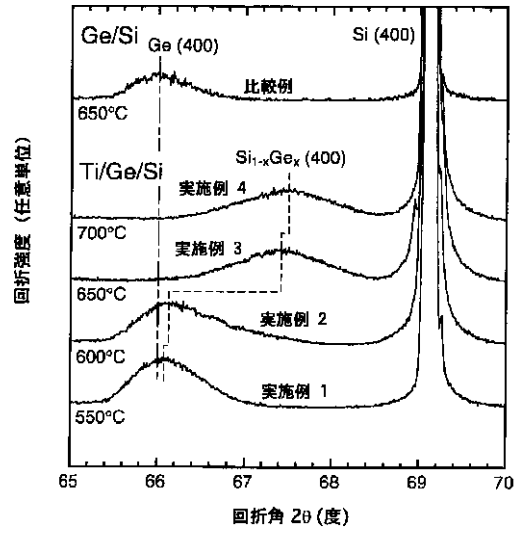
【0028】

【発明の効果】以上説明したように、本発明の形成方法によれば、超高速デバイスや量子デバイスの基幹構造として好適に用いることのできるSiGe混晶膜などの半導体混晶膜を、優れた結晶安定性及び再現性の下に極めて簡易な方法で形成することができる。さらには、半導体混晶膜を構成する各成分が膜厚方向において連続的に変化してなる半導体混晶膜をも容易に形成することができる。

【図面の簡単な説明】

【図1】 SiGe混晶膜のX線回折ピークを示す図である。

【図1】



フロントページの続き

(72)発明者 山中 章  
愛知県一宮市丹陽町九日市場2568

Fターム(参考) 5F052 AA11 DA03 DB05 GC03  
5F103 AA01 DD30 GG01 HH03 PP02  
PP03 PP13 RR04

(72)発明者 中塚 理  
奈良県生駒市緑が丘1425 - 78