

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3430206号
(P3430206)

(45)発行日 平成15年7月28日(2003.7.28)

(24)登録日 平成15年5月16日(2003.5.16)

(51)Int.Cl. ⁷	識別記号	F I
H 0 1 L	21/20	H 0 1 L 21/20
	21/205	21/205
	21/331	29/201
	21/338	29/72
	29/201	29/74

請求項の数22(全 7 頁) 最終頁に続く

(21)出願番号	特願2000-181229(P2000-181229)	(73)特許権者	599002043 学校法人 名城大学 愛知県名古屋市中区天白区塩釜口1-501
(22)出願日	平成12年6月16日(2000.6.16)	(73)特許権者	597154117 日本学術振興会 東京都千代田区麹町5丁目3番1号
(65)公開番号	特開2001-358075(P2001-358075A)	(72)発明者	新田 州吾 愛知県名古屋市中区天白区植田南2-113 メゾン植田4A
(43)公開日	平成13年12月26日(2001.12.26)	(72)発明者	湯川 洋平 愛知県瀬戸市西松山町1-85
審査請求日	平成12年6月16日(2000.6.16)	(72)発明者	小嵯 正芳 愛知県名古屋市中区西味鏡5-618
		(74)代理人	100072051 弁理士 杉村 興作 (外1名)
		審査官	淵 真悟

最終頁に続く

(54)【発明の名称】 半導体素子の製造方法及び半導体素子

(57)【特許請求の範囲】

【請求項1】 半導体素子の製造方法であって、
基板上に、少なくともA1を含むIII族窒化物半導体からなる第1の半導体層を形成する工程と、
前記第1の半導体層上に、前記少なくともA1を含むII族窒化物半導体とは異なる導電型の、A1を除くIII族窒化物半導体からなる第2の半導体層を形成する工程と、
前記第1の半導体層及び前記第2の半導体層を部分的に除去し、前記第1の半導体層及び前記第2の半導体層に前記第2の半導体層を貫通してなる開口部を形成する工程と、
前記第2の半導体層を所定の温度に加熱することによりマストランスポートを生じさせ、前記開口部を埋設する工程と、

を含み、これによって前記基板の面内方向に、相異なる導電型の、前記少なくともA1を含むIII族窒化物半導体からなる領域と、前記A1を除くIII族窒化物半導体からなる領域とを形成することを特徴とする、半導体素子の製造方法。

【請求項2】 前記第2の半導体層の加熱温度が、600~1300であることを特徴とする、請求項1に記載の半導体素子の製造方法。

【請求項3】 半導体素子の製造方法であって、
基板上に、少なくともA1を含むIII族窒化物半導体からなる第1の半導体層を形成する工程と、
前記第1の半導体層上に、A1を除くIII族窒化物半導体からなる第2の半導体層を形成する工程と、
前記第1の半導体層及び前記第2の半導体層を部分的に除去し、前記第1の半導体層及び前記第2の半導体層に

前記第2の半導体層を貫通してなる開口部を形成する工程と、

前記第2の半導体層を所定の温度に加熱することによりマストランスポートを生じさせ、前記開口部を埋設する工程と、

前記第2の半導体層の加熱中において、前記第2の半導体層に対してドーパントを供給し、前記第2の半導体層を前記第1の半導体層と異なる導電型に形成する工程と、

を含み、これによって前記基板の面内方向に、互いに異なる導電型の、前記少なくともA1を含むIII族窒化物半導体からなる領域と、前記A1を除くIII族窒化物半導体からなる領域とを形成することを特徴とする、半導体素子の製造方法。

【請求項4】 前記第2の半導体層の加熱温度が、600～1300であることを特徴とする、請求項3に記載の半導体素子の製造方法。

【請求項5】 前記第2の半導体層の加熱中において、V族源を供給することを特徴とする、請求項1～4のいずれか一に記載の半導体素子の製造方法。

【請求項6】 前記V族源は、アンモニアであることを特徴とする、請求項5に記載の半導体素子の製造方法。

【請求項7】 前記V族源の供給はキャリアガスで搬送することによって行うことを特徴とする、請求項5又は6に記載の半導体素子の製造方法。

【請求項8】 前記キャリアガスは、水素ガス、窒素ガス、及び不活性ガスの少なくとも一種から構成されることを特徴とする、請求項7に記載の半導体素子の製造方法。

【請求項9】 前記開口部の形成は、反応性イオンエッチングにより行うことを特徴とする、請求項1～8のいずれか一に記載の半導体素子の製造方法。

【請求項10】 半導体素子の製造方法であって、基板上に、少なくともA1を含むIII族窒化物半導体からなる第1の半導体層を所定のマスクを介して形成する工程と、

前記第1の半導体層上に、前記少なくともA1を含むII族窒化物半導体とは異なる導電型の、A1を除くIII族窒化物半導体からなる第2の半導体層を前記マスクを介して形成する工程と、

前記第2の半導体層を所定の温度に加熱することによりマストランスポートを生じさせ、前記第1の半導体層及び前記第2の半導体層の、前記マスクが存在する部分に形成された開口部を埋設する工程と、

を含み、これによって前記基板の面内方向に、相異なる導電型の、前記少なくともA1を含むIII族窒化物半導体からなる領域と、前記A1を除くIII族窒化物半導体からなる領域とを形成することを特徴とする、半導体素子の製造方法。

【請求項11】 前記第2の半導体層の加熱温度が、6

00～1300であることを特徴とする、請求項10に記載の半導体素子の製造方法。

【請求項12】 前記第2の半導体層の加熱中において、V族源を供給することを特徴とする、請求項10又は11に記載の半導体素子の製造方法。

【請求項13】 前記V族源は、アンモニアであることを特徴とする、請求項12に記載の半導体素子の製造方法。

【請求項14】 前記V族源の供給はキャリアガスで搬送することによって行うことを特徴とする、請求項12又は13に記載の半導体素子の製造方法。

【請求項15】 前記キャリアガスは、水素ガス、窒素ガス、及び不活性ガスの少なくとも一種から構成されることを特徴とする、請求項14に記載の半導体素子の製造方法。

【請求項16】 前記基板と前記第1の半導体層との間に、下地層を設けたことを特徴とする、請求項1～15のいずれか一に記載の半導体素子の製造方法。

【請求項17】 前記開口部は、前記第1の半導体層及び前記第2の半導体層を貫通して、前記下地層まで至るように形成することを特徴とする、請求項16に記載の半導体素子の製造方法。

【請求項18】 前記基板と前記下地層との間に、緩衝層を設けたことを特徴とする、請求項16又は17に記載の半導体素子の製造方法。

【請求項19】 請求項1～18のいずれか一に記載の方法によって作製された、面内方向において、相異なる導電型のIII族窒化物半導体からなる、複数の半導体領域を具えることを特徴とする、半導体素子。

【請求項20】 請求項1～18のいずれか一に記載の方法によって作製された、面内方向において、少なくともA1を含むIII族窒化物半導体領域と、これと異なる導電型のA1を除くIII族窒化物半導体領域とを具えることを特徴とする、HEMT。

【請求項21】 請求項1～18のいずれか一に記載の方法によって作製された、面内方向において、少なくともA1を含むIII族窒化物半導体領域と、これと異なる導電型のA1を除くIII族窒化物半導体領域とを具えることを特徴とする、HBT。

【請求項22】 請求項1～18のいずれか一に記載の方法によって作製された、面内方向において、少なくともA1を含むIII族窒化物半導体領域と、これと異なる導電型のA1を除くIII族窒化物半導体領域とを具えることを特徴とする、サイリスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法及び半導体素子に関し、さらに詳しくは面内方向に異なる導電型の複数の半導体領域を具える、半導体素子の製造方法及びその半導体素子に関する。

【0002】

【従来の技術】III族窒化物半導体はInNの1.9 eVからAlNの6.2 eVまで広い範囲での直接遷移型バンドギャップを有することから、可視から紫外領域での発光・受光素子の材料として期待されている。これまでにIII族窒化物半導体を用いてなる青、緑、紫色の発光ダイオードが実用化されるとともに、多くのグループから次世代DVD用ピックアップとして有望な、紫色レーザーダイオードの室温連続発振の報告が成されている。

【0003】また、III族窒化物半導体は、可視光に反応しない紫外線検出器等の受光素子への応用という点においても期待を集めている。さらに上記窒化物半導体は、SiCやダイヤモンド同様にワイドギャップ半導体であることから、高耐圧、高周波、高温動作の電子デバイス、パワーデバイスとしてもきわめて重要である。

【0004】従来、電子デバイスの殆どはSi系もしくはGaAs系のスイッチングデバイスが用いられている。しかし特にSi系のデバイスでは、その集積度やオン抵抗などの特性はその眼界に近づいている。またSiを用いたデバイスはその使用温度の上限が125°であるとしており、GaAs系でも200°以上ではスイッチング速度などの特性が著しく低下する。そこで更なる高温、ハイパワー、高速動作、高集積密度などを実現する次世代高性能電子デバイスの材料として、ワイドギャップ半導体のひとつであるGaN系III族窒化物半導体が注目されている。

【0005】一般に半導体素子の作製にはn型及びp型の伝導性制御が不可欠である。III族窒化物半導体の結晶成長には、主として有機金属化合物気相成長(MOVPE)法が用いられている。この場合においては、母体結晶の気相成長中にドナーもしくはアクセプタ不純物を同時供給し、これによって上記n型及びp型の伝導性制御を実施している。そして、この方法によって作製した多層構造を用いることにより、発光ダイオード、レーザーダイオード、MESFET、HEMT(またはMODFET)、HBT等が作製されている。

【0006】

【発明が解決しようとする課題】例えば、上記方法によって作製した多層構造を用いてHEMTを作製する場合、ソース及びドレイン電極を非常に抵抗の高いAlGaN層上に形成することになる。このため、接触コンタクト特性が悪く周波数特性に悪影響を与える場合がある。また、素子の集積化を図るためには、面内方向に伝導性の異なる部分(半導体領域)を形成することが不可欠である。

【0007】Si系半導体においては、結晶成長後にイオン注入による局所的な不純物ドーピングを行うことにより三次元的な伝導性制御が可能である。しかしながら、III族窒化物半導体は結晶硬度が非常に高いために結晶

成長後のイオン注入は不可能であり、既存の技術では成長方向に垂直な、いわゆる面内方向の局所的な伝導性制御を行うことは極めて困難である。

【0008】本発明は、面内方向において、相異なる導電型のIII族窒化物半導体からなる、複数の半導体領域を具える半導体素子を製造するための方法及びその半導体素子を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成すべく、第1の発明は、基板上に、少なくともAlを含むIII族窒化物半導体からなる第1の半導体層を形成する工程と、前記第1の半導体層上に、前記少なくともAlを含むIII族窒化物半導体とは異なる導電型の、Alを除くIII族窒化物半導体からなる第2の半導体層を形成する工程と、前記第1の半導体層及び前記第2の半導体層を部分的に除去し、前記第1の半導体層及び前記第2の半導体層に前記第2の半導体層を貫通してなる開口部を形成する工程と、前記第2の半導体層を所定の温度に加熱することによりマストランスポートを生じさせ、前記開口部を埋設する工程と、を含み、これによって前記基板の面内方向に、相異なる導電型の、前記少なくともAlを含むIII族窒化物半導体からなる領域と、前記Alを除くIII族窒化物半導体からなる領域とを形成することを特徴とする、半導体素子の製造方法に関する。

【0010】また、第2の発明は、基板上に、少なくともAlを含むIII族窒化物半導体からなる第1の半導体層を形成する工程と、前記第1の半導体層上に、Alを除くIII族窒化物半導体からなる第2の半導体層を形成する工程と、前記第1の半導体層及び前記第2の半導体層を部分的に除去し、前記第1の半導体層及び前記第2の半導体層に前記第2の半導体層を貫通してなる開口部を形成する工程と、前記第2の半導体層を所定の温度に加熱することによりマストランスポートを生じさせ、前記開口部を埋設する工程と、前記第2の半導体層の加熱中において、前記第2の半導体層に対してドーパントを供給し、前記第2の半導体層を前記第1の半導体層と異なる導電性に形成する工程と、を含み、これによって前記基板の面内方向に、互いに異なる導電型の、前記少なくともAlを含むIII族窒化物半導体からなる領域と、前記Alを除くIII族窒化物半導体からなる領域とを形成することを特徴とする、半導体素子の製造方法に関する。

【0011】換言すれば、第1の発明は、面内方向に形成すべき、相異なる導電型の半導体領域を構成する各半導体を層状に積層させた後、一方の導電型の半導体領域を形成すべき部分に開口部を形成する。そして、前記一方の導電型の半導体領域を構成する半導体からなる半導体層を加熱し、前記開口部内にマストランスポートさせることによって、本発明の目的とする半導体素子を作製するものである。

【0012】また、第2の発明は、面内方向に形成すべき、相異なる導電型の半導体領域を構成する母材となるべき各半導体を層状に積層させた後、一方の導電型の半導体領域を形成すべき部分に開口部を形成する。そして、前記一方の導電型の半導体領域の母材となるべき半導体から構成される半導体層を加熱するとともに、この半導体層にドーパントを供給する。そして、前記開口部内へのマストランスポートと同時に前記一方の導電型の半導体を形成し、本発明の目的とする半導体素子を作製するものである。

【0013】すなわち、第1の発明は、半導体を層状に積層させる段階において、各半導体層の導電型を相異なるように形成するのに対して、第2の発明は、マストランスポートの段階において、各半導体層の導電型を相異なるようにしている。

【0014】このように本発明の製造方法によれば、結晶硬度が非常に高く、イオン注入が困難なIII族窒化物半導体を用いた場合においても、上記マストランスポートを用いることにより、面内方向に、導電型の相異なるIII族窒化物半導体から構成された複数の半導体領域を具える半導体素子を提供することができる。

【0015】なお、本発明においては、マストランスポートに寄与しない第1の半導体層は、Alを含むIII族窒化物半導体から構成されていることが必要であり、マストランスポートする第2の半導体層は、Alを除くII族窒化物半導体から構成されていることが必要である。Alを含むIII族窒化物半導体は熱力学的に極めて安定である。したがって、マストランスポートに寄与しない第1の半導体層をこのようなIII族窒化物半導体から構成することにより、第2の半導体層のみをマストランスポートさせることができる。また、ここでいうIII族窒化物半導体とは、一般式 $B_xAl_yIn_zGa_n - x - y - z$ ($0 < x, y, z < 1$)で表されるものをいう。

【0016】

【発明の実施の形態】以下、本発明を発明の実施の形態に基づいて詳細に説明する。なお、以下においては、本発明の方法を用いて、HEMTを製造する場合について説明する。図1～8は、本発明の方法を用いてHEMTを製造する場合の工程を示す断面図である。最初に、

(0001) サファイア基板1を反応管内サセプタにセットした後、必要に応じて約1000℃まで加熱し、水素気流中、数分間保持することにより、基板表面の洗浄を行う。

【0017】次いで、基板を500℃まで冷却した後、図1に示すように、サファイア基板1上にAlNからなる緩衝層2を、例えば数十nmの厚さに形成する。次いで、サファイア基板1を約1000℃まで加熱して、アンドープ高抵抗GaNからなる下地層3、n-AlGaNからなる第1の半導体層4、及びn⁺-GaNからなる

第2の半導体層5を、それぞれ3μm、0.5μm、1μmの厚さに順次形成する。なお、第2の半導体層5の形成は、例えば、SiH₄などのドーパントを供給しながら行う。

【0018】次いで、上記アセンブリを反応炉より取り出しフォトリソグラフィを施すことによって、図2に示すように、レジストパターン6を形成する。次いで、図3に示すように、Ti膜7及びNi膜8をそれぞれ厚さ10nm、200nmに形成し、その後、レジストパターン6を除去し、リフトオフによって、図4に示すようなNiTiマスク9を形成する。

【0019】次いで、図5に示すように、NiTiマスク9を介して第1の半導体層4及び第2の半導体層5、並びに下地層3に反応性イオンエッチングを施し、幅2μm、深さ2μmの開口部10を形成する。次いで、図6に示すように、NiTiマスク9を除去する。なお、反応性イオンエッチングの代わりに、KOHやリン酸などの共塩基及び強アルカリ溶液などによる湿式のエッチングを用いることもできる。

【0020】なお、反応性イオンエッチングを用いる代わりに、第1の半導体層4及び第2の半導体層5、並びに下地層3を形成する際において、所定のマスクを開口部を形成すべき部分に予め配置し、このマスクを介して前記各層を形成することによっても、上記のような開口部を形成することができる。

【0021】次いで、このようにして作製したアセンブリを再び反応炉中に入れ、第2の半導体層5を含めたアセンブリ全体を、600～1300℃、好ましくは、900～1150℃に加熱する。そして、前記アセンブリを例えば、約1000℃に加熱する場合は、この温度で約7分間保持する。

【0022】この場合においては、各半導体層中の窒素解離による窒素不足を補うべく、好ましくは、V族源としてのアンモニアなどを窒素キャリアガスなどによって、加熱雰囲気中に供給する。なお、アンモニアの供給は、好ましくはアセンブリに対する加熱開始から加熱終了の降温時まで連続して行う。また、キャリアガスは、窒素ガス単独に限らず、水素ガス、窒素ガス、不活性ガスの少なくとも一種からなるガスを使用することができる。

【0023】図7に示すように、このような加熱によって第2の半導体層5は、開口部10内にマストランスポートされる。図7においては、第2の半導体層5を構成するn⁺-GaNが、開口部10内に総てマストランスポートされるため、図8に示すように、第1の半導体層4上における開口部10の近傍の第2の半導体層5は総て消失する。次いで、図8に示すように、第2の半導体層5が消失することによって露出した、第1の半導体層4から構成される第1の半導体領域14上に、EB蒸着とリフトオフとを併用することによって、Ti/Pd/

Auゲート電極11を形成する。

【0024】次いで、第2の半導体層5を構成する n^+ -Ga_{1-x}N_xが開口部10にマストランSPORTすることによって形成された第2の半導体領域15上に、前記同様にしてNi/AuSi/Ag/Auからなるソース電極12及びドレイン電極13を形成する。これによって、最終的なHEMTを得ることができる。

【0025】このようにして作製したHEMTの絶縁破壊特性を調べたところ、従来に比べて数倍に向上していることが判明した。また、高周波特性においても100GHzを超える優れた特性を有することが判明した。これは、図8に示すように、 n^+ -Ga_{1-x}N_xからなる第2の半導体領域15と、この上に形成したソース電極12及びドレイン電極13とのオーミックコンタクトが良好であるため、ソース及びドレインとチャンネル16との電流の授受が改善したためである。

【0026】なお、上記においては、第2の半導体層5を形成する際にSiH₄などのドーパントを供給して、第1の半導体層4と異なる導電型に形成している。しかしながら、第2の半導体層5の加熱処理時にドーパントを供給して、異なる導電型への形成と、マストランSPORTとを同時に行うこともできる。

【0027】本発明の製造方法によれば、上記HEMTの他に、図9に示すような、面内方向において、それぞれ n^+ -AlGa_{1-x}N_x及び p -Ga_{1-x}N_xからなる複数のIII族窒化物半導体領域を具え、これらの領域上にゲート電極11、ソース電極12、及びドレイン電極13を設けてなるHBTを作製することもできる。

【0028】また、図10に示すような、面内方向において、それぞれ p -AlGa_{1-x}N_x及び n^+ -Ga_{1-x}N_xからなる複数のIII族窒化物半導体領域を具え、これらの領域上にゲート電極11、ソース電極12、及びドレイン電極13を設けてなるHBTを作製することもできる。

【0029】同様に、図11に示すように、面内方向において、 n -AlGa_{1-x}N_x及び p -Ga_{1-x}N_xからなる複数のIII族窒化物半導体領域を具え、これらの領域上に所定の電極21を設けてなるサイリスタを作製することもできる。

【0030】さらには、図12に示すように、第1の半導体層及び第2の半導体層を交互に積層させた周期多層構造を形成することにより、マルチチャンネル型のHEMTを作製することもできる。

【0031】以上、発明の実施の形態に則して本発明を説明してきたが、本発明の内容は上記に限定されるものではなく、本発明の範疇を逸脱しない限りにおいて、あらゆる変形や変更が可能である。

【0032】

【発明の効果】以上説明したように、本発明によれば、面内方向において、相異なる導電型のIII族窒化物半導体からなる、複数の半導体領域を具える半導体素子を提供することができる。

【図面の簡単な説明】

【図1】 本発明の半導体素子の製造方法における最初の工程を示す断面図である。

【図2】 図1に示す工程の後の工程を示す断面図である。

【図3】 図2に示す工程の後の工程を示す断面図である。

【図4】 図3に示す工程の後の工程を示す断面図である。

【図5】 図4に示す工程の後の工程を示す断面図である。

【図6】 図5に示す工程の後の工程を示す断面図である。

【図7】 図6に示す工程の後の工程を示す断面図である。

【図8】 図7に示す工程の後の工程を示す断面図である。

【図9】 本発明の半導体素子の製造方法により作製したHBTを示す断面図である。

【図10】 本発明の半導体素子の製造方法により作製したHBTを示す断面図である。

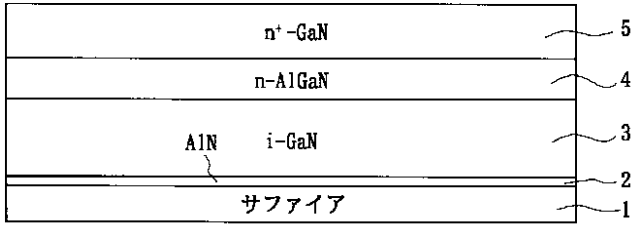
【図11】 本発明の半導体素子の製造方法により作製したサイリスタを示す断面図である。

【図12】 本発明の半導体素子の製造方法により作製したマルチチャンネル型のHEMTを示す断面図である。

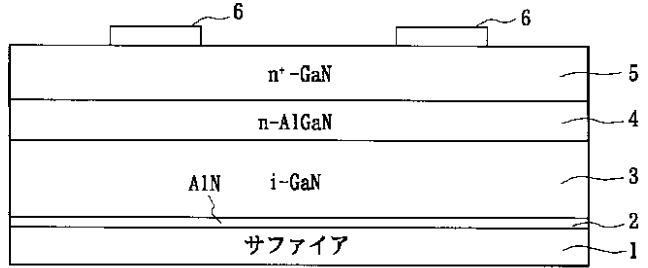
【符号の説明】

- 1 サファイア基板
- 2 緩衝層
- 3 下地層
- 4 第1の半導体層
- 5 第2の半導体層
- 6 レジストパターン
- 7 Ti膜
- 8 Ni膜
- 9 NiTiマスク
- 10 開口部
- 11 ゲート電極
- 12 ソース電極
- 13 ドレイン電極
- 14 第1の半導体領域
- 15 第2の半導体領域
- 16 チャンネル
- 21 電極

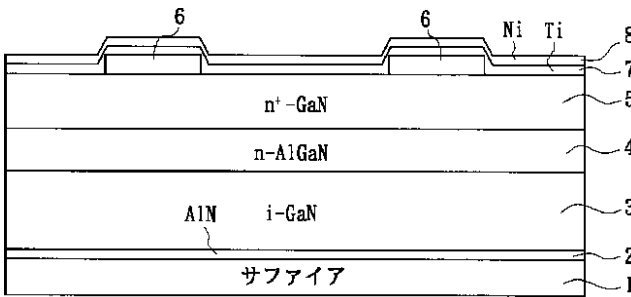
【図1】



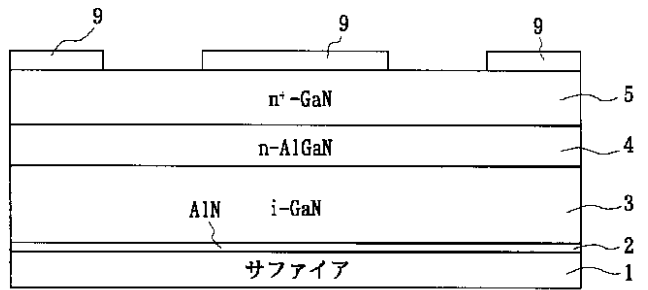
【図2】



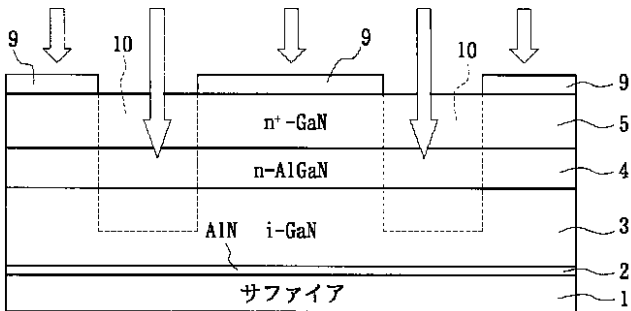
【図3】



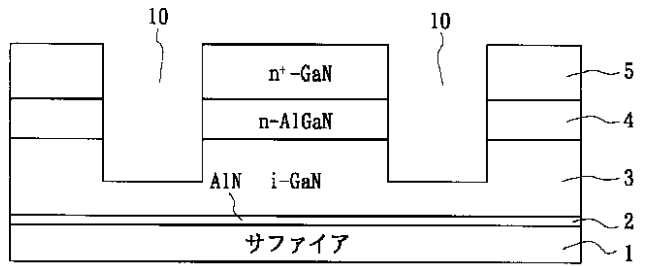
【図4】



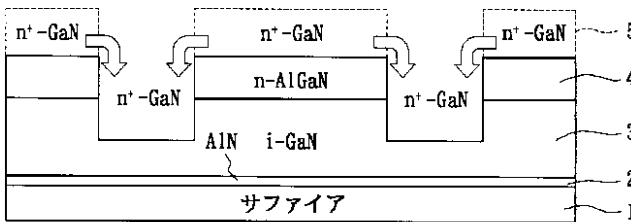
【図5】



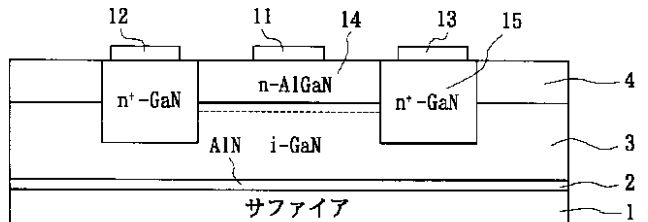
【図6】



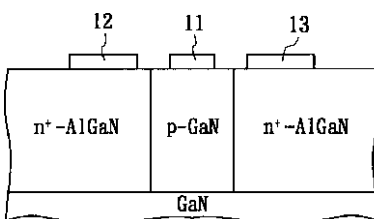
【図7】



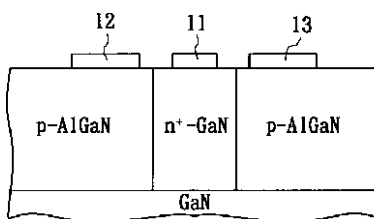
【図8】



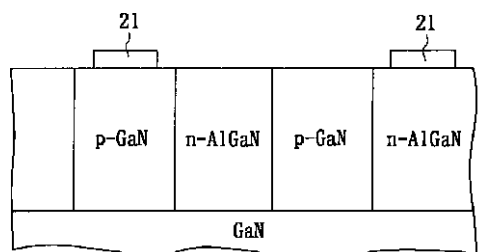
【図9】



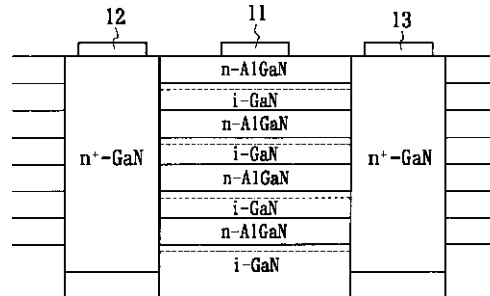
【図10】



【図11】



【図12】



フロントページの続き

(51) Int.Cl.7

識別記号

F I

H 0 1 L 29/737
29/74
29/778
29/812

H 0 1 L 29/80

H

(72) 発明者

山口 栄雄

愛知県名古屋市中区千代田3 - 25 - 11
ヴァンテージ千代田206

(56) 参考文献

特開 平9 - 307097 (J P , A)

特開 平3 - 64032 (J P , A)

(72) 発明者

天野 浩

愛知県名古屋市名東区山の手2 - 104
宝マンション山の手508

特開 平5 - 102497 (J P , A)

T . R . Chen , L . C . Chi
u , A . Hasson , K . L . Yu ,
U . Koren , S . Margali
t , A . Yariv , " Stucy a
nd application of
the mass transport
phenomenon in In
P " , Journal of Appl
ied Physics , 1983年5月,
Vol . 54 , No . 5 , pp . 2407 -
2412

(72) 発明者

赤崎 勇

愛知県名古屋市西区浄心1 - 1 38 -
805

(58) 調査した分野 (Int . Cl . 7 , D B 名)

H01L 21/20

H01L 21/205

H01L 21/331 - 21/332

H01L 21/338

H01L 29/201

H01L 29/73 - 29/737

H01L 29/74 - 29/749

H01L 29/778

H01L 29/812

Web of Science